

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.⁶
H03M 1/12

(45) 공고일자 2005년05월16일
(11) 등록번호 10-0480565
(24) 등록일자 2005년03월24일

(21) 출원번호 10-1997-0042916
(22) 출원일자 1997년08월29일

(65) 공개번호 10-1999-0019529
(43) 공개일자 1999년03월15일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 김도윤
서울특별시 강북구 번3동 주공아파트 210동 303호
백승범
경기도 용인시 수지읍 풍덕천리 삼성4차아파트 101동 1102호

(74) 대리인 이영필

심사관 : 송병준

(54) 다중모드기저대역아날로그신호처리시스템의아날로그/디지털변환장치및그의변환방법

요약

다중 모드 기저 대역 아날로그 신호 처리 시스템의 아날로그/디지털 변환 장치 및 그의 변환 방법이 개시된다. 이 장치는 제1 변환 제어 신호에 응답하여 아날로그 입력 신호들을 디지털 신호로 변환하고, 변환된 디지털 신호를 병렬 디지털 신호로서 병렬로 출력하는 아날로그/디지털 변환 수단과, 병렬 디지털 신호를 제2 변환 제어 신호에 응답하여 직렬 형태의 직렬 디지털 데이터로 변환하고, 변환된 직렬 디지털 데이터 또는 병렬 디지털 데이터를 모드 제어 신호들에 응답하여 선택적으로 디지털 출력 신호로서 출력하는 신호 출력 수단 및 모드 선택 신호에 응답하여 모드 제어 신호들을 출력하고, 모드 제어 신호들, 모드 클럭 신호들 및 외부로부터 입력된 반전된 제2 변환 제어 신호에 응답하여 제1 및 제2 변환 제어 신호들을 출력하는 제어 수단을 구비하고, 모드 클럭 신호들 각각은 각종 모드에 해당하는 클럭 신호인 것을 특징으로 하고, 하나의 아날로그/디지털 변환기만이 사용될 수 있도록 하기 때문에 시스템의 크기가 작아지고, 전류 소모를 줄이며, 시스템의 정밀도 및 이득을 향상시킬 수 있는 효과가 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명에 의한 아날로그/디지털 변환 장치의 블럭도이다.

도 2는 도 1에 도시된 아날로그/디지털 변환부의 본 발명에 의한 바람직한 일실시예의 블럭도이다.

도 3은 도 1에 도시된 신호 출력부의 본 발명에 의한 바람직한 일실시예의 회로도이다.

도 4는 도 1에 도시된 제어부의 본 발명에 의한 바람직한 일실시예의 블럭도이다.

도 5 (a) ~ 도 5 (c)들은 도 4에 도시된 분주부에 입/출력되는 신호들의 파형도들이다.

도 6 (a) ~ (f)들은 FM 모드에서 본 발명에 의한 아날로그/디지털 변환 장치의 동작을 설명하기 위한 파형도들이다.

도 7 (a) ~ (d)들은 CDMA 모드에서 본 발명에 의한 아날로그/디지털 변환 장치의 동작을 설명하기 위한 파형도들이다.

도 8은 본 발명에 의한 아날로그/디지털 신호 변환 방법을 설명하기 위한 플로우차트이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 여러개의 모드들을 사용하는 다중 모드 셀룰러 폰(cellular phone)을 위해 사용되는 기저 대역(baseband) 아날로그 신호 처리 시스템에 관한 것으로서, 특히 그 시스템에서 모드에 관계없이 공통으로 사용될 수 있는 아날로그/디지털 변환 장치 및 그의 변환 방법에 관한 것이다.

기저 대역 아날로그 신호 처리 시스템에서 사용되는 종래의 아날로그/디지털 변환 장치는 부호 분할 다중 접속(CDMA:Code Division Multiple Access) 모드와 주파수 변조(FM:Frequency Modulation) 모드시의 아날로그/디지털 변환기(ADC:Analogue to Digital Converter)들을 별도로 마련하였다. 왜냐하면, 모드별로 변환 속도, 소비 전류, 주파수 및 해상도등의 차이가 있기 때문이다. 따라서, 채널이 두개(I 및 Q)이므로 CDMA 모드를 위한 2개의 ADC들과 FM 모드를 위한 2개의 ADC들이 실질적으로 필요하다.

결국, 전술한 기저 대역 아날로그 신호 처리 시스템에서 사용되는 종래의 아날로그/디지털 변환 장치는 모드별로 ADC들을 별도로 마련하였으므로, ADC의 수가 많아져 시스템의 크기가 증가하고, 소비 전류가 증가하며 해상도가 모드에 따라 달라지는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 다중 모드 셀룰러 폰을 위해 사용되는 기저 대역 아날로그 신호 처리 시스템에서 모든 모드에 공통으로 사용될 수 있는 다중 모드 셀룰러 폰을 위해 사용되는 기저 대역 아날로그 신호 처리 시스템의 아날로그/디지털 변환 장치를 제공하는 데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는, 상기 다중 모드 셀룰러 폰을 위해 사용되는 기저 대역 아날로그 신호 처리 시스템의 아날로그/디지털 변환 장치에서 수행되는 아날로그/디지털 변환 방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 과제를 이루기 위해, 신호 레벨이 동일한 아날로그 입력 신호들을 최종적으로 출력하는 필터 및 상기 아날로그 입력 신호들을 각종 모드에 상응하는 디지털 출력 신호로 변환하여 출력하는 아날로그/디지털 변환 장치를 갖는 다중 모드 셀룰러 폰을 위한 기저 대역 아날로그 신호 처리 시스템의 본 발명에 의한 상기 아날로그/디지털 변환 장치는, 제1 변환 제어 신호에 응답하여 상기 아날로그 입력 신호들을 디지털 신호로 변환하고, 변환된 디지털 신호를 병렬 디지털 신호로서 병렬로 출력하는 아날로그/디지털 변환 수단과, 상기 병렬 디지털 신호를 제2 변환 제어 신호에 응답하여 직렬 형태의 직렬 디지털 데이터로 변환하고, 변환된 상기 직렬 디지털 데이터 또는 상기 병렬 디지털 데이터를 모드 제어 신호들에 응답하여 선택적으로 상기 디지털 출력 신호로서 출력하는 신호 출력 수단 및 모드 선택 신호에 응답하여 상기 모드 제어 신호들을 출력하고, 상기 모드 제어 신호들, 모드 클럭 신호들 및 외부로부터 입력된 반전된 상기 제2 변환 제어 신호에 응답하여 상기 제1 및 상기 제2 변환 제어 신호들을 출력하는 제어 수단으로 구성되고, 상기 모드 클럭 신호들 각각은 상기 각종 모드에 해당하는 클럭 신호인 것이 바람직하다.

상기 다른 과제를 이루기 위해, 신호 레벨이 동일한 아날로그 입력 신호들을 최종적으로 출력하는 필터 및 상기 아날로그 입력 신호들을 각종 모드에 상응하는 디지털 출력 신호로 변환하여 출력하는 아날로그/디지털 변환 장치를 갖는 다중 모드 셀룰러 폰을 위한 기저 대역 아날로그 신호 처리 시스템의 상기 아날로그/디지털 변환 장치에서 수행되는 본 발명에 의한 아날로그/디지털 변환 방법은, 외부에서 주어지는 모드 선택 신호에 상응하여 모드 제어 신호들을 생성하고, 상기 모드 제어 신호들, 외부에서 주어지는 모드 클럭 신호들 및 외부에서 주어지는 반전된 제2 변환 제어 신호를 이용하여 제1 변환 제어 신호 및 상기 제2 변환 제어 신호들을 생성하는 단계와, 상기 제1 변환 제어 신호에 상응하여 상기 아날로그 입력 신호들을 병렬 형태의 병렬 디지털 신호로 변환하는 단계와, 상기 제2 변환 제어 신호 및 상기 모드 클럭 신호들을 이용하여 상기 기저 대역 아날로그 신호 처리 시스템의 모드가 제1 모드인가를 판단하는 단계와, 상기 모드가 제1 모드이면, 상기 병렬 디지털 신호를 직렬 형태의 직렬 디지털 신호로 변환하고 상기 변환된 직렬 디지털 신호를 상기 디지털 출력 신호로서 결정하는 단계 및 상기 모드가 상기 제1 모드가 아니면, 상기 모드 제어 신호들에 따라 상기 병렬 디지털 신호를 각 모드에 상응하는 상기 디지털 출력 신호로서 결정하는 단계로 이루어지고,

상기 아날로그 입력 신호들을 상기 병렬 디지털 신호로 변환하는 단계는

상기 아날로그 입력 신호들을 샘플링 및 홀딩하는 단계와, 상기 샘플링 및 홀딩된 신호를 입력하여 제1 디지털 신호로 변환하는 단계와, 상기 제1 디지털 신호 및 상기 샘플링 및 홀딩된 신호를 이용하여 제1 아날로그 신호를 생성하는 단계와, 제X-1($2 \leq X \leq N$) 아날로그 신호를 제X 디지털 신호로 변환하고, 상기 제Y-1($2 \leq Y \leq N-1$) 아날로그 신호 및 상기 제Y 디지털 신호를 이용하여 제Y 아날로그 신호를 생성하는 단계와, 제1 ~ 제N 디지털 신호들이 모두 생성되었는가를 판단하

고, 제1 ~ 제N 디지털 신호들이 모두 생성되지 않았다고 판단되면 상기 디지털 신호를 생성하는 단계로 진행하는 단계 및 제1 ~ 제N 디지털 신호들에 오프셋을 보정하고, 상기 오프셋이 보정된 결과를 상기 병렬 디지털 신호로 결정하는 단계로 이루어지는 것이 바람직하다.

이하, 본 발명에 의한 다중 모드 기저 대역 아날로그 신호 처리 시스템의 아날로그/디지털 변환 장치의 구성 및 동작을 첨부한 도면들을 참조하여 다음과 같이 설명한다.

도 1은 본 발명에 의한 아날로그/디지털 변환 장치의 블럭도로서, 아날로그/디지털 변환부(10), 신호 출력부(12) 및 제어부(14)로 구성된다.

도 1에 도시된 아날로그/디지털 변환부(10)는 다중 모드 셀룰러 폰을 위한 기저 대역 아날로그 신호 처리 시스템에 포함된 필터(미도시)로부터 신호 레벨이 동일하며 각 모드의 최종 출력인 '아날로그 입력 차동 신호들'을 입력단자 IN1 및 IN2를 통해 입력하고, 입력한 아날로그 입력 차동 신호들을 제어부(14)로부터 출력되는 제1 변환 제어 신호(C1)에 응답하여 디지털 신호로 변환하고, 변환된 N비트의 디지털 신호를 병렬 디지털 신호(ADO)로서 신호 출력부(12)로 출력한다. 여기서, 다중 모드를 FM 모드, CDMA 모드 또는 PCS(Personal Communication Service) 모드라 해도 무방하다.

신호 출력부(12)는 아날로그/디지털 변환부(10)로부터 입력한 병렬 디지털 신호(ADO)를 제어부(14)로부터 출력되는 제2 변환 제어 신호(C2) 및 입력단자 IN3을 통해 입력되는 모드 클럭 신호들중 하나에 응답하여 직렬 형태의 직렬 디지털 데이터로 변환하고, 변환된 직렬 디지털 데이터 또는 병렬 디지털 데이터를 모드 제어 신호들(MC)에 응답하여 선택적으로 각 출력단자(OUT1, OUT2, ... 또는 OUTN)를 통해 '디지털 출력 신호'로서 뒤에 연속되는 모뎀(미도시)(MSM:Mobile Station Modem)으로 출력한다.

한편, 제어부(14)는 외부로부터 입력되는 모드 선택 신호(MS)에 응답하여 모드 제어 신호들(MC)을 출력하고, 모드 제어 신호들(MC), 입력단자 IN3을 통해 입력되며 CDMA 모드 클럭 신호 및 FM 모드 클럭 신호등을 포함하는 모드 클럭 신호들 및 외부로부터 입력단자 IN4를 통해 입력한 제2 변환 제어 신호(C2)의 반전된 신호에 응답하여 제1 및 제2 변환 제어 신호들(C1 및 C2)를 아날로그/디지털 변환부(10) 및 신호 출력부(12)로 각각 출력한다. 즉, 모드 클럭 신호들의 수가 2^{P-1} 을 초과하고 2^P 이하이면, 모드 선택 신호(MS)의 비트수는 P비트이고, 모드 제어 신호(MC)의 비트수는 2^P 이하이다.

여기서, CDMA 모드 클럭 신호는 10MHz의 주파수를 갖고, FM 모드 클럭 신호는 360KHz의 주파수를 갖는다.

도 2는 도 1에 도시된 아날로그/디지털 변환부(10)의 본 발명에 의한 바람직한 일실시예의 블럭도로서, 샘플 & 홀드부(40), 제1 ~ 제N-1 멀티플라잉 디지털/아날로그 변환기(MDAC:Multiplying DAC)들(44, ... 및 48), 제1, 제2 ~ 제N 아날로그/디지털 변환기(ADC)들(42, 46, ... 및 50) 및 보정부(52)로 구성된다.

일반적인 멀티 스텝(multistep) 구조인 파이프 라인 구조로 된 도 2에 도시된 아날로그/디지털 변환부(10)의 샘플 & 홀드부(40)는 입력단자 IN1 및 IN2를 통해 입력한 아날로그 입력 차동 신호들을 샘플링 및 홀딩하고, 샘플링 & 홀딩된 신호를 제1 MDAC(44) 및 제1 ADC(42)로 각각 출력한다. 제1 ADC(42)는 샘플 & 홀드부(40)의 출력을 입력하여 제1 디지털 신호로 변환하고, 변환된 제1 디지털 신호를 제1 MDAC(44)로 출력한다. 제1 MDAC(44)는 샘플 & 홀드부(40)의 출력 및 제1 ADC(42)로부터 출력되는 제1 디지털 신호를 이용하여 생성한 제1 아날로그 신호를 제2 ADC(46) 및 제2 MDAC로 출력한다. 한편, 제2 ~ 제N 아날로그/디지털 변환기들중 하나인 제X($2 \leq X \leq N$) 아날로그/디지털 변환기는 제X-1 아날로그 신호를 제X 디지털 신호로 변환하고, 변환된 제X 디지털 신호를 제X MDAC로 출력한다. 제2 ~ 제N-1 MDAC들중 하나인 제Y($2 \leq Y \leq N-1$) MDAC는 제Y-1 아날로그 신호 및 제Y 디지털 신호를 이용하여 생성한 제Y 아날로그 신호를 제Y+1 ADC 및 제Y+1 MDAC로 각각 출력한다. 전술한 제1 ADC ~ 제N ADC(42, 46, ... 및 50)들 각각은 플래쉬(flash) ADC에 의해 구현될 수 있다.

한편, 보정부(52)는 제1 ~ 제N ADC들(42, 46, ... 및 50)로부터 출력되는 각각이 n비트인 제1 ~ 제N 디지털 신호들을 입력하여 오프셋을 보정하고, 오프셋이 보정된 신호를 병렬 디지털 신호(ADO)로서 신호 출력부(12)로 출력한다. 여기서, 오프셋은 도 2에 도시된 ADC 및 MDAC들 각각의 내부에 사용되는 비교기들(미도시)의 오프셋이다.

전술한 샘플 & 홀드부(40), 제1 ~ 제N-1 MDAC들(44, ... 및 48)과 제1 ~ 제N 아날로그/디지털 변환기들(42, 46, ... 및 50)에 내장될 수 있는 MOS 스위치들은 제어부(14)로부터 출력되는 제1 변환 제어 신호(C1)에 응답하여 각 모드에 따라 개폐된다. 여기서, 제1 변환 제어 신호(C1)는 신호간 피드 쓰루(feedthrough)를 없애기 위해 약간의 지연을 첨가해야 한다.

도 3은 도 1에 도시된 신호 출력부(12)의 본 발명에 의한 바람직한 일실시예의 회로도로서, 병/직렬 변환부(60), 적어도 두 개 이상의 버퍼들(62, 64, ... 및 66)으로 구성된다.

도 3에 도시된 병/직렬 변환부(60)는 아날로그/디지털 변환부(10)로부터 출력되는 N비트의 병렬 디지털 신호(ADO)를 제2 변환 제어 신호(C2) 및 입력단자 IN3을 통해 입력되는 모드 클럭 신호들중 하나의 모드 클럭 신호에 응답하여 직렬 디지털 신호로 변환하고, 변환된 디지털 신호를 직렬 디지털 신호로서 출력한다. 여기서, 도 3에 도시된 입력단자 IN3을 통해 입력되는 모드 클럭 신호는 FM 모드 클럭 신호일 수 있다.

또한, 적어도 두 개 이상의 버퍼들(62, ..., 64 및 66) 각각은 병/직렬 변환부(60)로부터 입력한 직렬 디지털 신호 및 아날로그/디지털 변환부(10)로부터 입력한 병렬 디지털 신호들중 하나를 버퍼링하고, 버퍼링된 신호를 해당하는 모드 제어 신호(MC)에 응답하여 디지털 출력 신호로서 해당하는 출력 단자를 통해 출력한다.

예를 들면, 버퍼(62)가 FM 모드를 위한 디지털 출력 신호를 출력하는 버퍼라고 할 때, 버퍼(62)는 병/직렬 변환부(60)로부터 출력되는 직렬 디지털 신호를 입력하여 버퍼하고, 버퍼링된 직렬 디지털 신호를 모드 제어 신호들(MC)중 FM 모드 제

어 신호(68)에 응답하여 출력단자 OUT1을 통해 디지털 출력 신호로서 출력한다. 또한, 버퍼(66)가 CDMA 모드를 위한 디지털 출력 신호를 출력하는 버퍼라고 할 때, 버퍼(66)는 아날로그/디지털 변환부(10)로부터 출력되는 병렬 디지털 신호(ADO)중 소정 비트들을 버퍼링하고, 버퍼링된 신호를 모드 제어 신호들(MC)중 CDMA 모드 제어 신호(70)에 응답하여 출력단자 OUTN을 통해 출력한다.

도 4는 도 1에 도시된 제어부(14)의 본 발명에 의한 바람직한 일실시예의 블럭도로서, 분주부(80), 모드 제어 신호 발생부(82) 및 클럭 발생부(84)로 구성된다.

도 4에 도시된 모드 제어 신호 발생부(82)는 입력한 P비트의 모드 선택 신호(MS)에 응답하여 CDMA 모드 제어 신호, FM 모드 제어 신호등을 포함하는 모드 제어 신호들(MC)을 도 1에 도시된 신호 출력부(12) 또는 도 3에 도시된 각 버퍼로 출력한다. 예를 들어, 2비트(P=2)의 모드 선택 신호(MS₁MS₂)가 모드 제어 신호 발생부(82)로 입력되면 다음 표 1과 같이 4(2^P=4)가지 종류의 모드 제어 신호(MC)가 출력될 수 있다.

표 1.

모드	MS ₁	MS ₂	MC _{CDMA}	MC _{FM}	MC ₁	MC ₂
CDMA	0	0	1	0	0	0
FM	0	1	0	1	0	0
제1모드	1	0	0	0	1	0
제2모드	1	1	0	0	0	1

여기서, MS₁ 및 MS₂는 MS를 구성하는 비트들이며, MC_{CDMA}는 CDMA 모드를 위한 모드 제어 신호이고, MC_{FM}은 FM 모드를 위한 모드 제어 신호이고, MC₁ 및 MC₂들은 임의의 모드들을 위한 모드 제어 신호들이며, '1'은 "고" 논리레벨로서 현재 사용할 모드를 나타내고, '0'은 "저"레벨로 현재 사용되지 않는 모드를 나타낸다. 또한, 제1 및 제2 모드들 각각은 CDMA 및 FM 모드 이외의 다른 모드를 나타낸다. 즉, 본 발명에 의한 아날로그/디지털 변환 장치는 모드 선택 신호가 2비트인 경우, CDMA 모드 및 FM 모드를 제외한 두개의 다른 모드들을 위해 필요에 따라 사용될 수 있다.

도 5 (a) ~ 도 5 (c)들은 도 4에 도시된 분주부(80)에 입/출력되는 신호들의 파형도들이다.

도 5에 도시된 분주부(80)는 입력단자 IN3을 통해 입력되는 도 5 (a)에 도시된 FM 모드 클럭 신호를 도 5 (b)에 도시된 반전된 제2 변환 제어 신호(C2)인 스트로브 신호(strobe)에 응답하여 1/2로 분주하고, 분주된 도 5 (c)에 도시된 분주된 신호를 클럭 발생부(84)로 출력한다. 이 때, 도 5 (b)에 도시된 스트로브 신호는 40KHz의 주파수를 갖고 외부로부터 입력단자 IN4를 통해 입력된다.

클럭 발생부(84)는 모드 제어 신호 발생부(82)로부터 출력되는 모드 제어 신호들(MC), FM 모드 클럭 신호를 1/2로 분주한 신호 및 FM 모드 클럭 신호를 제외한 입력단자 IN3을 통해 입력되는 모드 클럭 신호들에 응답하여 지연 및 반전된 제1 및 제2 변환 제어 신호들(C1 및 C2)를 출력한다.

이하, 본 발명의 이해를 돕기 위해 FM 모드 및 CDMA 모드에서 전술한 본 발명에 의한 아날로그/디지털 변환 장치 및 그의 실시예들의 동작을 다음과 같이 파형도들을 참조하여 설명한다.

도 6 (a) ~ (f)들은 FM 모드에서 본 발명에 의한 아날로그/디지털 변환 장치의 동작을 설명하기 위한 파형도들이다.

시스템이 FM 모드일 때, 도 1에 도시된 제어부(14)는 도 6 (a)에 도시된 FM 모드 클럭 신호와 도 6 (b)에 도시된 스트로브 신호를 입력단자 IN3 및 IN4를 통해 각각 입력하여 도 6 (c) 및 도 6 (d)에 각각 도시된 제1 변환 제어 신호(C1) 및 제2 변환 제어 신호(C2)를 해당 블럭으로 출력한다. 여기서, 제2 변환 제어 신호(C2)는 스트로브 신호의 반전된 신호임을 알 수 있다. 아날로그/디지털 변환부(10)는 도 6 (c)에 도시된 제1 변환 제어 신호(C1)의 레벨의 상승 엣지(90)에서 N(여기서는 8비트) 비트의 병렬 디지털 데이터(ADO)를 신호 출력부(12)로 출력한다.

한편, 신호 출력부(12)는 제어부(14)로부터 출력되는 도 6 (d)에 도시된 제2 변환 제어 신호(C2)의 하강 엣지들(92)에서 아날로그/디지털 변환부(10)로부터 출력되는 병렬 디지털 신호(ADO)를 로딩하고, 로딩된 병렬 디지털 신호를 도 6 (a)에 도시된 FM 모드 클럭 신호에 응답하여 직렬 디지털 신호로 변환하고, 변환된 도 6 (e)에 도시된 직렬 디지털 신호를 해당 버퍼(62)로 출력한다. 버퍼(62)는 제어부(14)로부터 입력한 도 6 (f)에 도시된 FM 모드 제어 신호(68)에 응답하여 출력단자 OUT1을 통해 직렬 디지털 신호를 디지털 출력 신호로서 출력한다.

도 7 (a) ~ (d)들은 CDMA 모드에서 본 발명에 의한 아날로그/디지털 변환 장치의 동작을 설명하기 위한 파형도들이다.

한편, 시스템이 CDMA 모드일 때, 도 1에 도시된 제어부(14)는 입력단자 IN3을 통해 도 7 (a)에 도시된 CDMA 모드 클럭 신호를 입력하여 생성한 도 7 (b)에 도시된 제1 변환 제어 신호(C1)를 아날로그/디지털 변환부(10)로 출력한다. 아날로그/디지털 변환부(10)는 도 7 (b)에 도시된 제1 변환 제어 신호(C1) 레벨의 상승 엣지(100)에서 N 비트의 병렬 디지털 데이터(ADO)를 신호 출력부(12)로 출력한다.

이 때, 신호 출력부(12)의 버퍼(66)는 아날로그/디지털 변환부(10)로부터 출력되는 도 7 (c)에 도시된 병렬 디지털 신호(ADO)를 버퍼링하고, 버퍼링된 신호를 도 7 (d)에 도시되고 제어부(14)로부터 출력되는 CDMA 모드 제어 신호(MC_{CDMA})에 응답하여 출력단자 OUTN을 통해 디지털 출력 신호로서 출력한다.

이하, 도 1에 도시된 장치에서 수행되는 본 발명에 의한 아날로그/디지털 신호 변환 방법을 첨부한 도면을 참조하여 다음과 같이 설명한다.

도 8은 본 발명에 의한 아날로그/디지털 신호 변환 방법을 설명하기 위한 플로우차트로서, 아날로그 신호들을 디지털 신호로 변환하는 단계(제120단계) 및 각 모드에 따라 디지털 출력 신호를 변형하는 단계(제122 ~ 제126단계)로 이루어진다.

도 8을 참조하면, 먼저, 기저 대역 아날로그 신호 처리 시스템에 포함된 필터(미도시)로부터 출력되는 동일한 레벨을 갖는 아날로그 신호들을 디지털 신호로 변환하여 병렬 형태의 병렬 디지털 신호를 구한다(제120단계). 제120단계후에, 시스템의 모드가 FM 모드인가를 판단한다(제122단계). 만일, 시스템이 FM 모드이면 병렬 디지털 신호를 직렬 형태의 직렬 디지털 신호로 변환한다(제124단계). 왜냐하면, 본 발명에 의한 아날로그/디지털 신호 변환 방법에서는 FM 모드 이외의 다른 모드에서는 병렬 디지털 출력 신호를 출력하기 때문이다. 제124단계후에 또는 시스템의 모드가 FM 모드가 아닌 경우, 직렬 디지털 신호 또는 병렬 디지털 신호를 디지털 출력 신호로서 결정한다(제126단계). 즉, FM 모드인 경우, 직렬 디지털 신호가 디지털 출력 신호로서 결정되고, CDMA 모드등에서는 병렬 디지털 신호가 디지털 출력 신호로서 결정된다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 의한 다중 모드 기저 대역 아날로그 신호 처리 시스템의 아날로그/디지털 변환 장치 및 그의 변환 방법은 종래의 각 모드에서 사용되는 아날로그/디지털 변환기의 특성을 고려하여 모드에 상관없이 각 모드에서 공통으로 사용될 수 있는 하나의 아날로그/디지털 변환기만을 사용하기 때문에 시스템의 크기가 작아지고, 전류 소모를 줄이며, 시스템의 정밀도 및 이득을 향상시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

신호 레벨이 동일한 아날로그 입력 신호들을 최종적으로 출력하는 필터 및 상기 아날로그 입력 신호들을 각종 모드에 상응하는 디지털 출력 신호로 변환하여 출력하는 아날로그/디지털 변환 장치를 갖는 다중 모드 셀룰러 폰을 위한 기저 대역 아날로그 신호 처리 시스템의 상기 아날로그/디지털 변환 장치에 있어서,

제1 변환 제어 신호에 응답하여 상기 아날로그 입력 신호들을 디지털 신호로 변환하고, 변환된 디지털 신호를 병렬 디지털 신호로서 병렬로 출력하는 아날로그/디지털 변환 수단;

상기 병렬 디지털 신호를 제2 변환 제어 신호에 응답하여 직렬 형태의 직렬 디지털 데이터로 변환하고, 변환된 상기 직렬 디지털 데이터 또는 상기 병렬 디지털 데이터를 모드 제어 신호들에 응답하여 선택적으로 상기 디지털 출력 신호로서 출력하는 신호 출력 수단; 및

모드 선택 신호에 응답하여 상기 모드 제어 신호들을 출력하고, 상기 모드 제어 신호들, 모드 클럭 신호들 및 외부로부터 입력된 반전된 상기 제2 변환 제어 신호에 응답하여 상기 제1 및 상기 제2 변환 제어 신호들을 출력하는 제어 수단을 구비하고,

상기 모드 클럭 신호들 각각은 상기 각종 모드에 해당하는 클럭 신호인 것을 특징으로 하는 다중 모드 기저 대역 아날로그 신호 처리 시스템의 아날로그/디지털 변환 장치.

청구항 2.

제1 항에 있어서, 상기 아날로그/디지털 변환 수단은

입력한 상기 아날로그 입력 신호들을 샘플링 및 홀딩하여 출력하는 샘플 & 홀드 수단;

상기 샘플 & 홀드 수단의 출력을 입력하여 제1 디지털 신호로 변환하는 제1 아날로그/디지털 변환 수단;

상기 샘플 & 홀드 수단의 출력 및 상기 제1 디지털 신호를 이용하여 생성한 제1 아날로그 신호를 출력하는 제1 멀티플라잉 디지털/아날로그 변환 수단(MDAC);

제2 ~ 제N 아날로그/디지털 변환 수단들;

제2 ~ 제N-1 MDAC들; 및

상기 제1 ~ 제N 디지털 신호들을 입력하여 오프셋을 보정하고, 상기 오프셋이 보정된 신호를 상기 병렬 디지털 신호로서 출력하는 보정 수단을 구비하고,

상기 제 $X(2 \leq X \leq N)$ 아날로그/디지털 변환 수단은 상기 제 $X-1$ 아날로그 신호를 제 X 디지털 신호로 변환하고, 상기 제 $Y(2 \leq Y \leq N-1)$ MDAC는 상기 제 $Y-1$ 아날로그 신호 및 상기 제 Y 디지털 신호를 이용하여 생성한 제 Y 아날로그 신호를 출력하며, 상기 제1 ~ 제 $N-1$ MDAC들과 상기 제1 ~ 제 N 아날로그/디지털 변환 수단들은 상기 제1 변환 제어 신호에 응답하여 제어되는 것을 특징으로 하는 다중 모드 기저 대역 아날로그 신호 처리 시스템의 아날로그/디지털 변환 장치.

청구항 3.

제2 항에 있어서, 상기 신호 출력 수단은

상기 병렬 디지털 신호를 상기 제2 변환 제어 신호에 응답하여 상기 직렬 디지털 데이터로서 직렬로 출력하는 병/직렬 변환 수단;

각각이 입력한 상기 직렬 디지털 데이터 및 상기 병렬 디지털 신호들중 하나를 해당하는 상기 모드 제어 신호에 응답하여 상기 디지털 출력 신호로서 출력하는 적어도 두개 이상의 버퍼들을 구비하는 것을 특징으로 하는 다중 모드 기저 대역 아날로그 신호 처리 시스템의 아날로그/디지털 변환 장치.

청구항 4.

제1 항에 있어서, 상기 제어 수단은

상기 모드 선택 신호에 응답하여 상기 모드 제어 신호들을 출력하는 모드 제어 신호 발생 수단;

상기 모드 클럭 신호들중 하나로서 주파수 변조(FM) 모드에 해당하는 FM 모드 클럭 신호를 반전된 상기 제2 변환 제어 신호에 응답하여 분주하는 분주 수단; 및

상기 모드 제어 신호들, 상기 FM 모드 클럭 신호를 분주한 신호 및 상기 FM 모드 클럭 신호를 제외한 모드 클럭 신호들에 응답하여 상기 제1 및 상기 제2 변환 제어 신호들을 출력하는 클럭 발생 수단을 구비하는 것을 특징으로 하는 다중 모드 기저 대역 아날로그 신호 처리 시스템의 아날로그/디지털 변환 장치.

청구항 5.

신호 레벨이 동일한 아날로그 입력 신호들을 최종적으로 출력하는 필터 및 상기 아날로그 입력 신호들을 각종 모드에 상응하는 디지털 출력 신호로 변환하여 출력하는 아날로그/디지털 변환 장치를 갖는 다중 모드 셀룰러 폰을 위한 기저 대역 아날로그 신호 처리 시스템의 상기 아날로그/디지털 변환 장치에서 수행되는 아날로그/디지털 변환 방법에 있어서,

외부에서 주어지는 모드 선택 신호에 상응하여 모드 제어 신호들을 생성하고, 상기 모드 제어 신호들, 외부에서 주어지는 모드 클럭 신호들 및 외부에서 주어지는 반전된 제2 변환 제어 신호를 이용하여 제1 변환 제어 신호 및 상기 제2 변환 제어 신호들을 생성하는 단계;

상기 제1 변환 제어 신호에 상응하여 상기 아날로그 입력 신호들을 병렬 형태의 병렬 디지털 신호로 변환하는 단계;

상기 제2 변환 제어 신호 및 상기 모드 클럭 신호들을 이용하여 상기 기저 대역 아날로그 신호 처리 시스템의 모드가 제1 모드인가를 판단하는 단계;

상기 모드가 제1 모드이면, 상기 병렬 디지털 신호를 직렬 형태의 직렬 디지털 신호로 변환하고 상기 변환된 직렬 디지털 신호를 상기 디지털 출력 신호로서 결정하는 단계; 및

상기 모드가 상기 제1 모드가 아니면, 상기 모드 제어 신호들에 따라 상기 병렬 디지털 신호를 각 모드에 상응하는 상기 디지털 출력 신호로서 결정하는 단계를 구비하고,

상기 아날로그 입력 신호들을 상기 병렬 디지털 신호로 변환하는 단계는

상기 아날로그 입력 신호들을 샘플링 및 홀딩하는 단계;

상기 샘플링 및 홀딩된 신호를 입력하여 제1 디지털 신호로 변환하는 단계;

상기 제1 디지털 신호 및 상기 샘플링 및 홀딩된 신호를 이용하여 제1 아날로그 신호를 생성하는 단계;

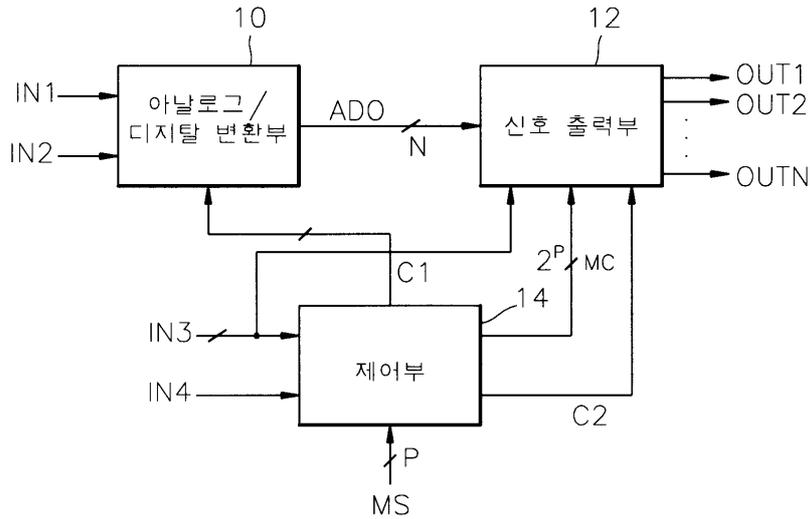
제 $X-1(2 \leq X \leq N)$ 아날로그 신호를 제 X 디지털 신호로 변환하고, 상기 제 $Y-1(2 \leq Y \leq N-1)$ 아날로그 신호 및 상기 제 Y 디지털 신호를 이용하여 제 Y 아날로그 신호를 생성하는 단계;

제1 ~ 제N 디지털 신호들이 모두 생성되었는가를 판단하고, 제1 ~ 제N 디지털 신호들이 모두 생성되지 않았다고 판단되면 상기 디지털 신호를 생성하는 단계로 진행하는 단계; 및

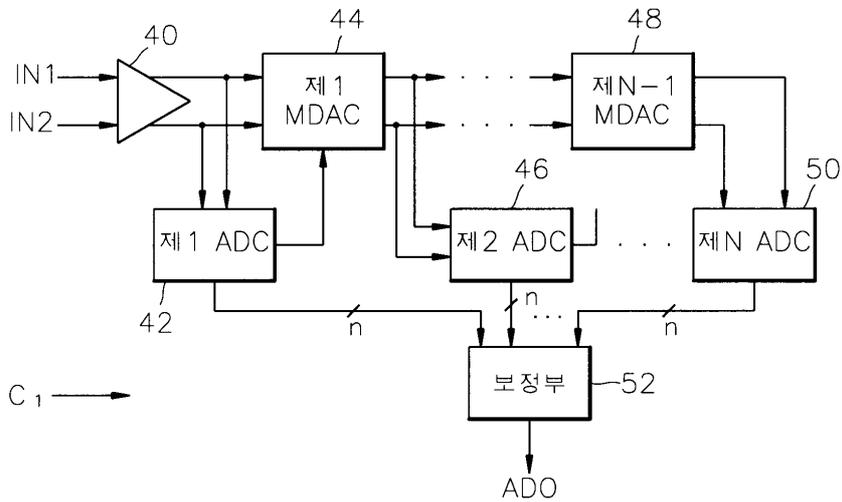
제1 ~ 제N 디지털 신호들에 오프셋을 보정하고, 상기 오프셋이 보정된 결과를 상기 병렬 디지털 신호로 결정하는 단계를 구비하는 것을 특징으로 하는 다중 모드 기저 대역 아날로그 신호 처리 시스템의 아날로그/디지털 변환 장치의 아날로그/디지털 변환 방법.

도면

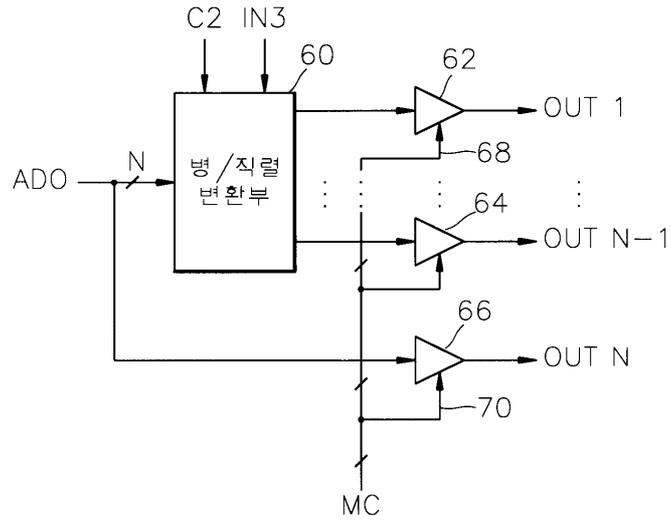
도면1



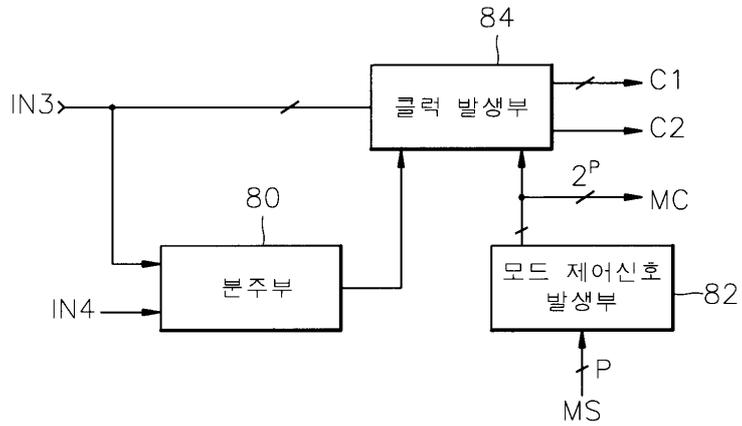
도면2



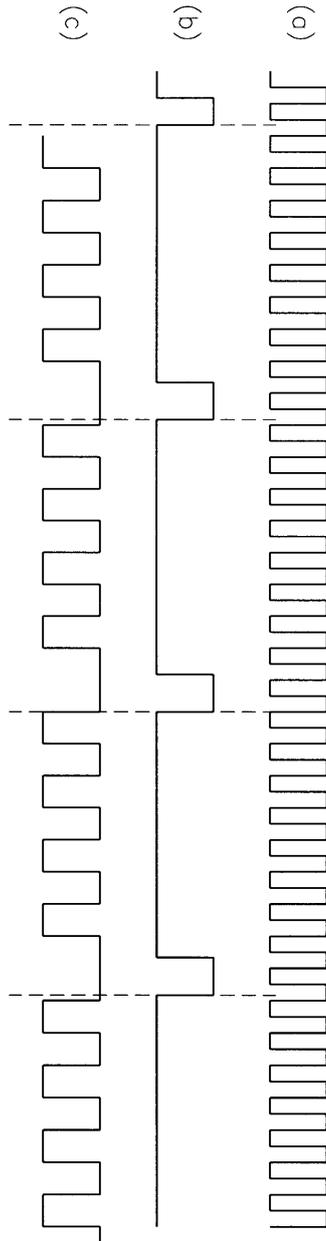
도면3



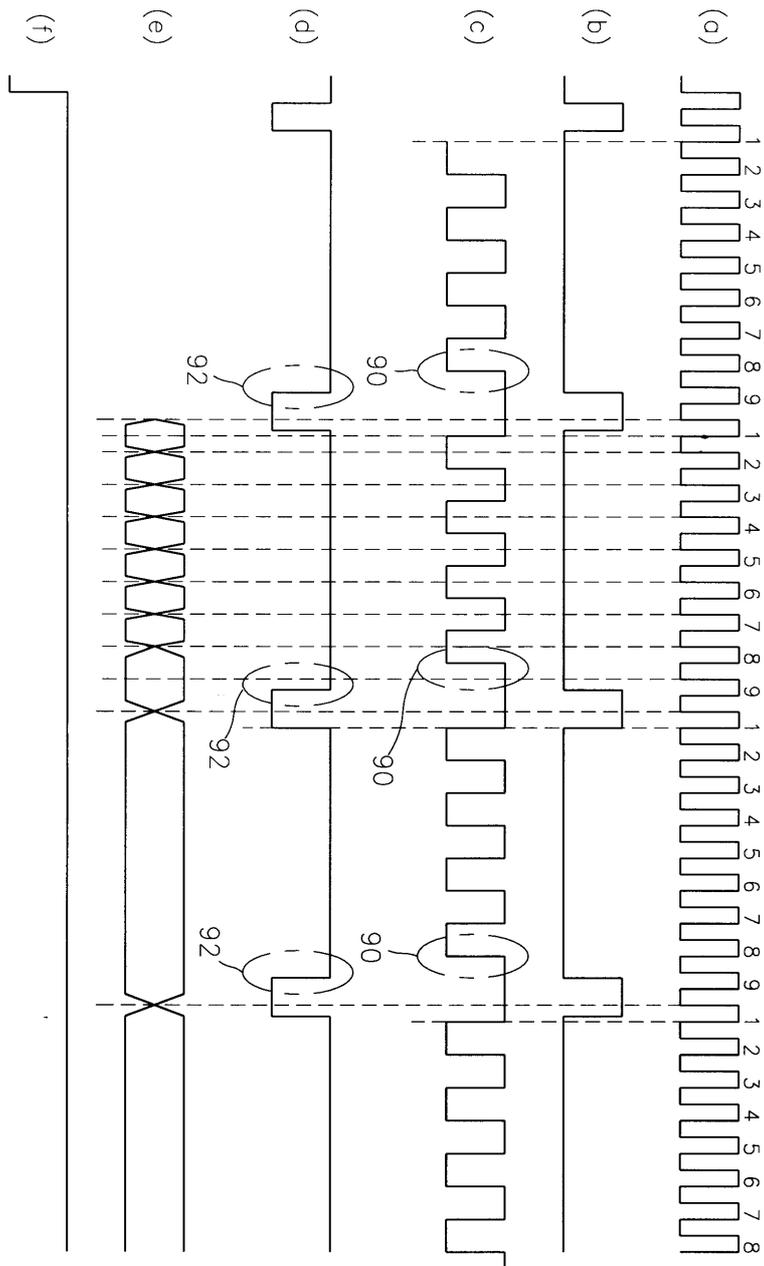
도면4



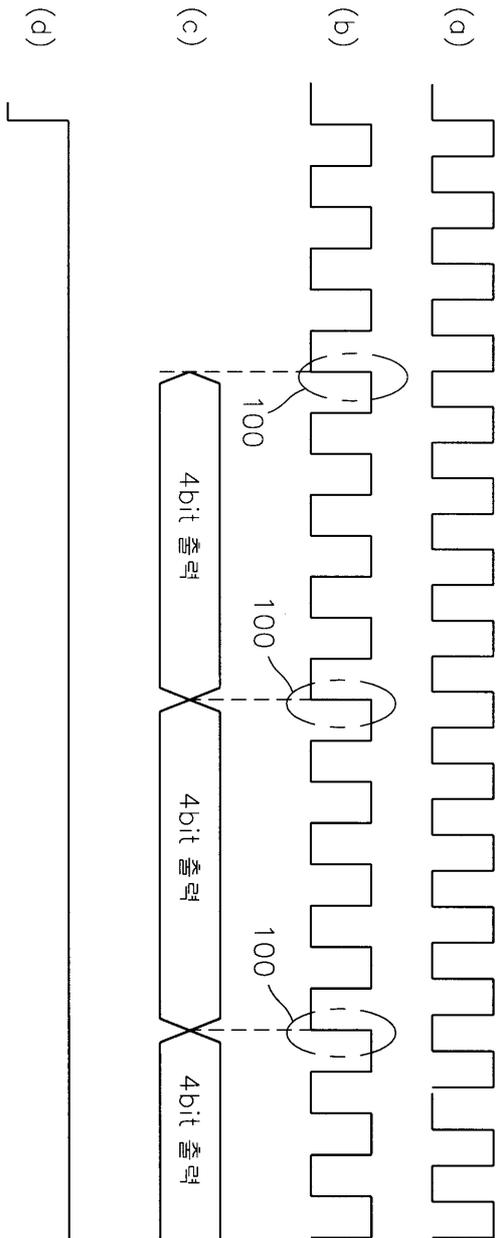
도면5



도면6



도면7



도면8

