

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3819353号

(P3819353)

(45) 発行日 平成18年9月6日(2006.9.6)

(24) 登録日 平成18年6月23日(2006.6.23)

(51) Int. Cl.

H01S 5/062 (2006.01)

F I

H01S 5/062

請求項の数 10 (全 21 頁)

(21) 出願番号	特願2002-307517 (P2002-307517)	(73) 特許権者	000005223
(22) 出願日	平成14年10月22日(2002.10.22)		富士通株式会社
(65) 公開番号	特開2004-146463 (P2004-146463A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成16年5月20日(2004.5.20)	(74) 代理人	100087479
審査請求日	平成17年3月28日(2005.3.28)		弁理士 北野 好人
		(74) 代理人	100114915
			弁理士 三村 治彦
		(72) 発明者	早川 明憲
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	関根 徳彦
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体基板と、
前記半導体基板上に形成され、第1の機能層と、第1の機能層上に形成された第1導電型
の中間層と、前記中間層上に形成された第2の機能層とを有する積層膜と、
前記中間層と前記半導体基板とを電気的に接続する金属からなる配線と、
前記第1の機能層に電流を注入するための第1の電極と、
前記第2の機能層に電流を注入するための第2の電極と、
前記半導体基板に電気的に接続され、前記第1の機能層及び前記第2の機能層から電流を
引き出すための第3の電極と
を有することを特徴とする半導体装置。

【請求項2】

請求項1記載の半導体装置において、
前記半導体基板と前記積層膜との間に形成され、前記第1の機能層に電気的に接続された
第2導電型のバッファ層を更に有し、
前記第1の電極は、前記バッファ層に電気的に接続されている
ことを特徴とする半導体装置。

【請求項3】

請求項2記載の半導体装置において、
前記積層膜は、メサ形状を有し、

10

20

前記第 1 の電極は、前記積層膜が形成されていない領域の前記バッファ層上に形成されている

ことを特徴とする半導体装置。

【請求項 4】

請求項 2 又は 3 記載の半導体装置において、

前記バッファ層は、メサ形状を有し、

前記配線は、前記バッファ層が形成されていない領域の前記半導体基板上に接続されている

ことを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置において、

前記積層膜の側部に形成され、前記中間層に電氣的に接続された前記第 1 導電型の埋め込み層を更に有し、

前記配線は、前記埋め込み層を介して前記中間層に電氣的に接続されている

ことを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置において、

前記積層膜上に形成され、前記第 2 の機能層に電氣的に接続された前記第 2 導電型のキャップ層を更に有し、

前記第 2 の電極は、前記キャップ層に電氣的に接続されている

ことを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置において、

前記第 1 の機能層及び前記第 2 の機能層のうちの少なくとも一方が、発光機能を有する活性層である

ことを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置において、

前記半導体基板と前記積層膜との間に、導電型が互いに異なる 2 層の半導体層を更に有する

ことを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置において、

前記半導体基板と前記積層膜との間に、半絶縁性半導体層を有する

ことを特徴とする半導体装置。

【請求項 10】

請求項 1 乃至 9 のいずれか 1 項に記載の半導体装置において、

前記第 1 の電極と、前記第 2 の電極と、前記配線とが、前記積層膜上を覆う同一の絶縁膜上に形成されている

ことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、注入する電流量の制御により発振波長を制御しうる半導体レーザ等のダイオード構造を有する半導体装置に関する。

【0002】

【従来の技術】

これまで、発振波長を制御することが可能なレーザの一つとして、TTG (Tunable Twin Guide) - DFB (Distributed FeedBack) レーザダイオードが知られている (例えば、特許文献 1 を参照)。TTG - DFB レーザダイオードは、単一のモードで連続的に発振

10

20

30

40

50

波長を制御することが可能であり、かつ、高速な波長制御が可能であるという利点を有している。さらには、その波長制御機構が簡易であるという利点も有している。このため、TTG-DFBレーザダイオードは、波長分割多重(WDM: Wavelength Division Multiplexing)方式による光通信の光源等への適用可能性を有するものとして期待されている。

【0003】

特許文献1に開示されたTTG-DFBレーザダイオードについて図12を用いて説明する。図12は特許文献1に開示されたTTG-DFBレーザダイオードの構造を示す断面図である。

【0004】

p型InP基板100上に、p型InPバッファ層102が形成されている。p型InP基板100の下面には、波長制御用のp電極104が形成されている。

【0005】

p型InPバッファ層102上には、波長制御層106と、n型中間層108と、活性層110と、p型保護層112とが順次積層され、これらがエッチングされてなるメサが形成されている。

【0006】

メサが形成されたp型InPバッファ層102上には、n型InP埋め込み層114が形成されており、n型InP埋め込み層114にメサが埋め込まれている。

【0007】

n型InP埋め込み層114及びメサのp型保護層112上には、p型InP層116が形成されている。p型InP層116には、n型InP埋め込み層114に達する開口部118が設けられている。

【0008】

開口部118が設けられたp型InP層116上には、絶縁膜120が形成されている。絶縁膜120の活性層110上の領域上には、p型InP層116に達する開口部122が設けられており、開口部122を介してp型InP層116に接続するp電極124が形成されている。

【0009】

また、p型InP層の開口部118底部に設けられた絶縁膜120には、n型InP埋め込み層114に達する開口部126が設けられており、開口部126を介してn型InP埋め込み層114に接続するn電極128が形成されている。

【0010】

上記の構造を有するTTG-DFBレーザダイオードでは、n型中間層108の下側に形成されたp型波長制御層106に、p型InP基板100の下面に形成されたp電極104により、p型InP基板100及びp型InPバッファ層102を介して電流が注入される。一方、n型中間層108の上側に形成された活性層110には、p型InP層116上に形成されたp電極124により、p型InP層116及びp型保護層112を介して電流が注入される。

【0011】

n型中間層108は、上記の波長制御層106と活性層110との間に挟まれて形成されており、さらにn電極128により外部の接地電位に接続される。すなわち、n型中間層108が素子の共通接地電位としての役割を果たすこととなる。このように、外部の接地電位に接続されたn型中間層108により、二つの機能層、活性層110と波長制御層106とが互いに電氣的に独立したものとなる。したがって、かかる構造を有するTTG-DFBレーザダイオードでは、各機能層に注入する電流量を制御することにより、レーザ発振の制御と、発振波長の制御とを独立して行うことが可能となる。

【0012】

一般的な半導体レーザでは、素子の支持体と導電性半導体基板とが電氣的に接続されており、これらの電位が素子の接地電位とされている。しかしながら、上記従来のTTG-D

10

20

30

40

50

F Bレーザダイオードでは、導電性半導体基板部から一方の機能層である波長制御層に電流の注入が行われるため、導電性半導体基板を素子全体の接地電位として用いることができなかつた。このため、一般的な半導体レーザに用いられる実装技術を、従来のT T G - D F Bレーザダイオードに適用することは困難であつた。

【 0 0 1 3 】

また、従来のT T G - D F Bレーザダイオードとともに他の電気光学機能素子を同一基板上に集積しようとした場合、次のような不都合が生じてしまう。すなわち、従来のT T G - D F Bレーザダイオードでは、上述のように導電性半導体基板部から一方の機能層へ電流注入が行われるため、集積化された複数の素子の各々を独立して制御することが困難となる。また、導電性半導体基板の電位を、集積化された素子の共通接地電位とすることも困難である。

10

【 0 0 1 4 】

Wolfgang Thulke、Stefan Illekらは、かかる不都合を解決すべく、導電性半導体基板を接地電位とすることが可能なT T G - D F Bレーザダイオードを提案している（例えば、特許文献2、3を参照）。

【 0 0 1 5 】

図13は、Wolfgang Thulkeらが提案する、導電性半導体基板を接地電位とすることが可能なT T G - D F Bレーザダイオードの構造を示す断面図である。

【 0 0 1 6 】

n型半導体基板130上に、半絶縁性半導体層132が形成されている。半絶縁性半導体層132上には、p型I n P下側カバー層134が形成されている。n型半導体基板130の下面には、接地電位となるn電極136が形成されている。

20

【 0 0 1 7 】

p型I n P下側カバー層134上には、I n G a A s P波長制御層138と、n型I n P中間層140と、I n G a A s P活性層142と、p型I n P保護層144とが順次積層され、これらがエッチングされてなるメサが形成されている。

【 0 0 1 8 】

メサが形成されたp型I n P下側カバー層134上には、n型I n Pカバー層146が形成されており、n型I n Pカバー層146にメサが埋め込まれている。ここで、メサに対して一方の側のp型I n P下側カバー層134と半絶縁性半導体層132には、n型半導体基板130まで達する溝状の中断部148が設けられており、この中断部148にもn型I n Pカバー層146が充填されている。

30

【 0 0 1 9 】

メサに対して他方の側のp型I n P下側カバー層134上には、メサを埋め込むn型I n Pカバー層146の側方に、p型I n P側方層150が形成されている。

【 0 0 2 0 】

メサ及びメサを埋め込むn型I n P下側カバー層146上には、p型I n P上方層152が形成されている。

【 0 0 2 1 】

上記構造の全面には、絶縁膜154が形成されている。絶縁膜154のp型I n P側方層150上の領域には、p型I n P側方層150に達する開口部が設けられており、p型I n P側方層150に電氣的に接続するp電極156が形成されている。絶縁膜154のp型I n P上方層152上の領域には、p型I n P上方層152に達する開口部が設けられており、p型I n P上方層152に電氣的に接続するp電極158が形成されている。

40

【 0 0 2 2 】

n型I n P中間層140は、上記のp型I n G a A s P波長制御層138及びp型I n G a A s P活性層142に電氣的に接続されており、さらに中断部148に埋め込まれたn型I n Pカバー層146を介して接地電位とされるn型半導体基板130に接続される。

【 0 0 2 3 】

上述の図13に示すT T G - D F Bレーザダイオードでは、n型半導体基板130部から

50

機能層に電流注入を行わずに、n型半導体基板130に電氣的に接続するn型InP中間層140が素子の共通接地電位として用いられる。そして、素子上のp電極156、158を用いてp型InGaAsP波長制御層138、p型InGaAsP活性層142のそれぞれに電流注入が行われ、各機能層に注入する電流量を制御することにより、レーザ発振の制御と、発振波長の制御とが独立して行われる。このように、導電性半導体基板の電位を接地電位とすることができるので、一般的な半導体レーザに用いられる実装技術を流用することが可能となる。これにより、TTG-DFBレーザダイオードを他の電気光学機能素子とともに同一基板上に集積した場合に、基板を集積化された素子の共通接地電位として用いることができ、集積化された素子の各々を独立して制御することが可能となる。

10

【0024】

【特許文献1】

米国特許第5048049号明細書

【特許文献2】

米国特許第5222087号明細書

【特許文献3】

特開平5-190989号公報

【0025】

【発明が解決しようとする課題】

しかしながら、図13に示すTTG-DFBレーザダイオードでは、二つの機能層の間に形成された中間層と、接地電位とされる半導体基板とが半導体層により電氣的に接続される。このため、中間層と半導体基板との間に抵抗が発生し、この抵抗に起因する発熱が、レーザ特性に悪影響を及ぼすことが想定される。

20

【0026】

また、図13に示す構造を製造する場合、中間層と半導体基板とを電氣的に接続する半導体層を形成する工程において、機能層の近傍にエッチング等の処理を施すことが必要となる。このため、素子がダメージを受けたり、欠陥が増加したりする等の弊害が懸念される。

【0027】

本発明の目的は、レーザ特性等の素子特性が影響を受けることなく基板を接地電位として用いることができ、他の素子との同一基板上への集積化に対応しうる半導体装置を提供することにある。

30

【0028】

【課題を解決するための手段】

上記目的は、第1導電型の半導体基板と、前記半導体基板上に形成され、第1の機能層と、第1の機能層上に形成された第1導電型の中間層と、前記中間層上に形成された第2の機能層とを有する積層膜と、前記中間層と前記半導体基板とを電氣的に接続する金属からなる配線と、前記第1の機能層に電流を注入するための第1の電極と、前記第2の機能層に電流を注入するための第2の電極と、前記半導体基板に電氣的に接続され、前記第1の機能層及び前記第2の機能層から電流を引き出すための第3の電極とを有することを特徴とする半導体装置により達成される。

40

【0029】

【発明の実施の形態】

[第1実施形態]

本発明の第1実施形態による半導体装置及びその製造方法について図1乃至図6を用いて説明する。図1は本実施形態による半導体装置の構造を示す概略図、図2乃至図6は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0030】

(半導体装置)

まず、本実施形態による半導体装置について図1を用いて説明する。図1(a)は本実施

50

形態による半導体装置の構造を示す断面図、図1(b)は本実施形態による半導体装置における電極構造を示す俯瞰図である。

【0031】

本実施形態による半導体装置は、機能層である活性層、波長制御層への電流注入量をそれぞれ独立して制御することにより発振波長を制御することが可能なTTG-DFBレーザダイオードである。

【0032】

図1(a)に示すように、n型InP基板10上に、p型InP層12と、n型InP層14とが順次積層されてなる整流層16が形成されている。n型InP基板10の下面には、AuZn膜とAu膜との積層膜からなる基板部電極18が形成されている。

10

【0033】

整流層16上には、p型InPバッファ層20が形成されている。ここで、p型InPバッファ層20とn型InP基板10との間は、p型InP層12とn型InP層14とのp-n接合による整流性を利用した整流層16により絶縁されている。

【0034】

p型InPバッファ層20の所定の領域上には、p型InGaAsP層に形成された回折格子(図示せず)が形成されている。

【0035】

p型InPバッファ層20の回折格子が形成された領域上には、p型InP下部クラッド層22と、ノンドープのInGaAsP波長制御層24と、n型InP中間層26と、多重量子井戸構造を有するノンドープの活性層28と、p型InP上部クラッド層30とが順次積層され、これらの積層膜がエッチングされてなるメサ31が形成されている。

20

【0036】

メサ31周辺のp型InPバッファ層20上には、n型InP埋め込み層32が形成されており、n型InP埋め込み層32にメサ31が埋め込まれている。メサ31に対して一方の側のp型InPバッファ層20端部近傍では、n型InP埋め込み層32は形成されておらず、p型InPバッファ層20が露出している。

【0037】

メサ31のp型InP上部クラッド層30及びメサ31を埋め込むn型InP埋め込み層32上には、p型InPキャップ層34が形成されている。メサ31に対して他方の側のn型InP埋め込み層32端部近傍では、p型InPキャップ層34が形成されておらず、n型InP埋め込み層32が露出している。

30

【0038】

上記素子構造の全面には、シリコン酸化膜からなる絶縁膜36が形成されている。

【0039】

絶縁膜36のp型InPバッファ層20上の領域には開口部38が形成されており、開口部38を介してp型InPバッファ層20に接続するAuZn膜とAu膜との積層膜からなる波長制御用電極40が絶縁膜36上に形成されている。波長制御用電極40は、図1(b)に示すように、n型InP基板10側方の絶縁膜36上に形成された電極パッド42に配線44を介して接続されている。

40

【0040】

絶縁膜36のn型InP基板10上の領域及びn型InP埋め込み層32上の領域にはそれぞれ開口部46、48が形成されており、開口部46を介してn型InP基板10に接続し、開口部48を介してn型InP埋め込み層32に接続するAuGe膜とAu膜との積層膜からなる中間層基板間電極50が形成されている。中間層基板間電極50上には、シリコン酸化膜からなる絶縁膜52が形成されている。

【0041】

絶縁膜36のp型InPキャップ層34上には開口部54が設けられており、開口部54を介してp型InPキャップ層34に接続するAuZn膜とAu膜との積層膜からなるレーザ発振用電極56が絶縁膜36上に形成されている。レーザ発振用電極56は、図1(

50

b) に示すように、n型InP基板10側方の絶縁膜36上に形成された電極パッド58に配線60を介して接続されている。配線60は、絶縁膜52により中間層基板間電極50と絶縁されている。

p型InP下部クラッド層22と、InGaAsP波長制御層24と、n型InP中間層26と、活性層28と、p型InP上部クラッド層30とが順次積層されてなる光導波路層の両端面には、AR(Anti-Reflection)コート膜(図示せず)が形成されている。

【0042】

本実施形態による半導体装置は、n型InP中間層26を、n型InP埋め込み層32を介してn型InP基板10に電氣的に接続する配線として機能する中間層基板間電極50と、素子上に形成され、p型InPキャップ層34及びp型InP上部クラッド層30を介して活性層28に独立して電流を注入するレーザ発振用電極56と、素子上に形成され、p型InPバッファ層20及びp型InP下部クラッド層22を介してInGaAsP波長制御層24に独立して電流を注入する波長制御用電極40とを有することに主たる特徴がある。中間層基板間電極50により、活性層28及びInGaAsP波長制御層24の共通接地電位として用いるn型InP中間層26をn型InP基板10に電氣的に接続するので、n型InP基板10を接地電位として用いることができる。このように、基板部から一方の機能層に電流を注入する従来のTTG-DFBレーザダイオードと異なり、n型InP基板10を素子全体の接地電位として用いることができるので、一般的な半導体レーザに用いられる実装技術を適用することができる。したがって、本実施形態による半導体装置を電気光学機能素子等の他の素子とともに同一基板上に集積した場合に、基板を各素子の接地電位として用い、各々の素子を独立して制御することができる。

【0043】

また、金属からなる中間層基板間電極50によりn型InP中間層22とn型InP基板10とが電氣的に接続するので、半導体層により電氣的に接続する場合と異なり、抵抗による発熱のレーザ特性への影響を抑制することができる。

【0044】

次に、本実施形態の半導体装置の動作について図1を用いて説明する。

【0045】

まず、活性層28及びInGaAsP波長制御層24から電流を引き出すための基板部電極18を接地電位とすることにより、n型InP基板10を接地電位とする。これにより、n型InP埋め込み層32を介して中間層基板間電極50によりn型InP基板10に電氣的に接続されたn型InP中間層26が接地電位となる。ここで、n型InP基板10とp型InPバッファ層20との間は、p型InP層12とn型InP層14とのp-n接合を利用した整流層16により絶縁されている。このため、機能層である活性層28、InGaAsP波長制御層24に電流を注入する際に、機能層が形成された素子の上部領域からn型InP基板10への電流の注入がブロックされるようになっている。

【0046】

次いで、レーザ発振用電極56により、発光機能を有する活性層28に所定の値の電流を注入する。これにより、p型InPバッファ層20上に形成された回折格子により定まるおよその発振波長でのレーザ発振を得る。

【0047】

さらに、レーザ発振用電極56による電流注入とは独立に、波長制御用電極40によりInGaAsP波長制御層24に電流を注入する。InGaAsP波長制御層24に注入する電流量を調整することにより、最終的に、所望の波長でのレーザ発振を得る。

【0048】

このように、本実施形態による半導体装置は、n型InP中間層26を、n型InP埋め込み層32を介して中間層基板間電極50によりn型InP基板10に電氣的に接続し、レーザ発振用電極56により活性層28に独立して電流を注入し、波長制御用電極40によりInGaAsP波長制御層24に独立して電流を注入するので、n型InP基板10を素子の機能層の接地電位として用いることができる。これにより、本実施形態による半

10

20

30

40

50

導体装置に対して一般的な半導体レーザの実装技術を適用することができ、実施形態による半導体装置を電気光学機能素子等の他の素子とともに同一基板上に集積した場合に、基板を各素子の接地電位として用い、各々の素子を独立して制御することができる。

【0049】

(半導体装置の製造方法)

次に、本実施形態による半導体装置の製造方法について図2乃至図6を用いて説明する。

【0050】

まず、例えばキャリア濃度 $2 \times 10^{18} \text{ cm}^{-3}$ の n 型 InP 基板 10 上に、例えば MBE (Molecular Beam Epitaxial growth) 法により、例えば厚さ $1.0 \mu\text{m}$ 、キャリア濃度 $7 \times 10^{17} \text{ cm}^{-3}$ の p 型 InP 層 12 と、例えば厚さ $1.0 \mu\text{m}$ 、キャリア濃度 $2 \times 10^{18} \text{ cm}^{-3}$ の n 型 InP 層 14 とを順次積層する。これにより、p 型 InP 層 12 と n 型 InP 層 14 との p-n 接合を利用して n 型 InP 基板 10 と素子の上部領域とを絶縁する整流層 16 が形成される。

10

【0051】

次いで、整流層 16 の n 型 InP 層 14 上に、例えば MBE 法により、例えば厚さ $2.0 \mu\text{m}$ 、キャリア濃度 $7 \times 10^{17} \text{ cm}^{-3}$ の p 型 InP バッファ層 20 を形成する。

【0052】

次いで、p 型 InP バッファ層上に、例えば MBE 法により、例えば厚さ 70 nm 、キャリア濃度 $7 \times 10^{17} \text{ cm}^{-3}$ 、 $p_L = 1.2 \mu\text{m}$ の p 型 InGaAsP 層 (図示せず) を形成する。次いで、形成した p 型 InGaAsP 層をパターンングし、InGaAsP 波長制御層 24 及び活性層 28 の形成予定領域に、p 型 InGaAsP 層からなる回折格子 (図示せず) を形成する。

20

【0053】

次いで、回折格子が形成された p 型 InP バッファ層 20 上に、例えば MBE 法により、例えば厚さ 130 nm 、キャリア濃度 $7 \times 10^{17} \text{ cm}^{-3}$ の p 型 InP 下部クラッド層 22 を形成する。

【0054】

次いで、p 型 InP 下部クラッド層 22 上に、例えば MBE 法により、例えば厚さ 300 nm 、 p_L (p_L (PhotoLuminescence) ピーク波長) = $1.3 \mu\text{m}$ 、ノンドープの InGaAsP 波長制御層 24 を形成する。

30

【0055】

次いで、InGaAsP 波長制御層 24 上に、例えば MBE 法により、例えば厚さ 150 nm 、キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ の n 型 InP 中間層 26 を形成する。

【0056】

次いで、n 型 InP 中間層 26 上に、例えば MBE 法により、多重量子井戸構造を有する活性層 28 を形成する。活性層 28 は、例えば厚さ 100 nm 、 $p_L = 1.15 \mu\text{m}$ 、ノンドープの InGaAsP SCH (Separate Confinement Heterostructure) 層と、例えば厚さ 40 nm 、 $p_L = 1.3 \mu\text{m}$ 、ノンドープの InGaAsP バリア層と、例えば厚さ 9 nm 、 $p_L = 1.3 \mu\text{m}$ 、ノンドープの InGaAsP バリア層及び例えば厚さ 7 nm 、 $p_L = 1.55 \mu\text{m}$ 、ノンドープの InGaAsP 井戸層を交互に例えば 7 回積層した多重量子井戸層と、例えば厚さ 40 nm 、 $p_L = 1.3 \mu\text{m}$ 、ノンドープの InGaAsP バリア層とを順次積層することにより形成することができる。

40

【0057】

次いで、活性層 28 上に、例えば MBE 法により、例えば厚さ 200 nm 、キャリア濃度 $5 \times 10^{17} \text{ cm}^{-3}$ の p 型 InP 上部クラッド層 30 を形成する (図 2 (a) を参照)。

【0058】

次いで、例えば RIE (Reactive Ion Etching) 法により、p 型 InP 上部クラッド層 30 と、活性層 28 と、n 型 InP 中間層 26 と、InGaAsP 波長制御層 24 と、p 型 InP 下部クラッド層 22 とを順次エッチングし、これらの積層膜をメサ形状にパターンニングする。こうして、p 型 InP 上部クラッド層 30 と、活性層 28 と、n 型 InP 中間

50

層 26 と、InGaAsP 波長制御層 24 と、p 型 InP 下部クラッド層 22 とを有するメサ 31 が形成される (図 2 (b) を参照)。

【0059】

次いで、メサ 31 が形成された p 型 InP バッファ層 20 上に、例えば MBE 法により、例えば厚さ $1 \mu\text{m}$ 、キャリア濃度 $1 \times 10^{18} \text{cm}^{-3}$ の n 型 InP 埋め込み層を選択成長し、n 型 InP 埋め込み層 32 でメサ 31 を埋め込む。

【0060】

次いで、メサ 31 の p 型 InP 上部クラッド層 30 及び n 型 InP 埋め込み層 32 上に、例えば MBE 法により、例えば厚さ $4 \mu\text{m}$ 、キャリア濃度 $7 \times 10^{17} \text{cm}^{-3}$ の p 型 InP キャップ層 34 を形成する (図 2 (c) を参照)。

10

【0061】

次いで、例えば RIE 法により、メサ 31 の位置を中心として p 型 InP キャップ層 34 を所定の幅にエッチングし、n 型 InP 埋め込み層 32 を露出する (図 2 (d) を参照)。

【0062】

次いで、例えば RIE 法により、メサ 31 に対して一方の側の露出した n 型 InP 埋め込み層 32 を、メサ 31 の位置を中心として所定の幅にエッチングし、p 型 InP バッファ層 20 を露出する (図 3 (a) を参照)。

【0063】

次いで、例えば RIE 法により、n 型 InP 埋め込み層 32 と、p 型 InP バッファ層 20 と、整流層 16 と、n 型 InP 基板 10 の上部とを順次エッチングし、これらの積層膜を所定の幅のメサ形状に形成し、n 型 InP 基板 10 を露出する (図 3 (b) を参照)。

20

【0064】

次いで、上述のようにして形成された素子構造の全面に、例えば CVD 法により、例えば厚さ $0.5 \mu\text{m}$ のシリコン酸化膜からなる絶縁膜 36 を形成する (図 3 (c) を参照)。

【0065】

次いで、エッチングにより、絶縁膜 36 の n 型 InP 埋め込み層 32 上の領域に、n 型 InP 埋め込み層 32 に達する開口部 48 を形成する。また、同様に、絶縁膜 36 の n 型 InP 基板 10 上の領域に、n 型 InP 基板 10 に達する開口部 46 を形成する (図 4 (a) を参照)。

30

【0066】

次いで、全面に、例えば蒸着法により、例えば厚さ 500nm の AuGe 膜 64 を形成する (図 4 (b) を参照)。

【0067】

次いで、中間層基板間電極 50 の形状にパターンニングされた開口部を有するレジスト膜を形成した後、AuGe 膜 64 をシード金属として、電解めっき法により厚さ $3 \mu\text{m}$ の Au 膜 66 を形成する。Au 膜 66 を形成した後、レジスト膜を除去する (図 4 (c) を参照)。

【0068】

次いで、Au 膜 66 が形成された領域以外の領域に露出した AuGe 膜 64 をドライエッチングにより除去する (図 5 (a) を参照)。こうして、開口部 46 を介して n 型 InP 基板 10 に電氣的に接続し、開口部 48 を介して n 型 InP 中間層 26 に電氣的に接続する AuGe 膜 64 と Au 膜 66 との積層膜からなる中間層基板間電極 50 が形成される。

40

【0069】

次いで、全面に、例えば CVD 法により、例えば厚さ $0.5 \mu\text{m}$ のシリコン酸化膜からなる絶縁膜 52 を形成する (図 5 (b) を参照)。

【0070】

次いで、エッチングにより、絶縁膜 52、36 の p 型 InP キャップ層 34 上に形成された領域に、p 型 InP キャップ層 34 に達する開口部 54 を形成する。また、同様に、絶縁膜 52、36 の p 型 InP バッファ層 20 上に形成された領域上に、p 形 InP バッ

50

ア層20上に達する開口部38を形成する(図5(c)を参照)。なお、図1においては、絶縁膜52について一部を省略して示している。

【0071】

次いで、全面に、例えば蒸着法により、例えば厚さ500nmのAuZn膜68を形成する(図6(a)を参照)。

【0072】

次いで、レーザ発振用電極56、波長制御用電極40の形状にパターニングされた開口部を有するレジスト膜を形成した後、AuZn膜68をシード金属として、電解めっき法により厚さ3 μ mのAu膜70を形成する。Au膜70を形成した後、レジスト膜を除去する(図6(b)を参照)。

10

【0073】

次いで、Au膜70が形成された領域以外の領域に露出したAuZn膜68をドライエッチングにより除去する(図6(c)を参照)。こうして、開口部54を介してn型InPキャップ層34に接続するAuZn膜68とAu膜70との積層膜からなるレーザ発振用電極56が形成される。また、開口部38を介してp型InPバッファ層20に接続するAuZn膜68とAu膜70との積層膜からなる波長制御用電極40が形成される。なお、このとき、レーザ発振用電極56に接続する配線60及び電極パッド58と、波長制御用電極40に接続する配線44及び電極パッド42についても、Au膜70をパターニングすることにより両電極とともに形成する。

【0074】

20

次いで、他の電極の場合と同様に、蒸着法、電解めっき法等を用いて、n型InP基板10の下面に、AuZn膜とAu膜との積層膜からなる基板部電極18を形成する。また、p型InP下部クラッド層22と、InGaAsP波長制御層24と、n型InP中間層26と、活性層28と、p型InP上部クラッド層30とが順次積層されてなる光導波路層の両端面には、ARコート膜を形成する。

【0075】

こうして、図1に示す本実施形態による半導体装置が製造される。

【0076】

このように、本実施形態によれば、n型InP中間層26をn型InP埋め込み層32を介してn型InP基板10に電氣的に接続する中間層基板間電極50と、素子上に形成され、p型InPキャップ層34及びp型InP上部クラッド層30を介して活性層28に独立して電流を注入するレーザ発振用電極56と、素子上に形成され、p型InPバッファ層20及びp型InP下部クラッド層22を介してInGaAsP波長制御層24に独立して電流を注入する波長制御用電極40とを有するので、n型InP基板10を接地電位として用いることができる。基板部から一方の機能層に電流を注入する従来のTTG-DFBレーザダイオードと異なり、n型InP基板10を素子全体の接地電位として用いることができるので、一般的な半導体レーザに用いられる実装技術を適用することができ、電気光学機能素子等の他の素子とともに同一基板上に集積した場合に、基板を各素子の接地電位として用い、集積された各々の素子を独立して制御することができる。

30

【0077】

40

[第2実施形態]

本発明の第2実施形態による半導体装置及びその製造方法について図7を用いて説明する。図7は本実施形態による半導体装置の構造を示す概略図である。なお、第1実施形態による半導体装置及びその製造方法と同様の構成要素については同一の符号を付し説明を省略し或いは簡略にする。

【0078】

本実施形態による半導体装置について図7を用いて説明する。図7(a)は本実施形態による半導体装置の構造を示す断面図、図7(b)は本実施形態による半導体装置における電極構造を示す俯瞰図である。

【0079】

50

本実施形態による半導体装置は、第一実施形態による半導体装置における整流層の代わりに、図7に示すように、F eドープされた半絶縁性I n P層7 2が形成されている。このように、p型I n P層1 2とn型I n P層1 4とのp - n接合を利用してn型I n P基板1 0とp型I n Pバッファ層2 0との間を絶縁する整流層1 6の代わりに、半絶縁性I n P層7 2を形成してn型I n P基板1 0とp型I n Pバッファ層2 0との間を絶縁することによっても第1実施形態による場合と同様の効果を得ることができる。

【0080】

本実施形態による半導体装置を製造する場合には、第1実施形態による半導体装置の製造方法において、p型I n P層1 2とn型I n P層1 4とを積層して整流層1 6を形成する工程の代わりに、F eがドープされた例えば厚さ0 . 5 μ mの半絶縁性I n P層7 2を形成する工程を設ければよい。第1実施形態による場合と比較して、成膜工程が一工程少なくて済み、より簡便に製造することができる。

10

【0081】

[第3実施形態]

本発明の第3実施形態による半導体装置及びその製造方法について図8を用いて説明する。図8は本実施形態による半導体装置を示す概略図である。なお、第1実施形態による半導体装置及びその製造方法と同様の構成要素については同一の符号を付し説明を省略し或いは簡略にする。

【0082】

第1実施形態及び第2実施形態による半導体装置では、レーザ発振用電極5 6と中間層基板間電極5 0とが、中間層基板間電極5 0上に形成した絶縁膜5 2により絶縁されていた。これらに対し、本実施形態による半導体装置は、同一の絶縁膜上に、電氣的に互いに接触しないように各電極が形成されているものである。

20

【0083】

すなわち、図8に示すように、同一の絶縁膜3 6上に、レーザ発振用電極5 6と中間層基板間電極5 0とが形成されており、レーザ発振用電極5 6及び配線6 0と、中間層基板間電極5 0とが接触しないようにこれらの形状がパターンニングされている。こうして、第1実施形態及び第2実施形態による場合のように絶縁膜を用いることなく、各電極の形状により、各電極間が電氣的に接触しないようにしてもよい。

【0084】

次に、本実施形態による半導体装置の製造方法について説明する。

30

【0085】

まず、第1実施形態による場合と同様にして、絶縁膜3 6までを形成する。

【0086】

次いで、絶縁膜3 6に、n型I n P基板1 0に達する開口部4 6及びn型I n P埋め込み層3 2に達する開口部4 8とともに、p型I n Pキャップ層3 4に達する開口部5 4を形成する。

【0087】

次いで、全面に、蒸着法により、所定の領域に、A u Z n膜、A u G e膜を形成した後、電解めっき法によりA u膜を形成する。次いで、A u膜をパターンニングし、レーザ発振用電極5 6と電極パッド5 8とを接続する配線6 0と、中間層基板間電極5 0とが接触しないように、レーザ発振用電極5 6及び配線6 0と、中間層基板間電極5 0とを同時に形成する。

40

【0088】

以後、第1実施形態による場合と同様にして、本実施形態による半導体装置が製造される。

【0089】

本実施形態による半導体装置の製造方法では、中間層基板間電極5 0上に絶縁膜を形成する必要がなく、レーザ発振用電極5 6と中間層基板間電極5 0とを同時に形成することができるので、第1実施形態による場合と比較して、少ない工程数で製造することができる

50

。

【 0 0 9 0 】

[第 4 実施形態]

本発明の第 4 実施形態による半導体装置及びその製造方法について図 9 乃至図 11 を用いて説明する。図 9 は本実施形態による半導体装置の構造を示す断面図、図 10 及び図 11 は本実施形態による半導体装置の製造方法を示す工程断面図である。なお、第 1 実施形態による半導体装置及びその製造方法と同様の構成要素については同一の符号を付し説明を省略し或いは簡略にする。

【 0 0 9 1 】

本実施形態による半導体装置は、エアーブリッジにより、レーザ発振用電極 56 と中間層基板間電極 50 とが絶縁されているものである。 10

【 0 0 9 2 】

すなわち、図 9 に示すように、レーザ発振用電極 56 と電極パッド 58 とを接続する配線 60 と、中間層基板間電極 50 との間には空隙 74 が設けられており、この空隙 74 により両電極が絶縁されている。

【 0 0 9 3 】

エアーブリッジを用いてレーザ発振用電極 56 と中間層基板間電極 50 とを絶縁する本実施形態による半導体装置の製造方法について図 10 及び図 11 を用いて説明する。

【 0 0 9 4 】

まず、第 1 実施形態による場合と同様にして、中間層基板間電極 50 までを形成した後、絶縁膜 36 の p 型 I n P キャップ層 34 上の領域に開口部 54 を形成する。また、絶縁膜の p 型 I n P バッファ層 20 上に、開口部 38 を形成する（図 10 (a) を参照）。 20

【 0 0 9 5 】

次いで、全面に、レジストを塗布してレジスト膜 76 を形成する。次いで、形成したレジスト膜 76 をパターニングし、中間層基板間電極 50 上と、p 型 I n P キャップ層 34 の側壁及びその周辺に形成された絶縁膜 36 上に、レジスト膜 76 を残存させる（図 10 (b) を参照）。

【 0 0 9 6 】

次いで、例えば蒸着法により、全面に、A u Z n 膜 78 を形成する（図 10 (c) を参照）。 30

【 0 0 9 7 】

次いで、全面に、レジストを塗布してレジスト膜 80 を形成する。次いで、形成したレジスト膜 80 をパターニングし、p 型 I n P キャップ層 34 の側壁及びその周辺に形成された A u Z n 膜 78 上に、レジスト膜 80 を残存させる（図 11 (a) を参照）。

【 0 0 9 8 】

次いで、レーザ発振用電極 56、配線 60、波長制御用電極 40、配線 44 の形状にパターニングされた開口部を有するレジスト膜を形成した後、A u Z n 膜 78 をシード金属として、電解めっき法により A u 膜 82 を形成する。（図 11 (b) を参照）。このとき同時に、電極パッド 58、42 の形状にパターニングされた開口部もレジスト膜に形成しておき、電解めっき法により A u 膜 82 を形成する。 40

【 0 0 9 9 】

次いで、中間層基板間電極 50 と A u Z n 膜 78 との間に形成されたレジスト膜 76、及び p 型 I n P キャップ層 34 の側壁及びその周辺に形成された絶縁膜 36 上のレジスト膜 76、80 を、レジスト剥離剤等を用いて除去する。このレジスト剥離の際に、レジスト膜 76、80 上に形成され、パターニングされた A u 膜 82 が形成された領域以外の領域に露出した A u Z n 膜 78 が、レジスト膜 76 とともに除去される。また、p 型 I n P キャップ層 34 の側壁及びその周辺に形成されたレジスト膜 76 上の A u Z n 膜 78 も同様に、レジスト膜 76、80 とともに除去される（図 11 (c) を参照）。

【 0 1 0 0 】

こうして、開口部 54 を介して n 型 I n P キャップ層 34 に接続する A u Z n 膜 78 と A 50

u膜82との積層膜からなるレーザ発振用電極56、配線60が形成される。また、開口部38を介してp型InPバッファ層20に接続するAuZn膜78とAu膜82との積層膜からなる波長制御用電極40が形成される。このとき、中間層基板間電極50と配線60との間には、レジスト膜76の除去により空隙74が形成され、この空隙74により、レーザ発振用電極56及び配線60と、中間層基板間電極50とが絶縁されることとなる。

【0101】

以後、第1実施形態による実施形態による場合と同様にして、基板部電極18の形成等を行うことにより、エアブリッジを用いて電極間を絶縁した図9に示す本実施形態による半導体装置が製造される。

10

【0102】

上述のようにしてエアブリッジにより電極間を絶縁することにより、配線の容量の低減を図ることができる。

【0103】

また、エアブリッジにより電極間を絶縁する場合の製造工程では、開口部38、46、48、54の形成を一度に行うことができ、さらに、絶縁膜の形成も1回でよい。したがって、絶縁膜を用いて電極間を絶縁する場合と比較して、簡便に製造することができる。

【0104】

[変形実施形態]

本発明の上記実施形態に限らず種々の変形が可能である。

20

【0105】

例えば、上記実施形態では、図1(a)に示すように、活性層28をn型InP中間層26の上方に、InGaAsP波長制御層24をn型InP中間層26の下方にそれぞれ形成したが、活性層28及びInGaAsP波長制御層24のn型InP中間層26に対する位置関係は、これに限定されるものではない。すなわち、図1(a)に示す場合とは逆に、活性層28をn型InP中間層26の下方に、InGaAsP波長制御層24をn型InP中間層26の上方にそれぞれ形成してもよい。

【0106】

また、上記実施形態では、レーザ発振用電極56、波長制御用電極40、中間層基板間電極50、配線44、60、電極パッド42、58のパターン及び配置を図1(b)等に示すものとしたが、これらのパターン等は図2(b)等に示すものに限定されるものではなく、適宜絶縁膜等により、各電極間の絶縁が確保できるものであればよい。

30

【0107】

また、上記実施形態では、レーザ発振用電極56、波長制御用電極40、中間層基板間電極50、配線44、60、電極パッド42、58、基板部電極18を、金属膜からなるものとしたが、これに限定されるものではなく、これらを高ドーピングされた半導体等の導電性が高く低抵抗の膜からなるものとしてもよい。

【0108】

また、上記実施形態に示した材料系に限らず、他の材料系を用いて半導体装置を構成してもよい。また、各層の膜厚等のサイズや、キャリア濃度等についても必要に応じて適宜設計変更することができる。

40

【0109】

また、上記実施形態では、TTG-DFBレーザダイオードについて説明したが、本発明の適用範囲はこれに限定されるものではなく、ダイオード構造を有する他の半導体装置に適用することもできる。例えばDFBチューナブルフィルタ等に、本発明を適用することができる。

【0110】

(付記1) 第1導電型の半導体基板と、前記半導体基板上に形成され、第1の機能層と、第1の機能層上に形成された第1導電型の中間層と、前記中間層上に形成された第2の機能層とを有する積層膜と、前記中間層と前記半導体基板とを電気的に接続する金属から

50

なる配線と、前記第 1 の機能層に電流を注入するための第 1 の電極と、前記第 2 の機能層に電流を注入するための第 2 の電極と、前記半導体基板に電氣的に接続され、前記第 1 の機能層及び前記第 2 の機能層から電流を引き出すための第 3 の電極とを有することを特徴とする半導体装置。

【 0 1 1 1 】

(付記 2) 付記 1 記載の半導体装置において、前記半導体基板と前記積層膜との間に形成され、前記第 1 の機能層に電氣的に接続された第 2 導電型のバッファ層を更に有し、前記第 1 の電極は、前記バッファ層に電氣的に接続されていることを特徴とする半導体装置。

【 0 1 1 2 】

(付記 3) 付記 2 記載の半導体装置において、前記積層膜は、メサ形状を有し、前記第 1 の電極は、前記積層膜が形成されていない領域の前記バッファ層上に形成されていることを特徴とする半導体装置。

【 0 1 1 3 】

(付記 4) 付記 2 又は 3 記載の半導体装置において、前記バッファ層は、メサ形状を有し、前記配線は、前記バッファ層が形成されていない領域の前記半導体基板上に接続されていることを特徴とする半導体装置。

【 0 1 1 4 】

(付記 5) 付記 1 乃至 4 のいずれかに記載の半導体装置において、前記積層膜の側部に形成され、前記中間層に電氣的に接続された前記第 1 導電型の埋め込み層を更に有し、前記配線は、前記埋め込み層を介して前記中間層に電氣的に接続されていることを特徴とする半導体装置。

【 0 1 1 5 】

(付記 6) 付記 1 乃至 5 のいずれかに記載の半導体装置において、前記積層膜上に形成され、前記第 2 の機能層に電氣的に接続された前記第 2 導電型のキャップ層を更に有し、前記第 2 の電極は、前記キャップ層に電氣的に接続されていることを特徴とする半導体装置。

【 0 1 1 6 】

(付記 7) 付記 1 乃至 6 のいずれかに記載の半導体装置において、前記第 1 の機能層及び前記第 2 の機能層のうちの少なくとも一方が、発光機能を有する活性層であることを特徴とする半導体装置。

【 0 1 1 7 】

(付記 8) 付記 1 乃至 7 のいずれかに記載の半導体装置において、前記半導体基板と前記積層膜との間に、導電型が互いに異なる 2 層の半導体層を更に有することを特徴とする半導体装置。

【 0 1 1 8 】

(付記 9) 付記 1 乃至 7 のいずれかに記載の半導体装置において、前記半導体基板と前記積層膜との間に、半絶縁性半導体層を有することを特徴とする半導体装置。

【 0 1 1 9 】

(付記 10) 付記 1 乃至 9 のいずれかに記載の半導体装置において、前記第 1 の電極と、前記第 2 の電極と、前記配線とが、前記積層膜上を覆う同一の絶縁膜上に形成されていることを特徴とする半導体装置。

【 0 1 2 0 】

(付記 11) 付記 1 乃至 10 のいずれかに記載の半導体装置において、前記第 2 の電極は、絶縁膜により前記配線と絶縁されていることを特徴とする半導体装置。

【 0 1 2 1 】

(付記 12) 付記 1 乃至 10 のいずれかに記載の半導体装置において、前記第 2 の電極と前記配線との間に空隙が設けられており、前記第 2 の電極は、前記空隙により前記配線と絶縁されていることを特徴とする半導体装置。

【 0 1 2 2 】

10

20

30

40

50

(付記 13) 付記 1 乃至 12 のいずれかに記載の半導体装置において、前記積層膜は、メサ形状を有することを特徴とする半導体装置。

【0123】

(付記 14) 付記 1 乃至 13 のいずれかに記載の半導体装置において、前記第 3 の電極は、前記半導体基板の前記積層膜が形成された面と反対の面に形成されていることを特徴とする半導体装置。

【0124】

【発明の効果】

以上の通り、本発明によれば、第 1 導電型の半導体基板と、半導体基板上に形成され、第 1 の機能層と、第 1 の機能層上に形成された第 1 導電型の間層と、前記中間層上に形成された第 2 の機能層とを有する積層膜と、中間層と半導体基板とを電氣的に接続する金属からなる配線と、第 1 の機能層に電流を注入するための第 1 の電極と、第 2 の機能層に電流を注入するための第 2 の電極と、半導体基板に電氣的に接続され、第 1 の機能層及び第 2 の機能層から電流を引き出すための第 3 の電極とを有するので、半導体基板を素子全体の接地電位として用いることができる。これにより、本発明による半導体装置に対しては、一般的な半導体レーザ等に用いられる実装技術を適用することができ、電気光学機能素子等の他の素子とともに同一基板上に集積した場合に、基板を各素子の接地電位として用い、集積された各々の素子を独立して制御することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態による半導体装置の構造を示す概略図である。

【図 2】本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 3】本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 4】本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 5】本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

【図 6】本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 5）である。

【図 7】本発明の第 2 実施形態による半導体装置の構造を示す概略図である。

【図 8】本発明の第 3 実施形態による半導体装置の電極配置を示す俯瞰図である。

【図 9】本発明の第 4 実施形態による半導体装置の構造を示す断面図である。

【図 10】本発明の第 4 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 11】本発明の第 4 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 12】従来の T T G - D F B レーザダイオード（その 1）の構造を示す断面図である。

【図 13】従来の T T G - D F B レーザダイオード（その 2）の構造を示す断面図である。

【符号の説明】

10 ... n 型 I n P 基板

12 ... p 型 I n P 層

14 ... n 型 I n P 層

16 ... 整流層

18 ... 基板部電極

20 ... p 型 I n P バッファ層

22 ... p 型 I n P 下部クラッド層

24 ... I n G a A s P 波長制御層

10

20

30

40

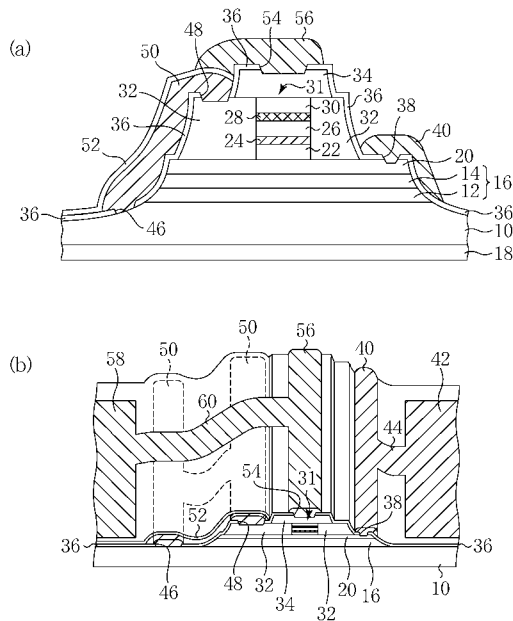
50

2 6 ... n 型 I n P 中間層	
2 8 ... 活性層	
3 0 ... p 型 I n P 上部クラッド層	
3 1 ... メサ	
3 2 ... n 型 I n P 埋め込み層	
3 4 ... p 型 I n P キャップ層	
3 6 ... 絶縁膜	
3 8 ... 開口部	
4 0 ... 波長制御用電極	
4 2 ... 電極パッド	10
4 4 ... 配線	
4 6、4 8 ... 開口部	
5 0 ... 中間層基板間電極	
5 2 ... 絶縁膜	
5 4 ... 開口部	
5 6 ... レーザ発振用電極	
5 8 ... 電極パッド	
6 0 ... 配線	
6 4 ... A u G e 膜	
6 6 ... A u 膜	20
6 8 ... A u Z n 膜	
7 0 ... A u 膜	
7 2 ... 半絶縁性 I n P 層	
7 4 ... 空隙	
7 6 ... レジスト膜	
7 8 ... A u Z n 膜	
8 0 ... レジスト膜	
8 2 ... A u 膜	
1 0 0 ... p 型 I n P 基板	
1 0 2 ... p 型 I n P バッファ層	30
1 0 4 ... p 電極	
1 0 6 ... 波長制御層	
1 0 8 ... n 型中間層	
1 1 0 ... 活性層	
1 1 2 ... p 型保護層	
1 1 4 ... n 型 I n P 埋め込み層	
1 1 6 ... p 型 I n P 層	
1 1 8 ... 開口部	
1 2 0 ... 絶縁膜	
1 2 2 ... 開口部	40
1 2 4 ... p 電極	
1 2 6 ... 開口部	
1 2 8 ... n 電極	
1 3 0 ... n 型半導体基板	
1 3 2 ... 半絶縁性半導体層	
1 3 4 ... p 型 I n P 下側カバー層	
1 3 6 ... n 電極	
1 3 8 ... I n G a A s P 波長制御層	
1 4 0 ... n 型 I n P 中間層	
1 4 2 ... I n G a A s P 活性層	50

- 144 ... p型InP保護層
- 146 ... n型InPカバー層
- 148 ... 中断部
- 150 ... p型InP側方層
- 152 ... p型InP上方層
- 154 ... 絶縁膜
- 156 ... p電極
- 158 ... p電極

【図1】

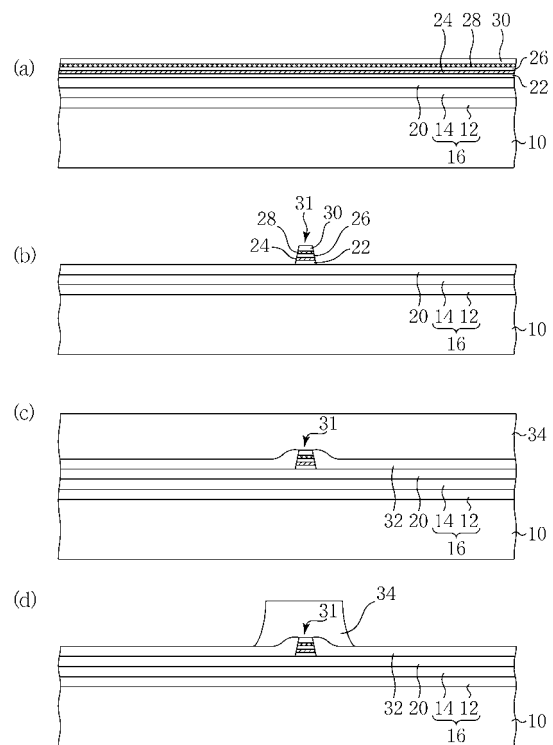
本発明の第1実施形態による半導体装置の構造を示す概略図



- | | | |
|-------------------|-------------------|---------------|
| 10...n型InP基板 | 28...活性層 | 44...配線 |
| 12...p型InP層 | 30...p型InP上部クラッド層 | 46, 48...開口部 |
| 14...n型InP層 | 31...メサ | 50...中間層基板間電極 |
| 16...整流層 | 32...n型InP埋め込み層 | 52...絶縁膜 |
| 18...基板部電極 | 34...p型InPキャップ層 | 54...開口部 |
| 20...p型InPバッファ層 | 36...絶縁膜 | 56...レーザ発振用電極 |
| 22...p型InP下部クラッド層 | 38...開口部 | 58...電極ハット |
| 24...InGaAsP波長制御層 | 40...波長制御用電極 | 60...配線 |
| 26...n型InP中間層 | 42...電極ハット | |

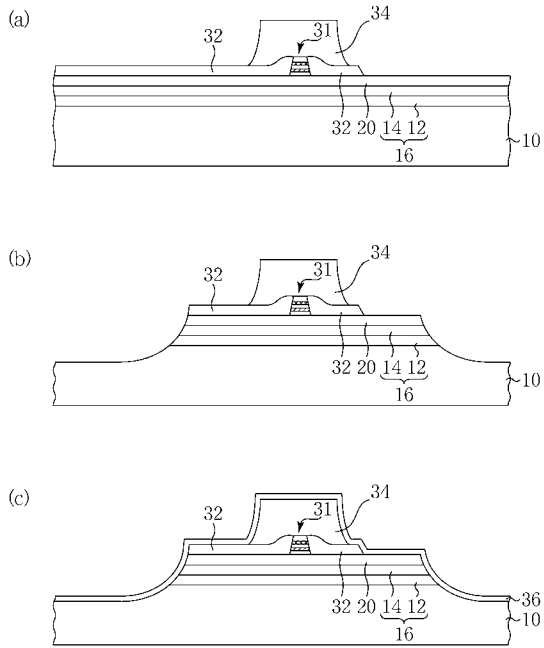
【図2】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その1)



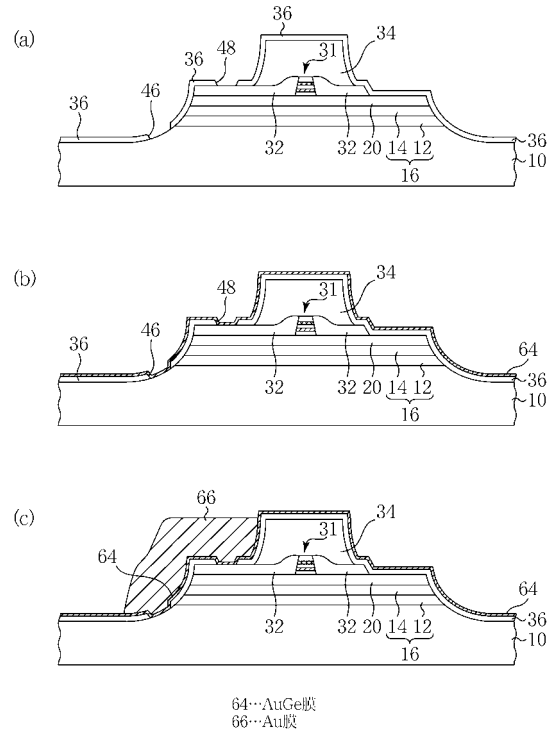
【 図 3 】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図 (その2)



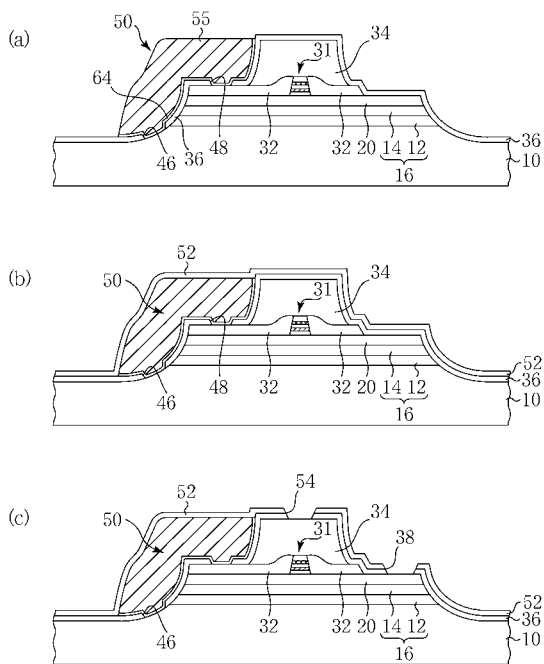
【 図 4 】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図 (その3)



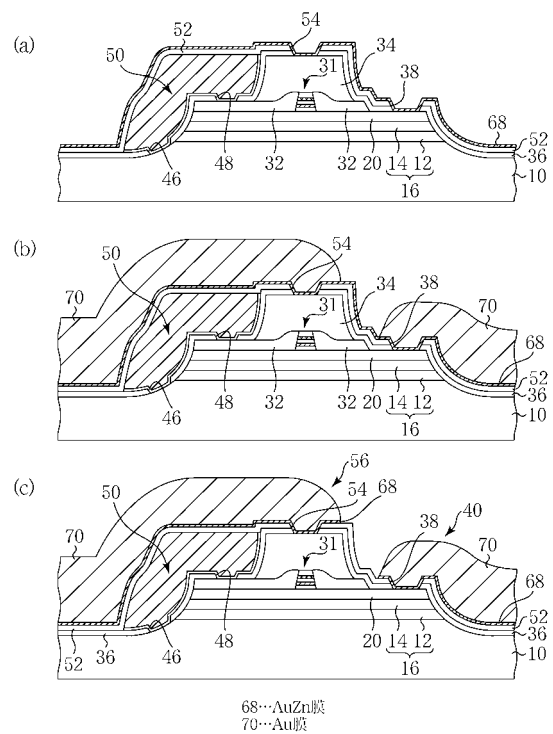
【 図 5 】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図 (その4)



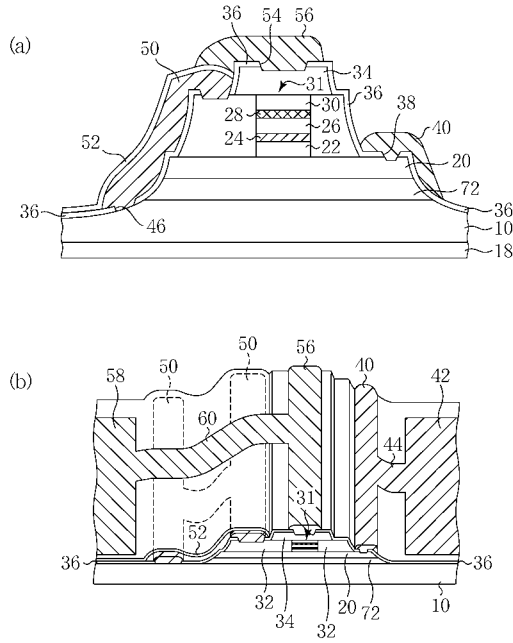
【 図 6 】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図 (その5)



【 図 7 】

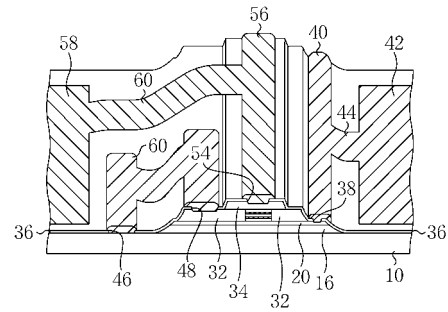
本発明の第2実施形態による半導体装置の構造を示す概略図



72…半絶縁性InP層

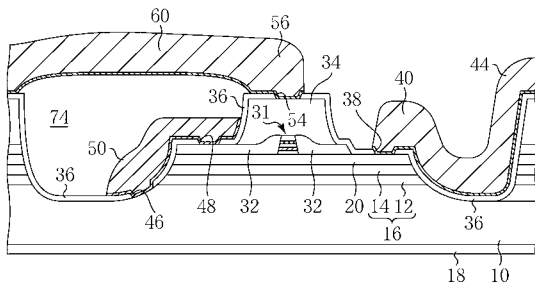
【 図 8 】

本発明の第3実施形態による半導体装置の電極配置を示す俯瞰図



【 図 9 】

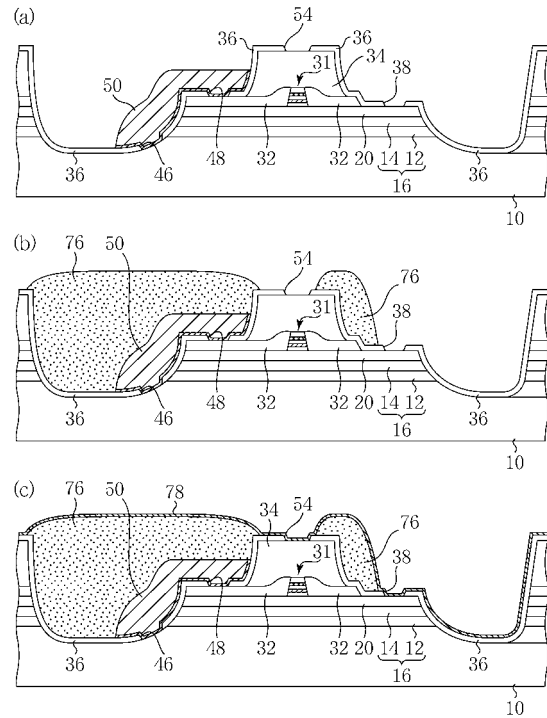
本発明の第4実施形態による半導体装置の構造を示す断面図



74…空隙

【 図 10 】

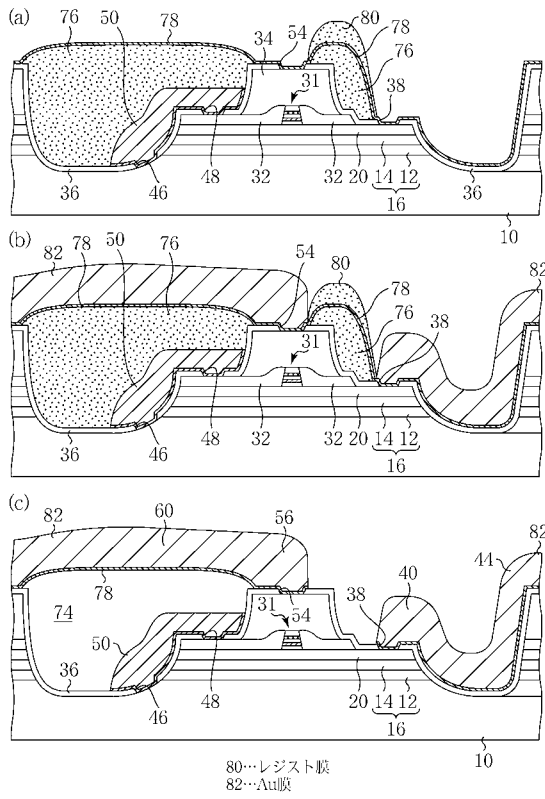
本発明の第4実施形態による半導体装置の製造方法を示す工程断面図 (その1)



76…レジスト膜
78…AuZn膜

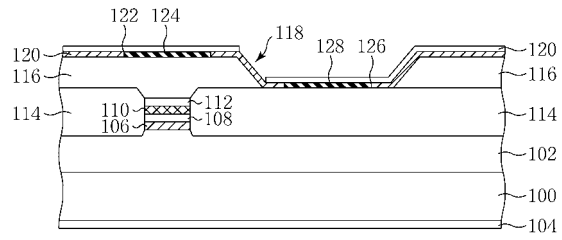
【図11】

本発明の第4実施形態による半導体装置の製造方法を示す工程断面図(その2)



【図12】

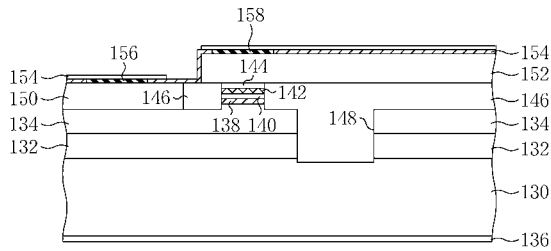
従来のTTG-DFBレーザダイオード(その1)の構造を示す断面図



- | | |
|------------------|------------------|
| 100...p型InP基板 | 114...n型InP埋め込み層 |
| 102...p型InPバッファ層 | 116...p型InP層 |
| 104...p電極 | 118...開口部 |
| 106...波長制御層 | 120...絶縁膜 |
| 108...n型中間層 | 122...開口部 |
| 110...活性層 | 124...p電極 |
| 112...p型保護層 | 126...開口部 |
| | 128...n電極 |

【図13】

従来のTTG-DFBレーザダイオード(その2)の構造を示す断面図



- | | |
|--------------------|-----------------|
| 130...n型半導体基板 | 146...n型InPカバー層 |
| 132...半絶縁性半導体層 | 148...中斷部 |
| 134...p型InP下側カバー層 | 150...p型InP側方層 |
| 136...n電極 | 152...p型InP上方層 |
| 138...InGaAsP波長制御層 | 154...絶縁膜 |
| 140...n型InP中間層 | 156...p電極 |
| 142...InGaAsP活性層 | 158...p電極 |
| 144...p型InP保護層 | |

フロントページの続き

- (72)発明者 佐藤 嘉洋
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 山本 剛之
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 檀本 英吾

- (56)参考文献 特開平11-274634(JP,A)
特開平09-232631(JP,A)
特開2002-217491(JP,A)
特開平07-226565(JP,A)
特開平08-264892(JP,A)
特開平02-207581(JP,A)
特開平02-246393(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01S 5/00-5/50