





# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

半導體裝置及其驅動方法

Semiconductor device and driving method thereof

## 【技術領域】

所公開的發明係關於一種利用半導體元件的半導體裝置及其製造方法。另外，所公開的發明還關於所述半導體裝置的驅動方法。

## 【先前技術】

利用半導體元件的儲存裝置可以粗分為如果沒有電力供給儲存內容就消失的揮發性儲存裝置和即使沒有電力供給也保持儲存內容的非揮發性儲存裝置。

作為揮發性儲存裝置的典型例子，有 DRAM (Dynamic Random Access Memory：動態隨機存取記憶體)。DRAM 選擇構成記憶元件的電晶體並將電荷儲存在電容器中而儲存資訊。

根據上述原理，因為當從 DRAM 讀出資訊時電容器的電荷消失，所以每次讀出資訊時都需要再次進行寫入工作。另外，因為在構成記憶元件的電晶體中因截止狀態下的源極和汲極之間的洩漏電流（截止電流）等而即使電晶體未被選擇電荷也流出或流入，所以資料的保持期間較

短。爲此，需要按預定的週期再次進行寫入工作（刷新工作），由此，難以充分降低耗電量。另外，因爲如果沒有電力供給儲存內容就消失，所以需要利用磁性材料或光學材料的其他儲存裝置以實現較長期間的儲存保持。

作爲揮發性儲存裝置的另一例子，有 SRAM（Static Random Access Memory：靜態隨機存取記憶體）。SRAM 使用正反器等電路保持儲存內容，而不需要進行刷新工作，在這一點上 SRAM 優越於 DRAM。但是，因爲 SRAM 使用正反器等電路，所以存在儲存容量的單價變高的問題。另外，在如果沒有電力供給儲存內容就消失這一點上，SRAM 和 DRAM 相同。

作爲非揮發性儲存裝置的典型例子，有快閃記憶體。快閃記憶體在電晶體的閘極電極和通道形成區域之間具有浮動閘極，在該浮動閘極保持電荷而進行儲存，因此，快閃記憶體具有資料保持期間極長（半永久）、不需要進行揮發性儲存裝置所需要的刷新工作的優點（例如，參照專利文獻 1）。

但是，由於當進行寫入時產生的穿隧電流會引起構成記憶元件的閘極絕緣層的退化，因此發生因預定次數的寫入而使記憶元件不能工作的問題。爲了緩和上述問題的影響，例如，使用使各記憶元件的寫入次數均等的方法，但是，爲了使用該方法，需要具有複雜的週邊電路。另外，即使使用上述方法，也不能從根本上解決使用壽命的問題。就是說，快閃記憶體不合適於資訊的改寫頻率高的用

途。

另外，爲了對浮動閘極注入電荷或者去除該電荷，需要高電壓和用於該目的的電路。再者，還有由於電荷的注入或去除需要較長時間而難以實現寫入或擦除的高速化的問題。

[專利文獻 1] 日本專利申請公開 昭 57-105889 號公報

### 【發明內容】

鑒於上述問題，所公開的發明的一個方式的目的之一在於：提供一種即使沒有電力供給也能夠保持儲存內容且對寫入次數也沒有限制的具有新的結構的半導體裝置。

在所公開的發明中，藉由使用可以使電晶體的截止電流充分小的材料如作爲寬頻隙半導體的氧化物半導體材料構成半導體裝置。藉由使用可以使電晶體的截止電流充分小的半導體材料，可以長期保持資訊。

另外，所公開的發明提供一種具有非揮發性儲存單元的半導體裝置，該非揮發性儲存單元包括：使用氧化物半導體的寫入用電晶體；使用與該寫入用電晶體不同的半導體材料的讀出用電晶體；以及電容元件。對該儲存單元的資訊的寫入及改寫藉由如下步驟來進行：藉由使寫入用電晶體成爲導通狀態，將電位供應到寫入用電晶體的源極電極及汲極電極中的一方、電容元件的電極中的一方以及讀出用電晶體的閘極電極彼此電連接的節點，然後，藉由使

寫入用電晶體成爲截止狀態，使節點保持預定量的電荷。另外，作爲讀出用電晶體，使用 p 通道型電晶體，而將讀出電位設定爲正電位。

更明確地說，例如，可以使用如下結構。

所公開的發明的一個方式是一種半導體裝置，包括：位元線；源極線；寫入字線；寫入及讀出字線；以及儲存單元，其中儲存單元包括：包含第一閘極電極、第一源極電極、第一汲極電極以及第一通道形成區的 p 通道型第一電晶體；包含第二閘極電極、第二源極電極、第二汲極電極以及第二通道形成區的第二電晶體；以及電容元件，第一通道形成區和第二通道形成區包含不同的半導體材料，第一閘極電極、第二汲極電極以及電容元件的一方電極彼此電連接而構成保持電荷的節點，位元線、第一源極電極以及第二源極電極彼此電連接，源極線與第一汲極電極電連接，寫入字線與第二閘極電極電連接，並且寫入及讀出字線與電容元件的另一方電極電連接。

另外，所公開的發明的一個方式是一種半導體裝置，包括：位元線；源極線；寫入字線；寫入及讀出字線；包含多個儲存單元的儲存單元陣列；以及電位轉換電路，其中儲存單元之一包括：包含第一閘極電極、第一源極電極、第一汲極電極以及第一通道形成區的 p 通道型第一電晶體；包含第二閘極電極、第二源極電極、第二汲極電極以及第二通道形成區的第二電晶體；以及電容元件，第一通道形成區和第二通道形成區包含不同的半導體材料，第

一閘極電極、第二汲極電極以及電容元件的一方電極彼此電連接而構成保持電荷的節點，位元線、第一源極電極以及第二源極電極彼此電連接，電位轉換電路的端子之一、源極線以及第一汲極電極彼此電連接，寫入字線與第二閘極電極電連接，寫入及讀出字線與電容元件的另一方電極電連接，源極線與多個列的儲存單元電連接，並且電位轉換電路具有一種功能，即在寫入期間中將接地電位選擇性地施加到源極線。

另外，在上述半導體裝置中，第二通道形成區較佳包含氧化物半導體。

另外，在上述半導體裝置中，第二電晶體較佳設置為與第一電晶體的至少一部分重疊。

另外，在上述半導體裝置中，第一通道形成區也可以包含矽。

另外，在上述半導體裝置中，第二電晶體也可以使用 n 通道型電晶體。

另外，所公開的發明的另一個方式是一種半導體裝置的驅動方法，該半導體裝置包括：位元線；源極線；多個寫入字線；多個寫入及讀出字線；以及包含多個儲存單元的儲存單元陣列，其中儲存單元之一包括：包含第一閘極電極、第一源極電極、第一汲極電極以及第一通道形成區的 p 通道型第一電晶體；包含第二閘極電極、第二源極電極、第二汲極電極以及第二通道形成區的第二電晶體；以及電容元件，第一閘極電極、第二汲極電極以及電容元件

的一方電極彼此電連接而構成保持電荷的節點，位元線、第一源極電極以及第二源極電極彼此電連接，源極線與第一汲極電極電連接，寫入字線之一與第二閘極電極電連接，寫入及讀出字線之一與電容元件的另一方電極電連接，所述半導體裝置的驅動方法包括如下步驟：在寫入期間中，將接地電位供應到源極線；以及在讀出期間中，將電源電位供應到與非選擇的儲存單元之一連接的寫入及讀出字線之一。

另外，在本發明說明等中，“上”或“下”的用語不侷限於構成要素的位置關係為“直接在 xx 之上”或“直接在 xx 之下”。例如，“閘極絕緣層上的閘極電極”包括在閘極絕緣層和閘極電極之間包含其他構成要素的情況。

另外，在本發明說明等中，“電極”或“佈線”的用語不限定構成要素的功能。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”的用語還意味著多個“電極”或“佈線”形成為一體的情況等。

另外，“源極”和“汲極”的功能在使用極性不同的電晶體的情況或電路工作的電流方向變化的情況等下，有時互相調換。因此，在本發明說明中，“源極”和“汲極”可以互相調換。

另外，在本發明說明等中，“電連接”包括藉由“具有某種電作用的元件”彼此連接的情況。這裏，“具有某種電作用的元件”只要可以進行連接物件間的電信號的授受，就對其沒有特別的限制。



例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等的切換元件、電阻元件、電感器、電容器、其他具有各種功能的元件等。

使用氧化物半導體的電晶體的截止電流極小，因此藉由使用該電晶體可以在極長期間中保持儲存內容。就是說，因為不需要進行刷新工作，或者，可以將刷新工作的頻率降低到極低，所以可以充分降低耗電量。另外，即使沒有電力供給（較佳的是，電位被固定），也可以在較長期間內保持儲存內容。

另外，在根據所公開的發明的半導體裝置中，在寫入資訊時不需要高電壓，而且也沒有元件退化的問題。例如，不像現有的非揮發性記憶體的情況那樣，不需要對浮動閘極注入電子或從浮動閘極抽出電子，所以根本不發生閘極絕緣層的退化等的問題。就是說，根據所公開的發明的半導體裝置對能夠改寫的次數沒有限制，這限制是現有的非揮發性記憶體所具有的問題，所以可以顯著提高可靠性。再者，因為根據電晶體的導通狀態或截止狀態而進行資訊的寫入，所以容易實現高速工作。另外，還有不需要用於擦除資訊的工作的優點。

此外，藉由作為讀出用電晶體應用使用氧化物半導體以外的材料而能夠進行足夠的高速工作的電晶體，並將該電晶體與作為寫入用電晶體的使用氧化物半導體的電晶體組合而使用，可以充分地確保半導體裝置的工作（例如，資訊的讀出工作）的高速性。此外，藉由利用使用氧化物

半導體以外的材料的電晶體，可以合適地實現被要求高速工作的各種電路（邏輯電路、驅動電路等）。

如上所述，藉由一體地具備使用氧化物半導體以外的材料的電晶體（換言之，能夠進行足夠的高速工作的電晶體）和使用氧化物半導體的電晶體（作更廣義解釋，截止電流十分小的電晶體），可以實現具有新穎的特徵的半導體裝置。

### 【圖式簡單說明】

在圖式中：

圖 1A-1、1A-2 和圖 1B 是半導體裝置的電路圖；

圖 2A 和 2B 是半導體裝置的電路圖；

圖 3 是半導體裝置的電路圖；

圖 4 是時序圖；

圖 5A 和 5B 是半導體裝置的剖面圖及平面圖；

圖 6A 至 6G 是有關半導體裝置的製程的剖面圖；

圖 7A 至 7E 是有關半導體裝置的製程的剖面圖；

圖 8A 至 8D 是有關半導體裝置的製程的剖面圖；

圖 9A 至 9D 是有關半導體裝置的製程的剖面圖；

圖 10A 至 10C 是有關半導體裝置的製程的剖面圖；

圖 11A 至 11F 是用來說明使用半導體裝置的電子裝置的圖；

圖 12A 至 12E 是說明氧化物材料的結晶結構的圖；

圖 13A 至 13C 是說明氧化物材料的結晶結構的圖；

圖 14A 至 14C 是說明氧化物材料的結晶結構的圖；

圖 15 是說明藉由計算獲得的遷移率的閘電壓依賴性的圖；

圖 16A 至 16C 是說明藉由計算獲得的汲電流和遷移率的閘電壓依賴性的圖；

圖 17A 至 17C 是說明藉由計算獲得的汲電流和遷移率的閘電壓依賴性的圖；

圖 18A 至 18C 是說明藉由計算獲得的汲電流和遷移率的閘電壓依賴性的圖；

圖 19A 和 19B 是說明用於計算的電晶體的剖面結構的圖；

圖 20A 至 20C 是示出使用氧化物半導體膜的電晶體的特性的圖；

圖 21A 和 21B 是示出樣品 1 的電晶體的 BT 測試後的  $V_g-I_d$  特性的圖；

圖 22A 和 22B 是示出樣品 2 的電晶體的 BT 測試後的  $V_g-I_d$  特性的圖；

圖 23 是示出  $I_d$  及場效應遷移率的  $V_g$  依賴性的圖；

圖 24A 和 24B 是說明基板溫度和臨界值電壓的關係以及基板溫度和場效應遷移率的關係的圖；

圖 25 是示出樣品 A 及樣品 B 的 XRD 光譜的圖；

圖 26 是示出電晶體的截止電流和測定時基板溫度的關係的圖；

圖 27A 和 27B 分別是將 In-Sn-Zn-O 膜用於氧化物半

導體膜的共面型的頂閘頂接觸結構的電晶體的俯視圖及剖面圖；

圖 28A 和 28B 是示出在實施例 2 中製造的電晶體的結構的俯視圖及剖面圖。

### 【實施方式】

以下，參照圖式說明所公開的發明的實施方式的一個例子。但是，所公開的發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，所公開的發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。

爲了便於理解，圖式等所示出的各結構的位置、大小和範圍等有時不表示實際上的位置、大小和範圍等。因此，所公開的發明不一定侷限於圖式等所公開的位置、大小、範圍等。

另外，本發明說明等中使用的“第一”、“第二”、“第三”等序數詞是爲了避免結構要素的混同，而不是爲了在數目方面上限定。

#### 實施方式 1

在本實施方式中，參照圖 1A-1、1A-2 及 1B 和圖 2A 及 2B 對根據所公開的發明的一個方式的半導體裝置的基本電路結構及其工作進行說明。另外，在電路圖中，爲了

表示使用氧化物半導體的電晶體，有時附上“OS”的符號。

### <基本電路 1>

首先，參照圖 1A-1、1A-2 和圖 1B 對最基本的電路結構及其工作進行說明。在圖 1A-1 所示的半導體裝置中，位元線 BL、電晶體 160 的源極電極（或汲極電極）以及電晶體 162 的源極電極（或汲極電極）彼此電連接，並且，源極線 SL 與電晶體 160 的汲極電極（或源極電極）電連接。另外，寫入字線 OSG 與電晶體 162 的閘極電極電連接。再者，電晶體 160 的閘極電極及電晶體 162 的汲極電極（或源極電極）與電容元件 164 的一方電極電連接，寫入及讀出字線 C 與電容元件 164 的另一方電極電連接。另外，電晶體 160 的源極電極（或汲極電極）及電晶體 162 的源極電極（或汲極電極）也可以彼此不電連接而分別與不同的佈線電連接。

在此，例如，將使用氧化物半導體的電晶體用於電晶體 162。使用氧化物半導體的電晶體具有截止電流極小的特徵。因此，藉由使電晶體 162 成爲截止狀態，可以極長時間地保持電晶體 160 的閘極電極的電位。再者，藉由具有電容元件 164，容易保持施加到電晶體 160 的閘極電極的電荷，另外，也容易讀出所保持的資訊。

另外，對電晶體 160 的半導體材料沒有特別的限制。從提高資訊的讀出速度的觀點來看，例如，較佳使用利用單晶矽的電晶體等的開關速度快的電晶體。作爲電晶體

160，使用 p 通道型電晶體。

此外，如圖 1B 所示，也可以採用不設置電容元件 164 的結構。

在圖 1A-1 所示的半導體裝置中，藉由有效地利用可以保持電晶體 160 的閘極電極的電位的特徵，可以如以下所示那樣進行資訊的寫入、保持以及讀出。

首先，對資訊的寫入及保持進行說明。首先，藉由將寫入字線 OSG 的電位設定為使電晶體 162 成為導通狀態的電位，使電晶體 162 成為導通狀態。由此，對電晶體 162 的汲極電極（或源極電極）、電晶體 160 的閘極電極以及電容元件 164 的一方電極彼此電連接的節點（也稱為節點 FG）施加位元線 BL 的電位。也就是說，對節點 FG 施加預定的電荷（寫入）。這裏，賦予兩個不同的電位的電荷（以下，賦予低電位的電荷稱為電荷  $Q_L$ ，而賦予高電位的電荷稱為電荷  $Q_H$ ）中的任何一種被施加。另外，也可以利用賦予三個以上的不同的電位的電荷提高儲存容量。然後，藉由將寫入字線 OSG 的電位設定為使電晶體 162 成為截止狀態的電位，使電晶體 162 成為截止狀態，保持對節點 FG 施加的電荷（保持）。

因為電晶體 162 的截止電流極小，所以電晶體 160 的閘極電極的電荷被長時間地保持。

接著，對資訊的讀出進行說明。當在對源極線 SL 施加預定的電位（定電位）的狀態下對寫入及讀出字線 C 施加適當的電位（讀出電位）時，根據保持在節點 FG 中的

電荷量，位元線 BL 取不同的電位。就是說，電晶體 160 的導電率被保持在電晶體 160 的閘極電極（也稱為節點 FG）中的電荷控制。

一般來說，在電晶體 160 為 p 通道型電晶體時，對電晶體 160 的閘極電極施加  $Q_H$  時的外觀上的臨界值  $V_{th\_H}$  低於對電晶體 160 的閘極電極施加  $Q_L$  時的外觀上的臨界值  $V_{th\_L}$ 。例如，在寫入時施加  $Q_L$  的情況下，當寫入及讀出字線 C 的電位成爲  $V_0$ （ $V_{th\_H}$  與  $V_{th\_L}$  之間的中間電位）時，電晶體 160 成爲“導通狀態”。在寫入時施加  $Q_H$  的情況下，即使寫入及讀出字線 C 的電位成爲  $V_0$ ，電晶體 160 也處於“截止狀態”。因此，藉由辨別位元線 BL 的電位，可以讀出所保持的資訊。

接著，對資訊的改寫進行說明。資訊的改寫與上述資訊的寫入及保持同樣進行。也就是說，將寫入字線 OSG 的電位設定爲使電晶體 162 成爲導通狀態的電位，而使電晶體 162 成爲導通狀態。由此，對節點 FG 施加位元線 BL 的電位（有關新的資訊的電位）。然後，藉由將寫入字線 OSG 的電位設定爲使電晶體 162 成爲截止狀態的電位，使電晶體 162 成爲截止狀態，而使節點 FG 成爲施加有有關新的資訊的電荷的狀態。

像這樣，根據所公開的發明的半導體裝置藉由再次進行資訊的寫入，可以直接改寫資訊。因此，不需要快閃記憶體等所需要的利用高電壓從浮動閘極抽出電荷的工作，可以抑制起因於擦除工作的工作速度的降低。換言之，實

現了半導體裝置的高速工作。

以下，作為一個例子，明確地說明對節點 FG 施加電位 VDD 和接地電位 GND 中的任何一種時的寫入、保持以及讀出的方法。以下，將對節點 FG 施加電位 VDD 時保持的資料稱為資料“1”，並且將對節點 FG 施加接地電位 GND 時保持的資料稱為資料“0”。另外，對節點 FG 施加的電位的關係不侷限於此。

在寫入資訊時，藉由將源極線 SL、寫入及讀出字線 C 以及寫入字線 OSG 分別設定為 GND、GND 以及 VDD，使電晶體 162 成為導通狀態。在將資料“0”寫入到節點 FG 時將 GND 施加到位元線 BL，而在將資料“1”寫入到節點 FG 時將位元線 BL 的電位設定為 VDD。另外，在將資料“1”寫入到節點 FG 時，也可以將寫入字線 OSG 的電位設定為  $VDD + V_{th\_OS}$ ，以不使下降電晶體 162 的臨界值電壓 ( $V_{th\_OS}$ )。

在保持資訊時，藉由將寫入字線 OSG 設定為 GND，使電晶體 162 成為截止狀態。另外，將位元線 BL 和源極線 SL 設定為同一電位，以抑制藉由 p 通道型電晶體的電晶體 160 在位元線 BL 與源極線 SL 之間產生電流而耗電。另外，只要位元線 BL 和源極線 SL 為同一電位，則寫入及讀出字線 C 既可為 VDD 又可為 GND。

另外，上述“同一電位”包括“大致同一電位”。就是說，上述結構的目的在於：藉由充分降低位元線 BL 和源極線 SL 之間的電位差而抑制產生在位元線 BL 和源極線



SL 之間的電流，因此可包括一種“大致同一電位”，該電位是與將源極線 SL 的電位固定為 GND 等的情況相比能夠充分（例如，百分之一以下）降低耗電量的電位等。另外，例如，充分允許一種偏差，即由佈線電阻等導致的電位偏差等。

在讀出資訊時，將寫入字線 OSG 設定為 GND，將寫入及讀出字線 C 設定為 GND，並且將源極線 SL 設定為 VDD 或比 VDD 低一點的電位（以下稱為 VR）。這裏，在節點 FG 寫入有資料“1”的情況下，p 通道型電晶體的電晶體 160 成爲截止狀態，從而位元線 BL 的電位維持讀出開始時的電位或者上升。另外，位元線 BL 的電位的維持或上升依賴於連接於位元線 BL 的讀出電路。在節點 FG 寫入有資料“0”的情況下，電晶體 160 成爲導通狀態，從而位元線 BL 的電位成爲與源極線 SL 的電位相同的電位，即 VDD 或 VR。因此，藉由辨別位元線 BL 的電位，可以讀出保持在節點 FG 中的資料“1”或資料“0”。

另外，在節點 FG 保持電位 VDD（即，寫入資料“1”）的情況下，藉由在讀出時將源極線 SL 的電位設定為 VDD，電晶體 160 的閘極與源極之間的電壓（以下稱為  $V_{gsp}$ ）成爲  $V_{gsp} = VDD - VDD = 0V$ ， $V_{gsp}$  大於電晶體 160 的臨界值電壓（以下稱爲  $V_{th\_p}$ ），由此，p 通道型電晶體的電晶體 160 成爲截止狀態。這裏，即使在保持在節點 FG 中的電位小於 VDD 的情況如寫入到節點 FG 的電位不到達 VDD 的情況下，只要節點 FG 的電位爲  $VDD - |V_{th\_p}|$  以上就成爲

$V_{gsp} = (VDD - |V_{th\_p}|) - VDD = -|V_{th\_p}| = V_{th\_p}$ ，電晶體 160 也成爲截止狀態，而能夠正常地讀出資料“1”。但是，在節點 FG 的電位小於  $VDD - |V_{th\_p}|$  時， $V_{gsp}$  小於  $V_{th\_p}$ ，由此電晶體 160 成爲導通狀態，讀出資料“0”而不讀出資料“1”，這是不正常的讀出。就是說，在寫入資料“1”的情況下，能夠讀出的電位的下限值爲比源極線 SL 的電位  $VDD$  低  $|V_{th\_p}|$  的  $VDD - |V_{th\_p}|$ 。

另一方面，在讀出時將源極線 SL 的電位設定爲  $VR$  時，如上所述，能夠讀出資料“1”的電位的下限值爲比源極線 SL 的電位  $VR$  低  $|V_{th\_p}|$  的  $VR - |V_{th\_p}|$ 。這裏，因爲  $VR$  是低於  $VDD$  的電位，所以  $VR - |V_{th\_p}|$  小於  $VDD - |V_{th\_p}|$ 。就是說，在將源極線 SL 的電位設定爲  $VR$  時，能夠讀出的電位的下限值更低。因此，較佳將源極線 SL 的電位設定爲  $VR$  代替  $VDD$ ，這是因爲能夠讀出資料“1”的電位的範圍更寬的緣故。另外，至於上限值，在將源極線 SL 的電位設定爲  $VR$  時，節點 FG 寫入有  $VDD$  時的  $V_{gsp}$  成爲  $VDD - VR > V_{th\_p}$  ( $\because VDD > VR$ )，可以沒有問題地使電晶體 160 成爲截止狀態。

這裏，藉由將電晶體 162 的汲極電極（或源極電極）、電晶體 160 的閘極電極以及電容元件 164 的一方電極彼此電連接的節點（節點 FG）起到與用作非揮發性記憶元件的浮動閘極型電晶體的浮動閘極相同的作用。當電晶體 162 處於截止狀態時，該節點 FG 可以被認爲埋設在絕緣體中，在節點 FG 中保持電荷。因爲使用氧化物半導

體的電晶體 162 的截止電流為使用矽半導體等而形成的電晶體的截止電流的十萬分之一以下，所以可以不考慮由於電晶體 162 的漏泄導致的儲存在節點 FG 中的電荷的消失。也就是說，藉由利用使用氧化物半導體的電晶體 162，可以實現即使沒有電力供給也能夠保持資訊的非揮發性儲存裝置。

例如，當室溫（25°C）下的電晶體 162 的截止電流為 10zA（1zA（仄普托安培）等於  $1 \times 10^{-21}$  A）以下，並且電容元件 164 的電容值為 10fF 左右時，至少可以保持資料  $10^4$  秒以上。另外，當然該保持時間根據電晶體特性或電容值而變動。

另外，在所公開的發明的半導體裝置中，不存在在現有的浮動閘型電晶體中被指出的閘極絕緣層（隧道絕緣膜）的退化的問題。也就是說，可以解決以往被視為問題的將電子注入到浮動閘極時的閘極絕緣層的退化的問題。這意味著在原理上不存在寫入次數的限制。另外，也不需要現在有的浮動閘極型電晶體中當寫入或擦除數據時所需要的高電壓。

圖 1A-1 所示的半導體裝置可以被認為如圖 1A-2 所示的半導體裝置，其中，構成該半導體裝置的電晶體等的要素包括電阻器及電容器。就是說，在圖 1A-2 中，電晶體 160 及電容元件 164 分別包括電阻器及電容器而構成。R1 和 C1 分別是電容元件 164 的電阻值和電容值，電阻值 R1 相當於構成電容元件 164 的絕緣層的電阻值。此外，

R2 和 C2 分別是電晶體 160 的電阻值和電容值，其中電阻值 R2 相當於電晶體 160 處於導通狀態時的閘極絕緣層的電阻值，電容值 C2 相當於所謂的閘極電容（形成在閘極電極與源極電極或汲極電極之間的電容以及形成在閘極電極與通道形成區之間的電容）的電容值。

在以電晶體 162 處於截止狀態時的源極電極和汲極電極之間的電阻值（也稱為有效電阻）為 ROS 的情況下，在電晶體 162 的閘極洩漏電流充分小的條件下，當 R1 及 R2 滿足  $R1 \geq ROS$ 、 $R2 \geq ROS$  時，主要根據電晶體 162 的截止電流來決定電荷的保持期間（也可以稱為資訊的保持期間）。

反之，在不滿足上述條件的情況下，即使電晶體 162 的截止電流足夠小，也難以充分確保保持期間。這是因為電晶體 162 的截止電流以外的洩漏電流（例如，發生在源極電極與閘極電極之間的洩漏電流等）大的緣故。由此，可以說本實施方式所公開的半導體裝置較佳滿足  $R1 \geq ROS$  及  $R2 \geq ROS$  的關係。

另一方面，C1 和 C2 較佳滿足  $C1 \geq C2$  的關係。這是因為如下緣故：藉由增大 C1，當由寫入及讀出字線 C 控制節點 FG 的電位時，可以高效地將寫入及讀出字線 C 的電位供應到節點 FG，從而可以將施加到寫入及讀出字線 C 的電位間（例如，讀出電位和非讀出電位）的電位差抑制為低的緣故。

如上所述，藉由滿足上述關係，可以實現更佳的半導

體裝置。另外，R1 和 R2 由電晶體 160 的閘極絕緣層和電容元件 164 的絕緣層來控制。C1 和 C2 也是同樣的。因此，較佳適當地設定閘極絕緣層的材料或厚度等，而滿足上述關係。

在本實施方式所示的半導體裝置中，節點 FG 起到與快閃記憶體等的浮動閘極型電晶體的浮動閘極相等的作用，但是，本實施方式的節點 FG 具有與快閃記憶體等的浮動閘極根本不同的特徵。

因為在快閃記憶體中施加到控制閘極的電位高，所以為了防止其電位影響到相鄰的單元的浮動閘極，需要保持各單元之間的一定程度的間隔。這是阻礙半導體裝置的高集成化的主要原因之一。並且，該主要原因起因於藉由施加高電場來發生穿隧電流的快閃記憶體的根本原理。

另一方面，根據本實施方式的半導體裝置根據使用氧化物半導體的電晶體的開關而工作，而不使用如上所述的利用穿隧電流注入電荷的原理。就是說，不需要如快閃記憶體那樣的用來注入電荷的高電場。由此，因為不需要考慮到控制閘極給相鄰的單元帶來的高電場的影響，所以容易實現高集成化。

此外，不需要高電場及大型週邊電路（升壓電路等）的一點也優越於快閃記憶體。例如，在寫入兩個階段（1 位元）的資訊的情況下，在一個儲存單元中，可以使施加到根據本實施方式的儲存單元的電壓（同時施加到儲存單元的各端子的最大電位與最小電位之間的差異）的最大值

為 5V 以下，較佳為 3V 以下。

再者，在使構成電容元件 164 的絕緣層的相對介電常數  $\epsilon_{r1}$  與構成電晶體 160 的絕緣層的相對介電常數  $\epsilon_{r2}$  不同的情況下，容易在構成電容元件 164 的絕緣層的面積  $S1$  和在電晶體 160 中構成閘極電容的絕緣層的面積  $S2$  滿足  $2 \cdot S2 \geq S1$ （較佳滿足  $S2 \geq S1$ ）的同時，實現  $C1 \geq C2$ 。換言之，容易在使構成電容元件 164 的絕緣層的面積縮小的同時實現  $C1 \geq C2$ 。明確地說，例如，在構成電容元件 164 的絕緣層中，可以採用由氧化鉛等的 high-k 材料構成的膜或由氧化鉛等的 high-k 材料構成的膜與由氧化物半導體構成的膜的疊層結構，而將  $\epsilon_{r1}$  設定為 10 以上，較佳設定為 15 以上，並且在構成閘極電容的絕緣層中，可以採用氧化矽，而將  $\epsilon_{r2}$  設定為 3 至 4。

藉由採用這種結構的組合，可以使根據所公開的發明的半導體裝置進一步高集成化。

### <基本電路 2>

圖 2A 和 2B 是將圖 1A-1 所示的儲存單元配置為 2 行 x2 列的矩陣狀的儲存單元陣列的電路圖。圖 2A 和圖 2B 中的儲存單元 170 的結構與圖 1A-1 相同。但是，在圖 2A 中，兩列儲存單元共同使用源極線 SL。另外，在圖 2B 中，兩行儲存單元共同使用源極線 SL。

如圖 2A 和 2B 所示，藉由採用在兩列或兩行中共同使用源極線 SL 的結構，可以將與儲存單元 170 連接的信

號線的個數從未共同使用時的四個減少到 3.5 個（3 個 +1/2 個）。

另外，共同使用源極線 SL 的列數（或行數）不侷限於兩列（兩行），也可以採用三列（或三行）以上的多列（或多行）儲存單元共同使用源極線 SL 的結構。作為共同使用源極線 SL 的列數（或行數），可以根據共同使用源極線 SL 時的寄生電阻及寄生電容而適當地選擇合適的值。另外，共同使用源極線 SL 的列數（或行數）越多，連接於儲存單元 170 的信號線個數越少，因此是較佳的。

在圖 2A 和 2B 中，源極線 SL 連接於源極線轉換電路 194。這裏，源極線轉換電路 194 除了連接於源極線 SL 以外還連接於源極線轉換信號線 SLC。

在圖 2A 和 2B 所示的半導體裝置中，資料的寫入、保持及讀出與圖 1A-1、1A-2 和圖 1B 的情況相同，而可以參照如上所述的內容。例如，在將電源電位 VDD 和接地電位 GND 中的任何一個施加到節點 FG 的情況下，將對節點 FG 施加電源電位 VDD 時保持的資料稱為資料“1”，並且將對節點 FG 施加接地電位 GND 時保持的資料稱為資料“0”。以下，描述具體的寫入工作。首先，將連接於儲存單元 170 的寫入及讀出字線 C 的電位設定為 GND，將寫入字線 OSG 的電位設定為 VDD，而選擇儲存單元 170。由此，將位元線 BL 的電位供應到所選擇的儲存單元 170 的節點 FG。

這裏，在將接地電位 GND 施加到節點 FG 時（即，

在保持資料“0”時)，將使電晶體 160 成爲導通狀態的電位施加到電晶體 160 的閘極電極。在此情況下，爲了抑制由在位元線 BL 和源極線 SL 之間產生的電流導致的寫入到節點 FG 的電位上升，需要將源極線 SL 的電位設定爲接地電位 GND。

由此，藉由利用源極線轉換信號線 SLC 的信號轉換源極線轉換電路 194 的信號路徑，將接地電位 GND 供應到源極線 SL。

上述工作的特徵在於：在寫入時，將源極線 SL 的電位設定爲接地電位 GND。由此，即使在將使電晶體 160 成爲導通狀態的電位施加到節點 FG 的情況下，也可以抑制在位元線 BL 和源極線 SL 之間產生電流。

另外，如圖 2A 和 2B 所示，在將儲存單元 170 配置爲陣列狀而使用的情況下，在讀出時，需要只有所希望的儲存單元 170 的資訊被讀出。像這樣，爲了讀出預定的儲存單元 170 的資訊，且不讀出除此以外的儲存單元 170 的資訊，需要使讀出的物件之外的儲存單元 170 成爲非選擇狀態。

例如，如基本電路 1 所示，在將電源電位 VDD 和接地電位 GND 中的任何一種施加到節點 FG 且將對節點 FG 施加電源電位 VDD 時保持的資料稱爲資料“1”，並且將對節點 FG 施加接地電位 GND 時保持的資料稱爲資料“0”的情況下，藉由將源極線 SL 設定爲 GND，將寫入及讀出字線 C 設定爲 VDD，並且將寫入字線 OSG 設定爲 GND，可



以使儲存單元 170 成爲非選擇狀態。

藉由將寫入及讀出字線 C 設定爲 VDD，節點 FG 的電位因與電容元件 164 的電容耦合而上升 VDD。因爲在節點 FG 寫入有資料“1”的 VDD 的情況下節點 FG 的電位上升 VDD 而成爲  $VDD+VDD=2VDD$ ， $V_{gsp}$  成爲大於  $V_{th\_p}$ ，所以 p 通道型電晶體的電晶體 160 成爲截止狀態。另一方面，因爲在節點 FG 寫入有資料“0”的 GND 的情況下，節點 FG 的電位上升 VDD 而成爲  $GND+VDD=VDD$ ， $V_{gsp}$  成爲大於  $V_{th\_p}$ ，所以 p 通道型電晶體的電晶體 160 成爲截止狀態。就是說，藉由將寫入及讀出字線 C 設定爲 VDD，無論保持在節點 FG 中的資料如何都可以使電晶體 160 成爲截止狀態，就是說，可以使儲存單元 170 成爲非選擇狀態。

另外，假設使用 n 通道型電晶體作爲讀出用電晶體 160 的情況。在 n 通道型電晶體的閘極電極的電位高於該電晶體的臨界值時，即使將寫入及讀出字線 C 設定爲 0V 也不一定能夠使所有儲存單元成爲截止狀態。因此，需要將負電位供應到非選擇的行的寫入及讀出字線 C，以使儲存單元成爲非選擇狀態。但是，因爲本實施方式所示的半導體裝置使用 p 通道型電晶體作爲讀出用電晶體，所以藉由將非選擇的行的寫入及讀出字線 C 設定爲高電位，可以使儲存單元成爲截止狀態。因此，在儲存單元中不需要設置產生負電位的電源，而可以減少耗電量，並可以實現半導體裝置的小型化。

如上所述，在圖 2A 和 2B 所示的電路結構的半導體裝置中，藉由在多列（或多行）中共同使用源極線 SL，可以縮小儲存單元陣列的面積，而實現模頭尺寸的縮小。另外，藉由縮小模頭尺寸，可以降低半導體裝置製造的成本，或者，可以提高良率。

#### <應用例子 1>

接著，參照圖 3 及圖 4 說明應用圖 1A-1、1A-2 和圖 1B 所示的電路的更具體電路結構及工作。另外，在以下說明中，以使用 n 通道型電晶體作為寫入用電晶體（電晶體 162）並使用 p 通道型電晶體作為讀出用電晶體（電晶體 160）的情況為例子進行說明。在圖 3 的電路圖中，畫上斜線的佈線是匯流排信號線。

圖 3 示出具有  $m \times n$  個儲存單元 170 的半導體裝置的電路圖的一個例子。在圖 3 中，儲存單元 170 的結構與圖 1A-1 相同。

圖 3 所示的半導體裝置包括： $m$  個（ $m$  為 2 以上的整數）寫入字線 OSG； $m$  個寫入及讀出字線 C； $n$  個（ $n$  為 2 以上的整數）位元線 BL；源極線 SL；將儲存單元 170 配置為縱  $m$  個（行） $\times$ 橫  $n$  個（列）的矩陣狀的儲存單元陣列；升壓電路 180；包含位址解碼器的第一驅動電路 182；包含行驅動器的第二驅動電路 192；包含頁緩衝器的第三驅動電路 190；包含控制器的第四驅動電路 184；包含輸入輸出控制電路的第五驅動電路 186；以及源極線

轉換電路 194。另外，驅動電路的個數不侷限於圖 3，既可組合具有各功能的驅動電路，又可分割各驅動電路所包含的功能。

在圖 3 所示的半導體裝置中，第一驅動電路 182 包含位址解碼器。位址解碼器對位址選擇信號線 A 進行解碼，並將所解碼的位址選擇信號輸出到行選擇信號線 RADR 和頁緩衝器位址選擇信號線 PBADR。位址選擇信號線 A 是被輸入儲存單元 170 的行方向的位址選擇信號和頁緩衝器的位址選擇信號的端子，其個數根據儲存單元 170 的行數、列數或頁緩衝器的結構而成為一個至多個。行選擇信號線 RADR 是指定儲存單元的行方向的位址的信號線。頁緩衝器位址選擇信號線 PBADR 是指定頁緩衝器的位址的信號線。

第二驅動電路 192 包含行驅動器。行驅動器根據來自行選擇信號線 RADR 的信號而輸出儲存單元 170 的行方向的選擇信號、向寫入字線 OSG 的信號以及向寫入及讀出字線 C 的信號，該來自行選擇信號線 RADR 的信號是從包含在第一驅動電路 182 中的位址解碼器輸出的。

升壓電路 180 藉由佈線 VH-L 與第二驅動電路 192 連接，而將輸入到升壓電路 180 的固定電位（如電源電位 VDD）升壓來將該高於固定電位的電位（VH）輸出到第二驅動電路 192。為了不使寫入到儲存單元 170 的節點 FG 的電位下降作為寫入用電晶體的電晶體 162 的臨界值電壓（以下稱為  $V_{th\_OS}$ ），需要將寫入字線 OSG 的電位

設定為高於位元線 BL 的電位  $+V_{th\_OS}$ 。因此，例如，在將電源電位 VDD 寫入到節點 FG 時，將 VH 設定為  $VDD+V_{th\_OS}$  以上。但是，在即使寫入到節點 FG 的電位下降  $V_{th\_OS}$  也沒有問題的情況下，也可以不設置升壓電路 180。

第三驅動電路 190 包含頁緩衝器。頁緩衝器具有資料鎖存器和讀出放大器的功能。資料鎖存器具有如下功能：暫時保存從內部資料輸入輸出信號線 INTDIO 或位元線 BL 輸出的資料，並將該保存的資料輸出到內部資料輸入輸出信號線 INTDIO 或位元線 BL。讀出放大器具有如下功能：在讀出時，測量從儲存單元輸出資料的位元線 BL。

第四驅動電路 184 包含控制器，並利用來自晶片使能信號線 CEB、寫使能信號線 WEB 或讀使能信號線 REB 的信號產生控制第一驅動電路 182、第二驅動電路 192、第三驅動電路 190、第五驅動電路 186、源極線轉換電路 194 以及升壓電路 180 的信號。

晶片使能信號線 CEB 是輸出整個電路的選擇信號的信號線，只在處於活動狀態時進行輸入信號的接收及輸出信號的輸出。另外，寫使能信號線 WEB 是輸出一種信號的信號線，該信號允許將第三驅動電路 190 內的頁緩衝器的鎖存資料寫入到儲存單元陣列。另外，讀使能信號線 REB 是輸出一種信號的信號線，該信號允許儲存單元陣列的資料的讀出。另外，第四驅動電路 184 藉由升壓電路控

到第  $m$  行  $n$  列的儲存單元；然後，讀出被寫入的所有資料。

在寫入期間中，首先，將晶片使能信號線 CEB 設定為 Low 電位，並且從位址選擇信號線 A 指定進行寫入的儲存單元 170 的位址。然後，藉由將寫使能信號線 WEB 設定為 Low 電位，進行寫入。頁緩衝器將寫入資料的鎖存資料輸出到位元線 BL。行驅動器將 High 電位輸出到所選擇的行的寫入字線 OSG 及非選擇的行的寫入及讀出字線 C，並且將 Low 電位輸出到非選擇的行的寫入字線及所選擇的行的寫入及讀出字線 C。

在寫入期間中，根據選擇行的時序而將寫入資料從頁緩衝器輸出到位元線 BL。寫入資料“1”時的位元線 BL 成為 High 電位，而寫入資料“0”時的位元線 BL 成為 Low 電位。另外，位元線 BL 的信號輸入期間長於所選擇的行的寫入字線 OSG 及所選擇的行的寫入及讀出字線 C 的信號輸入期間。這是因為在位元線 BL 的信號輸入期間短時會發生對儲存單元的資料的不正常寫入的緣故。

另外，在寫入期間中，在將接地電位 GND 施加到節點 FG 的情況下，將源極線 SL 的電位設定為接地電位 GND，以抑制產生在位元線 BL 與源極線 SL 之間的電流。藉由利用源極線轉換信號線 SLC 的信號轉換源極線轉換電路 194 的信號路徑，進行上述驅動。

在讀出期間中，首先，將晶片使能信號線 CEB 設定為 Low 電位，並從位址選擇信號線 A 指定將要進行讀出

的儲存單元 170 的位址。然後，藉由將讀使能信號線 REB 設定為 Low 電位，進行讀出。頁緩衝器對從儲存單元藉由位元線 BL 讀出的資料進行鎖存。行驅動器將 Low 電位輸出到所選擇的行的寫入及讀出字線 C，並且將 High 電位輸出到非選擇的行的寫入及讀出字線 C。寫入字線 OSG 無論是選擇還是非選擇都成為 Low 電位。源極線轉換電路 194 將 High 電位輸出到源極線 SL。

在讀出期間中，根據選擇行的時序而將根據寫入到儲存單元 170 中的資料的電位輸出到位元線 BL。如果在儲存單元中寫入有資料“1”則位元線 BL 成為 Low 電位，如果在儲存單元中寫入有資料“0”則位元線 BL 成為 High 電位。

另外，在準備及資料保持期間中，將晶片使能信號線 CEB 設定為 High 電位，而使圖 3 所示的整個電路成為非活動狀態。在此情況下，因為不進行寫入及讀出，WEB、REB 等的控制信號既可為 High 電位又可為 Low 電位。

另外，圖 4 的時序圖中的斜線部是既可為 High 電位又可為 Low 電位的期間。

如上所述，在圖 3 所示的電路結構的半導體裝置中，藉由在多列中共同使用源極線 SL，可以縮小儲存單元陣列的面積，而實現模頭尺寸的縮小。另外，藉由縮小模頭尺寸，可以降低半導體裝置製造的成本，或者，可以提高良率。

另外，在圖 3 所示的半導體裝置中，需要在進行讀出

時使非選擇行的儲存單元成爲截止狀態。在本實施方式所示的半導體裝置中，因爲讀出電晶體使用 p 通道型電晶體，所以藉由將非選擇行的寫入及讀出字線 C 設定爲 High 電位（如電源電位），可以使儲存單元成爲截止狀態。因此，在儲存單元中不需要設置產生負電位的電源，而可以減少耗電量，並可以實現半導體裝置的小型化。

另外，有關所公開的發明的半導體裝置的工作方法、工作電壓等不侷限於上述結構，可以在能夠實現半導體裝置的工作的條件下適當地進行改變。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

## 實施方式 2

在本實施方式中，參照圖 5A 至圖 10C 說明根據所公開的發明的一個方式的半導體裝置的結構及其製造方法。

### <半導體裝置的剖面結構及平面結構>

圖 5A 和 5B 是半導體裝置的結構的一例。圖 5A 示出半導體裝置的剖面，圖 5B 示出半導體裝置的平面。圖 5A 相當於沿著圖 5B 的 A1-A2 及 B1-B2 的剖面。圖 5A 和圖 5B 所示的半導體裝置在下部具有使用第一半導體材料的電晶體 160 並在上部具有使用第二半導體材料的電晶體 162。第一半導體材料和第二半導體材料較佳是不同的材料。例如，可以使用氧化物半導體以外的半導體材料作爲

第一半導體材料，並且使用氧化物半導體作為第二半導體材料。作為氧化物半導體以外的半導體材料，例如可以使用矽、鍺、矽鍺、碳化矽或砷化鎵等，較佳使用單晶半導體。除此之外，也可以使用有機半導體材料等。使用這種半導體材料的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體由於其特性而能夠長時間地保持電荷。圖 5A 和圖 5B 所示的半導體裝置可以用作儲存單元。

另外，所公開的發明的技術本質在於：為了保持資訊而將如氧化物半導體的能夠充分地降低截止電流的半導體材料用於電晶體 162，因此用於半導體裝置的材料或半導體裝置的結構等的半導體裝置的具體結構不需要侷限於在此所示的結構。

圖 5A 和圖 5B 中的電晶體 160 包括：設置在半導體基板 500 上的半導體層中的通道形成區 134；夾著通道形成區 134 地設置的雜質區 132（也稱為源極區及汲極區）；設置在通道形成區 134 上的閘極絕緣層 122a；以及在閘極絕緣層 122a 上且與通道形成區 134 重疊地設置的閘極電極 128a。注意，雖然有時在圖式中不明顯地具有源極電極或汲極電極，但是為了方便起見有時將這種結構也稱為電晶體。另外，此時，為了對電晶體的連接關係進行說明，有時將源極區或汲極區也稱為源極電極或汲極電極。也就是說，在本發明說明中，源極電極的記載會包括源極區。



另外，設置在半導體基板 500 上的半導體層中的雜質區 126 與導電層 128b 連接。在此，導電層 128b 也用作電晶體 160 的源極電極或汲極電極。另外，在雜質區 132 和雜質區 126 之間設置有雜質區 130。另外，覆蓋電晶體 160 設置有絕緣層 136、絕緣層 138 及絕緣層 140。另外，爲了實現高集成化，如圖 5A 和 5B 所示，較佳採用電晶體 160 不具有側壁絕緣層的結構。另一方面，在重視電晶體 160 的特性的情況下，也可以在閘極電極 128a 的側面設置側壁絕緣層，並設置包括不同雜質濃度的區域的雜質區 132。

圖 5A 和圖 5B 中的電晶體 162 包括：設置在絕緣層 140 等上的氧化物半導體層 144；與氧化物半導體層 144 電連接的源極電極（或汲極電極）142a 及汲極電極（或源極電極）142b；覆蓋氧化物半導體層 144、源極電極 142a 以及汲極電極 142b 的閘極絕緣層 146；以及在閘極絕緣層 146 上與氧化物半導體層 144 重疊地設置的閘極電極 148a。

在此，氧化物半導體層 144 較佳藉由被充分地去除氫等的雜質，或者被供給充分的氧，而被高純度化。明確地說，例如，氧化物半導體層 144 的氫濃度爲  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 以下，較佳爲  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 以下，更佳爲  $5 \times 10^{17}$  atoms/cm<sup>3</sup> 以下。另外，上述氧化物半導體層 144 中的氫濃度是藉由二次離子質譜測定技術（SIMS：Secondary Ion Mass Spectrometry）來測量的。如此，在氫濃度被充

分降低而被高純度化，並藉由被供給充分的氧來降低起因於氧缺乏的能隙中的缺陷能階的氧化物半導體層 144 中，載子濃度為低於  $1 \times 10^{12}/\text{cm}^3$ ，較佳為低於  $1 \times 10^{11}/\text{cm}^3$ ，更佳為低於  $1.45 \times 10^{10}/\text{cm}^3$ 。另外，例如，室溫（ $25^\circ\text{C}$ ）下的截止電流（在此，每單位通道寬度（ $1\mu\text{m}$ ）的值）為  $100\text{zA}$ （ $1\text{zA}$ （仄普托安培）等於  $1 \times 10^{-21}\text{A}$ ）以下，較佳為  $10\text{zA}$  以下。如此，藉由使用被 i 型化（本質化）或實質上被 i 型化的氧化物半導體，可以得到截止電流特性極為優良的電晶體 162。

另外，雖然在圖 5A 和圖 5B 的電晶體 162 中，為了抑制起因於微型化而產生在元件之間的洩漏，使用被加工為島狀的氧化物半導體層 144，但是也可以採用不被加工為島狀的結構。在不將氧化物半導體層加工為島狀的情況下，可以防止由於加工時的蝕刻導致的氧化物半導體層 144 的污染。

圖 5A 和圖 5B 所示的電容元件 164 包括：汲極電極 142b；閘極絕緣層 146；以及導電層 148b。換言之，汲極電極 142b 用作電容元件 164 的一方的電極，導電層 148b 用作電容元件 164 的另一方的電極。藉由採用這種結構，可以確保足夠的電容。另外，當層疊氧化物半導體層 144 和閘極絕緣層 146 時，可以充分確保汲極電極 142b 和導電層 148b 之間的絕緣性。再者，當不需要電容時，也可以採用不設置電容元件 164 的結構。

在本實施方式中，以與電晶體 160 至少部分重疊的方

式設置有電晶體 162 及電容元件 164。藉由採用這種平面佈局，可以實現高集成化。例如，可以以最小加工尺寸為  $F$ ，將儲存單元所占的面積設定為  $15F^2$  至  $25F^2$ 。

在電晶體 162 和電容元件 164 上設置有絕緣層 150。並且，在形成於閘極絕緣層 146 及絕緣層 150 中的開口中設置有佈線 154。佈線 154 是連接儲存單元之一與其他儲存單元的佈線，該佈線相當於圖 2 的電路圖中的位元線 BL。佈線 154 藉由源極電極 142a 及導電層 128b 連接到雜質區 126。由此，與將電晶體 160 中的源極區或汲極區和電晶體 162 中的源極電極 142a 分別連接到不同佈線的情況相比可以減少佈線數目，從而可以提高半導體裝置的集成度。

另外，藉由設置導電層 128b，可以重疊設置如下兩種位置：一是雜質區 126 與源極電極 142a 連接的位置；二是源極電極 142a 與佈線 154 連接的位置。藉由採用這種平面佈局，可以抑制起因於接觸區域的元件面積的增大。換言之，可以提高半導體裝置的集成度。

#### <SOI 基板的製造方法>

接著，參照圖 6A 至 6G 對用於製造上述半導體裝置的 SOI 基板的製造方法的一個例子進行說明。

首先，準備作為基底基板的半導體基板 500（參照圖 6A）。作為半導體基板 500，可以使用如單晶矽基板、單晶鍺基板等半導體基板。另外，作為半導體基板，可以使

用太陽能電池級矽（SOG-Si:Solar Grade Silicon）基板等。此外，還可以使用多晶半導體基板。與使用單晶矽基板等的情況相比，使用太陽能電池級矽或多晶半導體基板等時可以抑制製造成本。

除了半導體基板 500 以外，還可以舉出如下：鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋇硼矽酸鹽玻璃之類的用於電子工業的各種玻璃基板；石英基板；陶瓷基板；藍寶石基板。另外，也可以使用以氮化矽和氧化鋁為主要成分的熱膨脹係數接近於矽的陶瓷基板。

較佳預先對半導體基板 500 的表面進行清洗。明確而言，較佳使用鹽酸和過氧化氫水的混合液（HPM）、硫酸和過氧化氫水的混合液（SPM）、氨水和過氧化氫水的混合液（APM）、稀氫氟酸（DHF）等對半導體基板 500 進行清洗。

接著，準備接合基板。這裏，作為接合基板使用單晶半導體基板 510（參照圖 6B）。另外，雖然在這裏使用單晶體的基板作為接合基板，但是接合基板的結晶性不侷限於單晶。

作為單晶半導體基板 510，例如可以使用如單晶矽基板、單晶鍺基板、單晶矽鍺基板等的由第 14 族元素構成的單晶半導體基板。此外，也可以使用諸如砷化鎵、磷化銮等的化合物半導體基板。作為市場上出售的矽基板，典型的是直徑為 5 英寸（125mm）、直徑為 6 英寸（150mm）、直徑為 8 英寸（200mm）、直徑為 12 英寸

(300mm)、直徑為 16 英寸 (400mm) 的圓形的矽基板。另外，單晶半導體基板 510 的形狀不侷限於圓形，例如，還可以使用被加工為矩形的基板。另外，單晶半導體基板 510 可以利用 CZ (提拉) 法及 FZ (浮區) 法製造。

在單晶半導體基板 510 的表面形成氧化膜 512 (參照圖 6C)。另外，從去除污染物的觀點來看，較佳在形成氧化膜 512 之前預先使用鹽酸和過氧化氫水的混合液 (HPM)、硫酸和過氧化氫水的混合液 (SPM)、氨水和過氧化氫水的混合液 (APM)、稀氫氟酸 (DHF)、FPM (氫氟酸和過氧化氫以及純水的混合液) 等對單晶半導體基板 510 的表面進行清洗。也可以藉由交替噴出稀氫氟酸和臭氧水來進行清洗。

例如，氧化膜 512 可以由氧化矽膜、氮化矽膜等的單層或疊層形成。作為上述氧化膜 512 的製造方法，有熱氧化法、CVD 法或濺射法等。此外，當使用 CVD 法形成氧化膜 512 時，較佳使用四乙氧基矽烷 (簡稱 TEOS：化學式  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ) 等的有機矽烷形成氧化矽膜，以實現良好的貼合。

在本實施方式中，藉由對單晶半導體基板 510 進行熱氧化處理來形成氧化膜 512 (這裏為  $\text{SiO}_x$  膜)。較佳在氧化氣圈中添加鹵素進行熱氧化處理。

例如，可以藉由在添加有氯 (Cl) 的氧化氣圈中對單晶半導體基板 510 進行熱氧化處理，形成被氯氧化的氧化膜 512。在這種情況下，氧化膜 512 成為含有氯原子的

膜。藉由利用該氯氧化俘獲外來雜質的重金屬（例如，Fe、Cr、Ni、Mo 等）形成金屬氯化物，而將該金屬氯化物去除到外部，可以降低單晶半導體基板 510 的污染。

另外，氧化膜 512 所包含的鹵素原子不侷限於氯原子。也可以使氧化膜 512 包含氟原子。作為使單晶半導體基板 510 表面氟氧化的方法，例如可以舉出以下方法：在將單晶半導體基板 510 浸漬在 HF 溶液中之後在氧化氣圍中進行熱氧化處理；或者將  $\text{NF}_3$  添加到氧化氣圍中進行熱氧化處理；等等。

接著，藉由對單晶半導體基板 510 照射由電場加速的離子並進行添加，在單晶半導體基板 510 的預定的深度中形成結晶結構受到損傷的脆化區 514（參照圖 6D）。

可以藉由離子的動能、離子的質量和電荷、離子的入射角等來調節形成脆化區 514 的區域的深度。此外，脆化區 514 被形成在與離子的平均侵入深度基本相同的深度的區域中。由此，可以藉由離子的添加深度來調節從單晶半導體基板 510 分離的單晶半導體層的厚度。例如，以單晶半導體層的厚度成為 10nm 以上 500nm 以下，較佳為 50nm 以上 200nm 以下左右的方式調節平均侵入深度，即可。

可以使用離子摻雜裝置或離子植入裝置進行該離子照射處理。作為離子摻雜裝置的典型例子，有將使製程氣體電漿激發而產生的所有離子種照射到被處理體的非質量分離型裝置。在該裝置中，不對電漿中的離子種進行質量分

離而將它照射到被處理體。另一方面，離子植入裝置是質量分離型裝置。在離子植入裝置中，對電漿中的離子種進行質量分離，並將某個特定的質量的離子種照射到被處理體。

在本實施方式中，對使用離子摻雜裝置將氫添加到單晶半導體基板 510 的例子進行說明。作為源氣體，使用包含氫的氣體。至於照射的離子，較佳提高  $H_3^+$  的比率。明確而言，相對於  $H^+$ 、 $H_2^+$ 、 $H_3^+$  的總量， $H_3^+$  的比率為 50% 以上（更佳為 80% 以上）。藉由提高  $H_3^+$  的比率，可以提高離子照射的效率。

另外，添加的離子不侷限於氫。也可以添加氮等的離子。此外，添加的離子不侷限於一種，也可以添加多種離子。例如，當使用離子摻雜裝置同時照射氫和氮時，與在不同的步驟中進行照射的情況相比可以減少步驟數，並且可以抑制後面形成的單晶半導體層的表面粗糙。

另外，當使用離子摻雜裝置形成脆化區 514 時，雖然有與此同時添加重金屬的憂慮，但是藉由隔著含有鹵素原子的氧化膜 512 進行離子照射，可以防止這些重金屬對單晶半導體基板 510 的污染。

接著，使半導體基板 500 和單晶半導體基板 510 對置，並使它們藉由氧化膜 512 貼合。由此，貼合半導體基板 500 和單晶半導體基板 510（參照圖 6E）。另外，也可以在與單晶半導體基板 510 貼合的半導體基板 500 的表面形成氧化膜或氮化膜。

在進行貼合時，較佳對半導體基板 500 或單晶半導體基板 510 的一處施加  $0.001\text{N/cm}^2$  以上  $100\text{N/cm}^2$  以下，例如  $1\text{N/cm}^2$  以上  $20\text{N/cm}^2$  以下的壓力。藉由施加壓力使接合平面接近而貼合，在被貼合的部分中半導體基板 500 與氧化膜 512 接合，並以該部分為起點開始自發性的接合而擴展至幾乎整個面。該接合利用范德華力和氫鍵作用，並可以在常溫下進行。

另外，在貼合單晶半導體基板 510 與半導體基板 500 之前，較佳對進行貼合的表面進行表面處理。藉由進行表面處理，可以提高單晶半導體基板 510 和半導體基板 500 的介面的接合強度。

作為表面處理，可以使用濕處理、乾處理或濕處理與乾處理的組合。此外，還可以使用不同的濕處理的組合或不同的乾處理的組合。

另外，在貼合之後，也可以進行熱處理以增高接合強度。將該熱處理的溫度設定為不使脆化區 514 發生分離的溫度（例如，室溫以上且低於  $400^\circ\text{C}$ ）。另外，也可以邊在該溫度範圍內加熱邊接合半導體基板 500 和氧化膜 512。作為上述熱處理，可以使用擴散爐、電阻加熱爐等加熱爐、RTA（快速熱退火：Rapid Thermal Anneal）裝置、微波加熱裝置等。另外，上述溫度條件只是一個例子而已，所公開的發明的一個方式不應被解釋為限定於此。

接著，藉由進行熱處理使單晶半導體基板 510 在脆化區中進行分離，而在半導體基板 500 上隔著氧化膜 512 形



成單晶半導體層 516 (參照圖 6F)。

另外，較佳使進行上述分離時的熱處理的溫度盡可能地低。這是因為進行分離時的溫度越低單晶半導體層 516 的表面粗糙度越低的緣故。明確而言，例如，可以將進行上述分離時的熱處理的溫度設定為  $300^{\circ}\text{C}$  以上  $600^{\circ}\text{C}$  以下，當將該溫度設定為  $400^{\circ}\text{C}$  以上  $500^{\circ}\text{C}$  以下時更有效。

另外，也可以在使單晶半導體基板 510 分離之後，以  $500^{\circ}\text{C}$  以上的溫度對單晶半導體層 516 進行熱處理以降低殘留在單晶半導體層 516 中的氫的濃度。

接著，藉由對單晶半導體層 516 的表面照射雷射，形成表面平坦性提高了且缺陷減少了的單晶半導體層 518 (參照圖 6G)。另外，還可以進行熱處理來替代雷射照射處理。

另外，在本實施方式中，雖然在進行了用來分離單晶半導體層 516 的熱處理之後立即進行了雷射照射處理，但是所公開的發明的一個方式不應被解釋為限定於此。既可以在用來分離單晶半導體層 516 的熱處理之後先進行蝕刻處理來去除單晶半導體層 516 表面缺陷多的區域，再進行雷射照射處理，又可以在提高單晶半導體層 516 表面的平坦性之後進行雷射照射處理。另外，上述蝕刻處理可以使用濕蝕刻或乾蝕刻。另外，在本實施方式中，還可以在進行上述那樣的雷射照射之後進行減薄單晶半導體層 516 的厚度的薄膜化步驟。至於單晶半導體層 516 的薄膜化，既可使用乾蝕刻和濕蝕刻中的任一種，又可使用其兩者。

藉由上述步驟，可以形成具有特性良好的單晶半導體層 518 的 SOI 基板（參照圖 6G）。

#### <半導體裝置的製造方法>

接著，參照圖 7A 至圖 10C 而說明使用上述 SOI 基板的半導體裝置的製造方法。

#### <下部電晶體的製造方法>

首先，參照圖 7A 至圖 8D 說明下部電晶體 160 的製造方法。圖 7A 至圖 8D 是示出根據圖 6A 至 6G 所示的方法形成的 SOI 基板的一部分，且相當於圖 5A 所示的下部電晶體的剖面步驟圖。

首先，將單晶半導體層 518 加工為島狀以形成半導體層 120（參照圖 7A）。另外，在該步驟的前後，為了控制電晶體的臨界值電壓，也可以將賦予 n 型導電性的雜質元素或賦予 p 型導電性的雜質元素添加到半導體層。在半導體材料為矽時，作為賦予 n 型導電性的雜質元素，例如可以使用磷、砷等。另外，作為賦予 p 型導電性的雜質元素，例如可以使用硼、鋁、鎵等。

接著，覆蓋半導體層 120 形成絕緣層 122（參照圖 7B）。絕緣層 122 是後面成為閘極絕緣層的層。絕緣層 122 例如可以藉由對半導體層 120 表面進行熱處理（熱氧化處理或熱氮化處理等）而形成。也可以使用高密度電漿處理代替熱處理。高密度電漿處理例如可以使用 He、

Ar、Kr、Xe 等稀有氣體、氧、氧化氮、氮、氫、氫等的混合氣體來進行。當然，也可以使用 CVD 法或濺射法等形成絕緣層。該絕緣層 122 較佳採用包含氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鋇、氧化釷、矽酸鉛 ( $\text{HfSi}_x\text{O}_y$  ( $x>0$ 、 $y>0$ ))、添加有氮的矽酸鉛 ( $\text{HfSi}_x\text{O}_y\text{N}_z$  ( $x>0$ 、 $y>0$ 、 $z>0$ ))、添加有氮的鋁酸鉛 ( $\text{HfAl}_x\text{O}_y\text{N}_z$  ( $x>0$ 、 $y>0$ 、 $z>0$ )) 等的單層結構或疊層結構。另外，至於絕緣層 122 的厚度，例如可以設定為 1nm 以上 100nm 以下，較佳為 10nm 以上 50nm 以下。在本實施方式中，使用電漿 CVD 法形成包含氧化矽的絕緣層的單層。

接著，在絕緣層 122 上形成掩罩 124，將賦予一導電性的雜質元素添加到半導體層 120，來形成雜質區 126 (參照圖 7C)。這裏，在添加雜質元素之後，去除掩罩 124。

接著，藉由在絕緣層 122 上形成掩罩，去除絕緣層 122 的與雜質區 126 重疊的區域的一部分，來形成閘極絕緣層 122a (參照圖 7D)。作為絕緣層 122 的去除方法，可以使用濕蝕刻或乾蝕刻等的蝕刻處理。

接著，在閘極絕緣層 122a 上形成用來形成閘極電極 (包括使用與該閘極電極相同的層形成的佈線) 的導電層，加工該導電層來形成閘極電極 128a 及導電層 128b (參照圖 7E)。

作為用於閘極電極 128a 及導電層 128b 的導電層，可

以使用鋁、銅、鈦、鉭、鎢等的金屬材料形成。另外，也可以藉由使用如多晶矽等的半導體材料形成導電層。其形成方法也沒有特別的限制，可以使用蒸鍍法、CVD法、濺射法或旋塗法等各種成膜方法。此外，可以藉由使用抗蝕劑掩罩的蝕刻進行導電層的加工。

接著，以閘極電極 128a 及導電層 128b 為掩罩，將賦予一種導電型的雜質元素添加到半導體層，來形成通道形成區 134、雜質區 132 及雜質區 130（參照圖 8A）。這裏，添加硼（B）或鋁（Al）等雜質元素，以形成 p 型電晶體。這裏，可以適當地設定所添加的雜質元素的濃度。另外，在添加雜質元素之後，進行用於活化的熱處理。在此，雜質區的濃度按雜質區 126、雜質區 132、雜質區 130 的順序依次高。

接著，以覆蓋閘極絕緣層 122a、閘極電極 128a、導電層 128b 的方式形成絕緣層 136、絕緣層 138 及絕緣層 140（參照圖 8B）。

絕緣層 136、絕緣層 138、絕緣層 140 可以使用包含氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁等的無機絕緣材料的材料形成。尤其是較佳將低介電常數（low-k）材料用於絕緣層 136、絕緣層 138、絕緣層 140，因為這樣可以充分地降低起因於各種電極或佈線的重疊的電容。另外，也可以將使用上述材料的多孔絕緣層用於絕緣層 136、絕緣層 138、絕緣層 140。因為多孔絕緣層的介電常數比密度高的絕緣層低，所以可以進一步降

低起因於電極或佈線的電容。此外，也可以使用聚醯亞胺、丙烯酸樹脂等的有機絕緣材料形成絕緣層 136、絕緣層 138、絕緣層 140。在本實施方式中，對作為絕緣層 136 使用氧氮化矽，作為絕緣層 138 使用氮氧化矽，作為絕緣層 140 使用氧化矽的情況進行說明。另外，雖然在此採用絕緣層 136、絕緣層 138 及絕緣層 140 的疊層結構，但是所公開的發明的一個方式不侷限於此。作為上述絕緣層既可以採用單層或兩層結構，又可以採用四層以上的疊層結構。

接著，藉由對絕緣層 138 及絕緣層 140 進行 CMP（化學機械拋光）處理或蝕刻處理，使絕緣層 138 及絕緣層 140 平坦化（參照圖 8C）。在此，進行 CMP 處理直到露出絕緣層 138 的一部分為止。當作為絕緣層 138 使用氮氧化矽，作為絕緣層 140 使用氧化矽時，將絕緣層 138 用作蝕刻停止層。

接著，藉由對絕緣層 138 及絕緣層 140 進行 CMP 處理或蝕刻處理，使閘極電極 128a 及導電層 128b 的上面露出（參照圖 8D）。在此，進行蝕刻處理直到露出閘極電極 128a 及導電層 128b 的一部分為止。作為該蝕刻處理較佳使用乾蝕刻，但是也可以使用濕蝕刻。在使閘極電極 128a 及導電層 128b 的一部分露出的步驟中，為了提高後面形成的電晶體 162 的特性，較佳使絕緣層 136、絕緣層 138、絕緣層 140 的表面盡可能地為平坦。

藉由上述步驟，可以形成下部的電晶體 160（參照圖

8D)。

另外，也可以在上述各步驟之前或之後還包括形成電極、佈線、半導體層或絕緣層等的步驟。例如，作為佈線的結構，也可以採用由絕緣層及導電層的疊層結構構成的多層佈線結構來實現高集成化的半導體裝置。

#### <上部電晶體的製造方法>

接著，參照圖 9A 至 10C 說明上部電晶體 162 的製造方法。

首先，在閘極電極 128a、導電層 128b、絕緣層 136、絕緣層 138、絕緣層 140 等上形成氧化物半導體層，並加工該氧化物半導體層來形成氧化物半導體層 144（參照圖 9A）。另外，在形成氧化物半導體層之前，可以在絕緣層 136、絕緣層 138、絕緣層 140 上設置用作基底的絕緣層。該絕緣層可以利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法等來形成。

所使用的氧化物半導體較佳至少包含銦（In）或鋅（Zn）。特別較佳包含 In 及 Zn。另外，較佳的是，作為用來減少使用所述氧化物半導體的電晶體的電特性不均勻的穩定劑，除了包含上述以外，還包含鎵（Ga）。另外，作為穩定劑，較佳包含錫（Sn）。另外，作為穩定劑，較佳包含鈦（Hf）。另外，作為穩定劑，較佳包含鋁（Al）。

另外，作為其他穩定劑，也可以包含鑰系元素的鑰

(La)、銻(Ce)、鐳(Pr)、釹(Nd)、釷(Sm)、鎔(Eu)、釱(Gd)、錕(Tb)、鐳(Dy)、釹(Ho)、鉕(Er)、銩(Tm)、鐳(Yb)以及鐳(Lu)中的任何一種或多種。

例如，作為氧化物半導體可以使用氧化銻；氧化錫；氧化鋅；二元金屬氧化物如 In-Zn 氧化物、Sn-Zn 氧化物、Al-Zn 氧化物、Zn-Mg 氧化物、Sn-Mg 氧化物、In-Mg 氧化物、In-Ga 氧化物；三元金屬氧化物如 In-Ga-Zn 氧化物（也稱為 IGZO）、In-Al-Zn 氧化物、In-Sn-Zn 氧化物、Sn-Ga-Zn 氧化物、Al-Ga-Zn 氧化物、Sn-Al-Zn 氧化物、In-Hf-Zn 氧化物、In-La-Zn 氧化物、In-Ce-Zn 氧化物、In-Pr-Zn 氧化物、In-Nd-Zn 氧化物、In-Sm-Zn 氧化物、In-Eu-Zn 氧化物、In-Gd-Zn 氧化物、In-Tb-Zn 氧化物、In-Dy-Zn 氧化物、In-Ho-Zn 氧化物、In-Er-Zn 氧化物、In-Tm-Zn 氧化物、In-Yb-Zn 氧化物、In-Lu-Zn 氧化物；以及四元金屬氧化物如 In-Sn-Ga-Zn 氧化物、In-Hf-Ga-Zn 氧化物、In-Al-Ga-Zn 氧化物、In-Sn-Al-Zn 氧化物、In-Sn-Hf-Zn 氧化物、In-Hf-Al-Zn 氧化物。

在此，例如，“In-Ga-Zn 氧化物”是指以 In、Ga 以及 Zn 為主要成分的氧化物，對 In、Ga 以及 Zn 的比率沒有限制。此外，也可以包含 In、Ga 及 Zn 以外的金屬元素。

另外，作為用於氧化物半導體層的材料，可以使用：四元金屬氧化物如 In-Sn-Ga-Zn-O 材料；三元金屬氧化物如 In-Ga-Zn-O 材料、In-Sn-Zn-O 材料、In-Al-Zn-O 材

料、Sn-Ga-Zn-O 材料、Al-Ga-Zn-O 材料、Sn-Al-Zn-O 材料；二元金屬氧化物如 In-Zn-O 材料、Sn-Zn-O 材料、Al-Zn-O 材料、Zn-Mg-O 材料、Sn-Mg-O 材料、In-Mg-O 材料、In-Ga-O 材料；以及單元金屬氧化物如 In-O 材料、Sn-O 材料、Zn-O 材料等。此外，也可以使上述材料包含 SiO<sub>2</sub>。這裏，例如，In-Ga-Zn-O 材料是指含有銦（In）、鎵（Ga）以及鋅（Zn）的氧化物膜，對其組成比沒有特別的限制。此外，也可以包含 In、Ga 及 Zn 以外的元素。

例如，可以使用其原子數比為 In:Ga:Zn=1:1:1（=1/3:1/3:1/3）或 In:Ga:Zn=2:2:1（=2/5:2/5:1/5）的 In-Ga-Zn 氧化物或其組成附近的氧化物。或者，較佳使用其原子數比為 In:Sn:Zn=1:1:1（=1/3:1/3:1/3）、In:Sn:Zn=2:1:3（=1/3:1/6:1/2）或 In:Sn:Zn=2:1:5（=1/4:1/8:5/8）的 In-Sn-Zn 氧化物或其組成附近的氧化物。

但是，所公開的發明不侷限於此，可以根據所需要的半導體特性（遷移率、臨界值、不均勻性等）而使用適當的組成的氧化物。另外，較佳採用適當的載子密度、雜質濃度、缺陷密度、金屬元素及氧的原子數比、原子間結合距離以及密度等，以得到所需要的半導體特性。

例如，In-Sn-Zn 氧化物比較容易得到高遷移率。但是，即使使用 In-Ga-Zn 氧化物，也可以藉由降低塊體內缺陷密度而提高遷移率。

在此，例如 In、Ga、Zn 的原子數比為 In:Ga:Zn=a:b:c



( $a+b+c=1$ ) 的氧化物的組成在原子數比為  $\text{In:Ga:Zn} = A:B:C$  ( $A+B+C=1$ ) 的氧化物的組成的近旁是指  $a$ 、 $b$ 、 $c$  滿足  $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$  的狀態， $r$  例如可以為 0.05。其他氧化物也是同樣的。

氧化物半導體既可為單晶，又可為非單晶。在氧化物半導體為非單晶的情況下，既可為非晶，又可為多晶。另外，既可為在非晶中包含具有結晶性的部分的結構，又可為不是非晶的結構。

因為處於非晶狀態的氧化物半導體比較容易得到平坦的表面，所以可以使用該氧化物半導體降低在製造電晶體時的介面散亂，而可以比較容易得到比較高的遷移率。

另外，具有結晶性的氧化物半導體可以進一步降低塊體內缺陷，藉由提高表面的平坦性，可以得到處於非晶狀態的氧化物半導體的遷移率以上的遷移率。為了提高表面的平坦性，較佳在平坦的表面上形成氧化物半導體，明確地說，較佳的是，在平均面粗糙度 ( $R_a$ ) 為 1nm 以下，較佳為 0.3nm 以下，更佳為 0.1nm 以下的表面上形成氧化物半導體。

注意， $R_a$  是將 JIS B0601 中定義的中心線平均粗糙度擴大為三維以使其能夠應用於測定面，可以將它表示為“將從基準面到指定面的偏差的絕對值平均而得的值”，以如下數式 (1) 定義。

[算式 1]

$$Ra = \frac{1}{S_0} \int_{x_2}^{x_1} \int_{y_2}^{y_1} |f(x, y) - Z_0| dx dy$$

注意，在數式（1）中， $S_0$  表示測定面（用座標  $(x_1, y_1)$   $(x_1, y_2)$   $(x_2, y_1)$   $(x_2, y_2)$  表示的 4 點所圍繞的長方形的區域）的面積， $Z_0$  表示測定面的平均高度。可以利用原子力顯微鏡（AFM: Atomic Force Microscope）評價  $Ra$ 。

另外，可以將使用由化學式  $InMO_3(ZnO)_m$  ( $m > 0$ ) 表示的材料的薄膜用作氧化物半導體層。在此， $M$  表示選自  $Ga$ 、 $Al$ 、 $Mn$  及  $Co$  中的一種或多種金屬元素。例如，作為  $M$ ，可以使用  $Ga$ 、 $Ga$  及  $Al$ 、 $Ga$  及  $Mn$  或  $Ga$  及  $Co$  等。

此外，較佳將氧化物半導體層的厚度設定為 3nm 以上 30nm 以下。這是因為若使氧化物半導體層的厚度過厚（例如，厚度為 50nm 以上），則有電晶體成為常導通狀態的擔憂。

氧化物半導體層較佳使用氫、水、羥基或氫化物等的雜質不容易混入的方式製造。例如，可以藉由濺射法等製造氧化物半導體層。

另外，當作爲氧化物半導體使用  $In-Zn$  氧化物材料時，將所使用的靶材的組成比以原子數比設定為  $In:Zn=50:1$  至  $1:2$ （換算爲莫耳數比則為  $In_2O_3:ZnO=25:1$  至  $1:4$ ），較佳爲  $In:Zn=20:1$  至  $1:1$ （換算爲莫耳數比則

爲  $\text{In}_2\text{O}_3:\text{ZnO} = 10:1$  至  $1:2$  ) , 更佳爲  $\text{In}:\text{Zn} = 15:1$  至  $1.5:1$  ( 換算爲莫耳數比則爲  $\text{In}_2\text{O}_3:\text{ZnO} = 15:2$  至  $3:4$  ) 。例如 , 作爲用於形成  $\text{In-Zn}$  氧化物半導體的靶材 , 當原子數比爲  $\text{In}:\text{Zn}:\text{O} = \text{X}:\text{Y}:\text{Z}$  時 , 滿足  $\text{Z} > 1.5\text{X} + \text{Y}$  的關係。

另外 , 可以將  $\text{In-Sn-Zn}$  氧化物稱爲 ITZO , 使用一種氧化物靶材 , 作爲其靶材的組成比 ,  $\text{In}:\text{Sn}:\text{Zn}$  的原子數比爲  $1:2:2$ 、 $2:1:3$ 、 $1:1:1$  或  $20:45:35$  等。

在本實施方式中 , 藉由使用  $\text{In-Ga-Zn}$  氧化物靶材的濺射法形成氧化物半導體層。

作爲  $\text{In-Ga-Zn}$  氧化物靶材 , 例如可以使用具有  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$  [莫耳數比] 的組成比的氧化物靶材。另外 , 靶材的材料及組成不侷限於上述記載。例如還可以使用具有  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:2$  [莫耳數比] 的組成比的氧化物靶材。

氧化物靶材的填充率爲 90% 以上 100% 以下 , 較佳爲 95% 以上 99.9% 以下。這是因爲如下緣故 : 藉由使用高填充率的金屬氧化物靶材 , 所形成的氧化物半導體層可以成爲緻密的膜。

作爲成膜時的氣圍 , 採用稀有氣體 ( 典型的是氬 ) 氣圍下、氧氣圍下或稀有氣體和氧的混合氣圍下等 , 即可。另外 , 爲了防止氫、水、羥基、氫化物等混入到氧化物半導體層中 , 較佳採用使用充分地去除氫、水、羥基、氫化物等的雜質的高純度氣體的氣圍。

例如 , 可以採用如下方法形成氧化物半導體層。

首先，在被保持為減壓狀態的沉積室內保持基板，並對基板進行加熱以使基板溫度超過  $200^{\circ}\text{C}$  且  $500^{\circ}\text{C}$  以下，較佳超過  $300^{\circ}\text{C}$  且  $500^{\circ}\text{C}$  以下，更佳為  $350^{\circ}\text{C}$  以上  $450^{\circ}\text{C}$  以下。

接著，一邊去除沉積室中的殘留水分，一邊引入充分地去除了氫、水、羥基、氫化物等的雜質的高純度氣體，並使用上述靶材來在基板上形成氧化物半導體層。為了去除沉積室中的殘留水分，作為排氣單元，較佳使用低溫泵、離子泵、鈦昇華泵等的吸附型真空泵。另外，作為排氣單元，也可以使用提供有冷阱的渦輪泵。由於在利用低溫泵進行了排氣的沉積室中，例如氫、水、羥基或氫化物等的雜質（更佳還包括包含碳原子的化合物）等被去除，因此可以降低在該沉積室中形成的氧化物半導體層所含有的氫、水、羥基或氫化物等的雜質的濃度。

當成膜時的基板溫度低（例如， $100^{\circ}\text{C}$  以下）時，有含有氫原子的物質混入到氧化物半導體中的憂慮，所以較佳在上述溫度下加熱基板。藉由在上述溫度下加熱基板形成氧化物半導體層，基板溫度變高，從而氫鍵被熱切斷，含有氫原子的物質不容易被引入到氧化物半導體層中。因此，藉由在上述溫度下加熱基板的狀態下形成氧化物半導體層，可以充分地降低氧化物半導體層所含有的氫、水、羥基或氫化物等的雜質的濃度。另外，可以減輕由濺射導致的損傷。

作為成膜條件的一個例子，採用如下條件：基板與靶

材之間的距離是 60mm；壓力是 0.4Pa；直流（DC）電源是 0.5kW；基板溫度是 400°C；成膜氣圍是氧（氧流量比率 100%）氣圍。另外，藉由使用脈衝直流電源，可以減輕在進行成膜時發生的粉狀物質（也稱為微粒或塵屑），並且膜厚度分佈也變得均勻，所以較佳採用脈衝直流電源。

另外，較佳的是，在藉由濺射法形成氧化物半導體層之前，進行引入氬氣體產生電漿的反濺射，來去除附著於氧化物半導體層的被形成表面上的粉狀物質（也稱為微粒或塵屑）。反濺射是指如下一種方法，其中對基板施加電壓來在基板附近形成電漿，來對基板一側的表面進行改性。此外，也可以使用氮、氬、氧等的氣體代替氬。

作為氧化物半導體層的加工，可以在氧化物半導體層上形成所希望的形狀的掩罩之後對該氧化物半導體層進行蝕刻。可以藉由光刻步驟等的方法形成上述掩罩。或者，也可以藉由噴墨法等的方法形成掩罩。此外，氧化物半導體層的蝕刻可以採用乾蝕刻或濕蝕刻。當然，也可以組合乾蝕刻和濕蝕刻而使用。

然後，可以對氧化物半導體層 144 進行熱處理（第一熱處理）。藉由進行熱處理，可以進一步去除包含在氧化物半導體層 144 中的含有氫原子的物質。在惰性氣體氣圍下，熱處理的溫度為 250°C 以上 700°C 以下，較佳為 450°C 以上 600°C 以下或者低於基板的應變點。作為惰性氣體氣圍，較佳應用以氮或稀有氣體（氮、氬或氫等）為主要

成分且不包含水或氫等的氣圍。例如，引入到熱處理裝置中的氮或氦、氖、氬等的稀有氣體的純度為 6N（99.9999%）以上，較佳為 7N（99.99999%）以上（即，雜質濃度為 1ppm 以下，較佳為 0.1ppm 以下）。

作為熱處理，例如，可以將被處理物放入使用電阻發熱體等的電爐中，並在氮氣圍下以 450°C 加熱 1 個小時。在此期間，不使氧化物半導體層 144 接觸大氣以防止水或氫的混入。

此外，由於上述熱處理具有去除氫或水等的效果，所以可以將該熱處理也稱為脫水化處理、脫氫化處理等。例如，該熱處理也可以在將氧化物半導體層加工為島狀之前或在形成閘極絕緣層之後等進行。另外，上述脫水化處理、脫氫化處理不侷限於進行一次，而也可以進行多次。

接著，在氧化物半導體層 144 等上形成用來形成源極電極及汲極電極（包括使用與該源極電極及汲極電極相同的層形成的佈線）的導電層，加工該導電層來形成源極電極 142a、汲極電極 142b（參照圖 9B）。

作為導電層，可以利用 PVD 法或 CVD 法來形成。另外，作為導電層的材料，可以使用選自鋁、鉻、銅、鈮、鈦、鉬和鎢中的元素或以上述元素為成分的合金等。還可以使用選自錳、鎂、鋯、鈹、鈳、釷中的一種或多種材料。

導電層既可以採用單層結構又可以採用兩層以上的疊層結構。例如可以舉出：鈦膜或氮化鈦膜的單層結構；含

有矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的雙層結構；在氮化鈦膜上層疊鈦膜的雙層結構；層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，當作爲導電層採用鈦膜或氮化鈦膜的單層結構時，具有易於將源極電極 142a 及汲極電極 142b 加工爲具有傾斜度的形狀的優點。

另外，導電層還可以使用導電金屬氧化物來形成。作爲導電性的金屬氧化物，可以使用氧化銦 ( $\text{In}_2\text{O}_3$ )、氧化錫 ( $\text{SnO}_2$ )、氧化鋅 ( $\text{ZnO}$ )、氧化銦氧化錫化合物 ( $\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時縮寫爲 ITO)、氧化銦氧化鋅化合物 ( $\text{In}_2\text{O}_3\text{-ZnO}$ )、或含有矽或氧化矽的上述任何一種金屬氧化物材料。

較佳以形成的源極電極 142a 及汲極電極 142b 的端部成爲具有傾斜度的形狀的方式對導電層進行蝕刻。這裏，傾斜角例如較佳爲  $30^\circ$  以上  $60^\circ$  以下。藉由以源極電極 142a 及汲極電極 142b 的端部成爲具有傾斜度的形狀的方式進行蝕刻，可以提高後面形成的閘極絕緣層 146 的覆蓋性，並防止斷開。

上部電晶體的通道長度 (L) 由源極電極 142a 的下端部與汲極電極 142b 的下端部之間的時間隔決定。另外，在形成通道長度 (L) 短於 25nm 的電晶體的情況下，當進行用來形成掩罩的曝光時，較佳使用短波長即幾 nm 至幾十 nm 的超紫外線 (Extreme Ultraviolet)。利用超紫外線的曝光的解析度高且景深大。由此，後面形成的電晶體的通道長度 (L) 可以爲 10nm 以上 1000nm ( $1\mu\text{m}$ ) 以下，

而可以提高電路的工作速度。再者，藉由微型化可以降低半導體裝置的耗電量。

另外，作為與圖 9B 不同的一個例子，也可以在氧化物半導體層 144 與源極電極及汲極電極之間設置作為源極區及汲極區的氧化物導電層。作為氧化物導電層的材料，較佳使用以氧化鋅為成分的材料，並且較佳使用不包含氧化銻的材料。作為這種氧化物導電層，可以應用氧化鋅、氧化鋅鋁、氧氮化鋅鋁、氧化鋅鎵等。

例如，可以使用如下方法：在氧化物半導體層 144 上形成氧化物導電膜，在其上形成導電層，並且利用同一光刻步驟加工氧化物導電膜及導電層，以形成作為源極區及汲極區的氧化物導電層、源極電極 142a 以及汲極電極 142b。

另外，也可以使用如下方法：形成氧化物半導體膜和氧化物導電膜的疊層，利用同一光刻步驟加工該疊層的形狀，以形成島狀氧化物半導體層 144 和氧化物導電膜；在形成源極電極 142a 及汲極電極 142b 之後，以源極電極 142a 及汲極電極 142b 為掩罩進一步蝕刻島狀氧化物導電膜，以形成作為源極區及汲極區的氧化物導電層。

另外，在進行蝕刻處理以加工氧化物導電層的形狀時，適當地調整蝕刻條件（蝕刻劑的種類、濃度以及蝕刻時間等），以避免氧化物半導體層被過剩地蝕刻。

藉由在氧化物半導體層與源極電極及汲極電極之間設置氧化物導電層，可以實現源極區及汲極區的低電阻化，



而可以實現電晶體的高速工作。另外，藉由採用使用氧化物半導體層 144、氧化物導電層以及由金屬材料構成的汲極電極的結構，可以進一步提高電晶體的耐壓性。

作為源極區及汲極區而使用氧化物導電層是爲了提高週邊電路（驅動電路）的頻率特性而有效的。這是因爲如下緣故：與金屬電極（鉬、鎢等）接觸氧化物半導體層的情況相比，金屬電極（鉬、鎢等）接觸氧化物導電層而可以降低接觸電阻。藉由使氧化物半導體層和源極電極及汲極電極之間夾著氧化物導電層，可以降低接觸電阻，從而可以提高週邊電路（驅動電路）的頻率特性。

接著，以覆蓋源極電極 142a、汲極電極 142b 並與氧化物半導體層 144 的一部分接觸的方式形成閘極絕緣層 146（參照圖 9C）。

閘極絕緣層 146 可以利用 CVD 法或濺射法等形成。另外，閘極絕緣層 146 較佳以含有氧化矽、氮化矽、氧氮化矽、氧化鎘、氧化鋁、氧化鉬、氧化鉛、氧化鈮、矽酸鉛（ $\text{HfSi}_x\text{O}_y$ （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鉛（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））、添加有氮的鋁酸鉛（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））等的方式形成。閘極絕緣層 146 既可以採用單層結構，又可以採用組合上述材料的疊層結構。另外，雖然對其厚度沒有特別的限定，但是當對半導體裝置進行微型化時，較佳減薄其厚度，以確保電晶體的工作。例如，當使用氧化矽時，其厚度可以爲 1nm 以上 100nm 以下，較佳爲 10nm 以上 50nm 以下。

當如上述那樣將閘極絕緣層形成為較薄時，存在由於隧道效應等而發生閘極洩漏的問題。為了解決閘極洩漏的問題，可以使用如氧化鉛、氧化鋇、氧化釷、矽酸鉛（ $\text{HfSi}_x\text{O}_y$ （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鉛（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））、添加有氮的鋁酸鉛（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））等的高介電常數（high-k）材料作為閘極絕緣層 146。藉由將 high-k 材料用於閘極絕緣層 146，不但可以確保電特性，而且可以增大膜厚度，以抑制閘極洩漏電流。另外，還可以採用含有 high-k 材料的膜與含有氧化矽、氮化矽、氧氮化矽、氮氧化矽或氧化鋁等的膜的疊層結構。

另外，與氧化物半導體層 144 接觸的絕緣層（在本實施方式中，相當於閘極絕緣層 146）也可以使用包含第 13 族元素及氧的絕緣材料。較多氧化物半導體材料包含第 13 族元素，包含第 13 族元素的絕緣材料與氧化物半導體搭配良好，並且藉由將它用於與氧化物半導體層接觸的絕緣層，可以保持與氧化物半導體層之間的界面的良好狀態。

包含第 13 族元素的絕緣材料是指包含一種或多種第 13 族元素的絕緣材料。作為包含第 13 族元素的絕緣材料，例如有氧化鎘、氧化鋁、氧化鋁鎘、氧化鎘鋁等。在此，氧化鋁鎘是指含鋁量（at.%）多於含鎘量（at.%）的物質，氧化鎘鋁是指含鎘量（at.%）等於或多於含鋁量（at.%）的物質。

例如，當以與包含鎵的氧化物半導體層接觸的方式形成閘極絕緣層時，藉由將包含氧化鎵的材料用於閘極絕緣層，可以保持氧化物半導體層和閘極絕緣層之間的良好介面特性。另外，藉由使氧化物半導體層與包含氧化鎵的絕緣層接觸地設置，可以減少氧化物半導體層與絕緣層的介面中的氫的聚積。另外，在將與氧化物半導體的成分元素同一族的元素用於絕緣層時，可以得到上述同樣的效果。例如，使用包含氧化鋁的材料形成絕緣層是有效的。另外，由於氧化鋁具有不容易透射水的特性，因此從防止水侵入到氧化物半導體層中的角度來看，使用該材料是較佳的。

此外，作為與氧化物半導體層 144 接觸的絕緣層，較佳藉由進行氧氣圍下的熱處理或氧摻雜等使絕緣材料處於其氧含量超過化學計量組成比的狀態。氧摻雜是指對塊體添加氧的處理。為了明確表示不僅對薄膜表面添加氧，而且對薄膜內部添加氧，使用該“塊體”。此外，氧摻雜包括將電漿化了的氧添加到塊體中的氧電漿摻雜。另外，也可以藉由離子植入法或離子摻雜法進行氧摻雜。

例如，當作為與氧化物半導體層 144 接觸的絕緣層使用氧化鎵時，藉由進行氧氣圍下的熱處理或氧摻雜，可以將氧化鎵的組成設定為  $\text{Ga}_2\text{O}_x$  ( $X=3+\alpha$ ,  $0<\alpha<1$ )。此外，作為與氧化物半導體層 144 接觸的絕緣層使用氧化鋁時，藉由進行氧氣圍下的熱處理或氧摻雜，可以將氧化鋁的組成設定為  $\text{Al}_2\text{O}_x$  ( $X=3+\alpha$ ,  $0<\alpha<1$ )。或者，作為與氧

氧化物半導體層 144 接觸的絕緣層使用氧化鎵鋁（氧化鋁鎵）時，藉由進行氧氣圍下的熱處理或氧摻雜，可以將氧化鎵鋁（氧化鋁鎵）的組成設定為  $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$  ( $0 < x < 2$ ,  $0 < \alpha < 1$ )。

藉由進行氧摻雜處理等，可以形成包含其氧含量超過化學計量組成比的區域的絕緣層。藉由使具備這種區域的絕緣層和氧化物半導體層接觸，絕緣層中的過剩的氧被供應到氧化物半導體層中，從而可以減少氧化物半導體層中或氧化物半導體層和絕緣層之間的介面中的氧不足缺陷。

另外，具有其氧含量超過化學計量組成比的區域絕緣層既可應用於作為氧化物半導體層 144 的基底膜形成的絕緣層代替閘極絕緣層 146 又可應用於閘極絕緣層 146 及基底膜的兩者。

較佳在形成閘極絕緣層 146 之後，在惰性氣體氣圍下或氧氣圍下進行第二熱處理。熱處理的溫度為  $200^\circ\text{C}$  以上  $450^\circ\text{C}$  以下，較佳為  $250^\circ\text{C}$  以上  $350^\circ\text{C}$  以下。例如，可以在氮氣圍下以  $250^\circ\text{C}$  進行 1 個小時的熱處理。藉由進行第二熱處理，可以降低電晶體的電特性的不均勻性。此外，當閘極絕緣層 146 含有氧時，向脫水化或脫氫化處理後的氧化物半導體層 144 供應氧而填補該氧化物半導體層 144 的氧缺陷，從而可以形成 i 型（本質半導體）或無限接近於 i 型的氧化物半導體層。

另外，在本實施方式中，雖然在形成閘極絕緣層 146 之後進行第二熱處理，但是第二熱處理的時序不侷限於

此。例如，也可以在形成閘極電極之後進行第二熱處理。另外，既可以在第一熱處理之後連續地進行第二熱處理，又可以在第一熱處理中兼併第二熱處理，或在第二熱處理中兼併第一熱處理。

接著，形成用來形成閘極電極（包括使用與該閘極電極相同的層形成的佈線）的導電層，加工該導電層來形成閘極電極 148a 及導電層 148b（參照圖 9D）。

作為閘極電極 148a 及導電層 148b，可以使用鉬、鈦、鉍、鎢、鋁、銅、鈦、鈳等金屬材料或以該金屬材料為主要成分的合金材料來形成。另外，閘極電極 148a 及導電層 148b 可以採用單層結構或疊層結構。

接著，在閘極絕緣層 146、閘極電極 148a 及導電層 148b 上形成絕緣層 150（參照圖 10A）。絕緣層 150 可以利用 PVD 法或 CVD 法等形式形成。另外，還可以使用含有如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鎵、氧化鋁等的無機絕緣材料的材料形成。另外，作為絕緣層 150 較佳使用介電常數低的材料或介電常數低的結構（多孔結構等）。這是因為藉由使絕緣層 150 的介電常數減少，可以降低產生在佈線、電極等之間的電容，從而實現工作的高速化的緣故。另外，在本實施方式中，採用絕緣層 150 的單層結構，但是，所公開的發明的一個方式不侷限於此，也可以採用兩層以上的疊層結構。

接著，在閘極絕緣層 146、絕緣層 150 中形成到達源極電極 142a 的開口。然後，在絕緣層 150 上形成與源極

電極 142a 接觸的佈線 154 (參照圖 10B)。另外，藉由使用掩罩等選擇性地進行蝕刻來形成該開口。

在使用 PVD 法或 CVD 法形成導電層之後，對該導電層進行構圖來形成佈線 154。另外，作為導電層的材料，可以使用選自鋁、鉻、銅、鉍、鈦、鉬和鎢中的元素或以上述元素為成分的合金等。還可以使用選自錳、鎂、鋯、鈹、鈳、釷中的一種或多種材料。

更明確而言，例如，可以在包括絕緣層 150 的開口的區域中藉由 PVD 法形成薄 (5nm 左右) 的鈦膜，在藉由 PVD 法形成薄的鈦膜之後埋入開口形成鋁膜。在此，藉由 PVD 法形成的鈦膜具有還原被形成面的氧化膜 (自然氧化膜等) 並降低與下部電極等 (在此為源極電極 142a) 的接觸電阻的功能。另外，可以防止鋁膜的小丘的產生。另外，也可以在使用鈦或氮化鈦等形成障壁膜之後藉由鍍敷法形成銅膜。

形成在絕緣層 150 中的開口較佳形成在與導電層 128b 重疊的區域中。藉由在這種區域中形成開口，可以抑制起因於接觸區域的元件面積的增大。

在此，對不使用導電層 128b 而使如下兩種連接結構重疊的情況進行說明，該兩種連接結構：一是雜質區 126 與源極電極 142a 的連接結構；二是源極電極 142a 與佈線 154 的連接結構。此時，在形成在雜質區 126 上的絕緣層 136、絕緣層 138 及絕緣層 140 中形成開口 (稱為下部的接觸)，在下部的接觸中形成源極電極 142a，然後，在

閘極絕緣層 146 及絕緣層 150 中，在與下部的接觸重疊的區域中形成開口（稱為上部的接觸），並且形成佈線 154。當在與下部的接觸重疊的區域中形成上部的接觸時，有如下憂慮：即，由於蝕刻，形成在下部的接觸中的源極電極 142a 斷開。當為了避免該斷開，以不使下部的接觸與上部的接觸重疊的方式形成結構時，發生元件面積的增大的問題。

如本實施方式所示那樣，藉由使用導電層 128b，可以形成上部的接觸而不使源極電極 142a 斷開。由此，可以使下部的接觸與上部的接觸重疊地設置，從而可以抑制起因於接觸區域的元件面積的增大。換言之，可以提高半導體裝置的集成度。

接著，以覆蓋佈線 154 的方式形成絕緣層 156（參照圖 10C）。

藉由上述步驟完成使用被高純度化的氧化物半導體層 144 的電晶體 162 以及電容元件 164（參照圖 10C）。

在本實施方式所示的電晶體 162 中，由於氧化物半導體層 144 被高純度化，其氫濃度為  $5 \times 10^{19} \text{ atoms/cm}^3$  以下，較佳為  $5 \times 10^{18} \text{ atoms/cm}^3$  以下，更佳為  $5 \times 10^{17} \text{ atoms/cm}^3$  以下。另外，氧化物半導體層 144 的載子密度與通常的矽晶片中的載子密度（ $1 \times 10^{14} / \text{cm}^3$  左右）相比是足夠小的值（例如，低於  $1 \times 10^{12} / \text{cm}^3$ ，更佳為低於  $1.45 \times 10^{10} / \text{cm}^3$ ）。另外，截止電流也十分小。例如，電晶體 162 的室溫（ $25^\circ\text{C}$ ）下的截止電流（這裏，每單位通道寬度（ $1 \mu\text{m}$ ）的值）為

100zA ( 1zA ( 仄普托安培 ) 爲  $1 \times 10^{-21}$  A ) 以下，較佳爲 10zA 以下。

如此，藉由使用被高純度化而被本質化的氧化物半導體層 144，容易充分地降低電晶體的截止電流。並且，藉由使用這種電晶體，可以獲得能夠在極長期間內保持儲存內容的半導體裝置。

另外，在本實施方式所示的半導體裝置中，可以共同使用佈線，而可以實現集成度充分得到提高的半導體裝置。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

### 實施方式 3

在本實施方式中，使用圖 11A 至 11F 而對將上述實施方式所說明的半導體裝置應用於電子裝置的情況進行說明。在本實施方式中，對將上述半導體裝置用於如下電子裝置的情況進行說明，即：電腦；行動電話機（也稱爲行動電話、行動電話裝置）；可攜式資訊終端（包括可攜式遊戲機、音頻再現裝置等）；數位相機、數碼攝像機等的影像拍攝裝置；電子紙；以及電視裝置（也稱爲電視機或電視接收機）等。

圖 11A 示出筆記本型個人電腦，包括外殼 701、外殼 702、顯示部 703 以及鍵盤 704 等。之前的實施方式所示的半導體裝置設置在外殼 701 和外殼 702 中的至少一個



中。因此，可以實現一種筆記本型個人電腦，其資訊寫入及讀出速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

圖 11B 示出可攜式資訊終端（PDA），其主體 711 包括顯示部 713、外部介面 715 以及操作按鈕 714 等。另外，還包括用於操作可攜式資訊終端的觸屏筆 712 等。之前的實施方式所示的半導體裝置設置在主體 711 中。因此，可以實現一種可攜式資訊終端，其資訊寫入及讀出速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

圖 11C 示出安裝有電子紙的電子書閱讀器 720，包括外殼 721 和外殼 723 的兩個外殼。外殼 721 和外殼 723 分別設置有顯示部 725 和顯示部 727。外殼 721 和外殼 723 由軸部 737 相連接，且可以以該軸部 737 為軸進行開閉動作。另外，外殼 721 包括電源 731、操作鍵 733 以及揚聲器 735 等。之前的實施方式所示的半導體裝置設置在外殼 721 和外殼 723 中的至少一個。因此，可以實現一種電子書閱讀器，其資訊寫入及讀出速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

圖 11D 示出行動電話機，包括外殼 740 和外殼 741 的兩個外殼。再者，外殼 740 和外殼 741 滑動而可以從如圖 11D 所示那樣的展開狀態變成重疊狀態，所以可以實現適於攜帶的小型化。另外，外殼 741 包括顯示面板 742、揚聲器 743、麥克風 744、操作鍵 745、指向裝置 746、拍攝

裝置用透鏡 747 以及外部連接端子 748 等。此外，外殼 740 包括進行行動電話機的充電的太陽電池單元 749 和外部記憶體插槽 750 等。另外，天線內置在外殼 741 中。之前的實施方式所示的半導體裝置設置在外殼 740 和外殼 741 中的至少一個。因此，可以實現一種行動電話機，其資訊寫入及讀出速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

圖 11E 示出數位相機，包括主體 761、顯示部 767、取景器 763、操作開關 764、顯示部 765 和電池 766 等。之前的實施方式所示的半導體裝置設置在主體 761 中。因此，可以實現一種數位相機，其資訊寫入及讀出速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

圖 11F 示出電視裝置 770，包括外殼 771、顯示部 773 和支架 775 等。可以藉由利用外殼 771 具有的開關和遙控操作機 780 來進行電視裝置 770 的操作。外殼 771 和遙控操作機 780 安裝有之前的實施方式所示的半導體裝置。因此，可以實現一種電視裝置，其資訊寫入及讀出速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

如上所述，本實施方式所示的電子裝置安裝有根據之前的實施方式的半導體裝置。所以，可以實現耗電量被降低的電子裝置。

#### 實施方式 4

在本實施方式中，詳細說明上述實施方式 1 至 3 所述的使用氧化物半導體作為半導體材料的電晶體。明確地說，作為氧化物半導體，說明包含一種結晶（CAAC: C Axis Aligned Crystal: c 軸配向結晶）的氧化物，該結晶進行 c 軸配向，並且在從 ab 面、表面或介面的方向看時具有三角形狀或六角形狀的原子排列，在 c 軸上金屬原子排列為層狀或者金屬原子和氧原子排列為層狀，而在 ab 面上 a 軸或 b 軸的方向不同（即，以 c 軸為中心回轉）。

從更廣義來理解，含有 CAAC 的氧化物是指非單晶，並是指包括如下相的氧化物，在該相中在從垂直於 ab 面的方向看時具有三角形狀、六角形狀、正三角形狀或正六角形狀的原子排列，並且從垂直於 c 軸方向的方向看時金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。

雖然 CAAC 不是單晶，但是也不只由非晶形成。另外，雖然 CAAC 包括晶化部分（結晶部分），但是有時不能明確辨別一個結晶部分與其他結晶部分的邊界。

當 CAAC 包含氧時，也可以用氮取代氧的一部分。另外，構成 CAAC 的各結晶部分的 c 軸也可以在固定的方向上（例如，垂直於支撐 CAAC 的基板面或 CAAC 的表面等的方向）一致。或者，構成 CAAC 的各結晶部分的 ab 面的法線也可以朝向固定的方向（例如，垂直於支撐 CAAC 的基板面或 CAAC 的表面等的方向）。

CAAC 根據其組成等而成為導體、半導體或絕緣體。

另外，CAAC 根據其組成等而呈現對可見光的透明性或不透明性。

作為上述 CAAC 的例子，也可以舉出一種結晶，該結晶被形成為膜狀，並且在該結晶中在從垂直於膜表面或所支撐的基板面的方向觀察時確認到三角形或六角形的原子排列，並且在觀察其膜剖面時確認到金屬原子或金屬原子及氧原子（或氮原子）的層狀排列。

以下，參照圖 12A 至圖 14C 詳細說明包括在 CAAC 中的結晶結構的一個例子。另外，在沒有特別的說明時，在圖 12A 至圖 14C 中，以垂直方向為  $c$  軸方向，並以與  $c$  軸方向正交的面為  $ab$  面。另外，在只說“上一半”或“下一半”時，其是指以  $ab$  面為邊界時的上一半或下一半。

圖 12A 示出具有有一個六配位  $\text{In}$  以及靠近  $\text{In}$  的六個四配位氧原子（以下稱為四配位  $\text{O}$ ）的結構。這裏，將對於一個金屬原子只示出靠近其的氧原子的結構稱為小組。雖然圖 12A 所示的結構採用八面體結構，但是為了容易理解示出平面結構。另外，在圖 12A 的上一半及下一半中分別具有三個四配位  $\text{O}$ 。圖 12A 所示的小組的電荷為 0。

圖 12B 示出具有有一個五配位  $\text{Ga}$ 、靠近  $\text{Ga}$  的三個三配位氧原子（以下稱為三配位  $\text{O}$ ）以及靠近  $\text{Ga}$  的兩個四配位  $\text{O}$  的結構。三配位  $\text{O}$  都存在於  $ab$  面上。在圖 12B 的上一半及下一半分別具有有一個四配位  $\text{O}$ 。另外，因為  $\text{In}$  也採用五配位，所以也有可能採用圖 12B 所示的結構。圖 12B 所示的小組的電荷為 0。

圖 12C 示出具有有一個四配位 Zn 以及靠近 Zn 的四個四配位 O 的結構。在圖 12C 的上半部具有有一個四配位 O，並且在下半部具有有三個四配位 O。或者，也可以在圖 12C 的上半部具有有三個四配位 O，並且在下半部具有有一個四配位 O。圖 12C 所示的小組的電荷為 0。

圖 12D 示出具有有一個六配位 Sn 以及靠近 Sn 的六個四配位 O 的結構。在圖 12D 的上半部具有有三個四配位 O，並且在下半部具有有三個四配位 O。圖 12D 所示的小組的電荷為 +1。

圖 12E 示出包括兩個 Zn 的小組。在圖 12E 的上半部具有有一個四配位 O，並且在下半部具有有一個四配位 O。圖 12E 所示的小組的電荷為 -1。

在此，將多個小組的集合體稱為中組，而將多個中組的集合體稱為大組（也稱為單元元件）。

這裏，說明這些小組彼此接合的規則。圖 12A 所示的六配位 In 的上半部的三個 O 在下方向上分別具有有三個靠近的 In，而 In 的下半部的三個 O 在上方向上分別具有有三個靠近的 In。五配位 Ga 的上半部的一個 O 在下方向上具有一個靠近的 Ga，而 Ga 的下半部的一個 O 在上方向上具有一個靠近的 Ga。四配位 Zn 的上半部的一個 O 在下方向上具有一個靠近的 Zn，而 Zn 的下半部的三個 O 在上方向上分別具有有三個靠近的 Zn。像這樣，金屬原子的上方向上的四配位 O 的個數與位於該 O 的下方向上的靠近的金屬原子的個數相等。與此同樣，金屬原子的下方向的四配

位 O 的個數與位於該 O 的上方向上的靠近的金屬原子的個數相等。因為 O 為四配位，所以位於下方向上的靠近的金屬原子的個數和位於上方向上的靠近的金屬原子的個數的總和成爲 4。因此，在位於一金屬原子的上方向上的四配位 O 的個數和位於另一金屬原子的下方向上的四配位 O 的個數的總和爲 4 時，具有金屬原子的兩種小組可以彼此接合。例如，在六配位金屬原子 (In 或 Sn) 藉由下一半的四配位 O 接合時，因為四配位 O 的個數爲 3，所以其與五配位金屬原子 (Ga 或 In) 和四配位金屬原子 (Zn) 中的任何一種接合。

具有這些配位數的金屬原子在 c 軸方向上藉由四配位 O 接合。另外，除此以外，以使層結構的總和電荷成爲 0 的方式使多個小組接合構成中組。

圖 13A 示出構成 In-Sn-Zn-O 類層結構的中組的模型圖。圖 13B 示出由三個中組構成的大組。另外，圖 13C 示出從 c 軸方向上觀察圖 13B 的層結構時的原子排列。

在圖 13A 中，爲了容易理解，省略三配位 O，關於四配位 O 只示出其個數，例如，以③表示 Sn 的上一半及下一半分別具有三個四配位 O。與此同樣，在圖 13A 中，以①表示 In 的上一半及下一半分別具有一個四配位 O。與此同樣，在圖 13A 中示出：下一半具有一個四配位 O 而上一半具有三個四配位 O 的 Zn；以及上一半具有一個四配位 O 而下一半具有三個四配位 O 的 Zn。

在圖 13A 中，構成 In-Sn-Zn-O 類層結構的中組具有

如下結構：在從上面按順序說明時，上一半及下一半分別具有三個四配位 O 的 Sn 與上一半及下一半分別具有一個四配位 O 的 In 接合；該 In 與上一半具有三個四配位 O 的 Zn 接合；藉由該 Zn 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合；該 In 與上一半具有一個四配位 O 的由兩個 Zn 構成的小組接合；藉由該小組的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 Sn 接合。多個上述中組彼此接合而構成大組。

這裏，三配位 O 及四配位 O 的一個接合的電荷分別可以被認為是  $-0.667$  及  $-0.5$ 。例如，In（六配位或五配位）、Zn（四配位）以及 Sn（五配位或六配位）的電荷分別為  $+3$ 、 $+2$  以及  $+4$ 。因此，包含 Sn 的小組的電荷為  $+1$ 。因此，為了形成包含 Sn 的層結構，需要消除電荷  $+1$  的電荷  $-1$ 。作為具有電荷  $-1$  的結構，可以舉出圖 12E 所示的包含兩個 Zn 的小組。例如，因為如果對於一個包含 Sn 的小組有一個包含兩個 Zn 的小組則電荷被消除，而可以使層結構的總電荷為 0。

明確而言，藉由反復圖 13B 所示的大組來可以得到 In-Sn-Zn-O 類結晶（ $\text{In}_2\text{SnZn}_3\text{O}_8$ ）。注意，可以得到的 In-Sn-Zn-O 類的層結構可以由組成式  $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ （ $m$  是 0 或自然數）表示。

此外，使用如下材料時也與上述相同：四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物；三元金屬氧化物的 In-Ga-Zn

類氧化物（也表示為 IGZO）、In-Al-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；二元金屬氧化物的 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物等。

例如，圖 14A 示出構成 In-Ga-Zn-O 類的層結構的中組的模型圖。

在圖 14A 中，構成 In-Ga-Zn-O 類層結構的中組具有如下結構：在從上面按順序說明時，上一半和下一半分別有三個四配位 O 的 In 與上一半具有一個四配位的 O 的 Zn 接合；藉由該 Zn 的下一半的三個四配位 O 與上一半及下一半分別具有一個四配位 O 的 Ga 接合；藉由該 Ga 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合。多個上述中組彼此接合而構成大組。

圖 14B 示出由三個中組構成的大組。另外，圖 14C 示出從 c 軸方向上觀察圖 14B 的層結構時的原子排列。

在此，因為 In（六配位或五配位）、Zn（四配位）、Ga（五配位）的電荷分別是 +3、+2、+3，所以包



含 In、Zn 及 Ga 中的任一個的小組的電荷為 0。因此，組合這些小組而成的中組的總電荷一直為 0。

此外，構成 In-Ga-Zn-O 類層結構的中組不侷限於圖 14A 所示的中組，而有可能是組合 In、Ga、Zn 的排列不同的中組而成的大組。

### 實施方式 5

在本實施方式中，說明上述實施方式 1 至 4 所述的將氧化物半導體用於通道形成區的電晶體的遷移率。

除了氧化物半導體之外，實際測量的絕緣閘極型電晶體的場效應遷移率因各種原因而比本來的遷移率低。作為使遷移率降低的原因，有半導體內部的缺陷或半導體和絕緣膜之間的介面的缺陷，但是當使用 Levinson 模型時，可以理論性地導出假定在半導體內部沒有缺陷時的場效應遷移率。

當以半導體本來的遷移率為  $\mu_0$ ，以所測量的場效應遷移率為  $\mu$ ，且假定在半導體中存在某種位能障壁（晶界等）時，可以由下述算式表示其關係。

[算式 2]

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

在此，E 是位能障壁的高度，k 是玻爾茲曼常數，T 是絕對溫度。此外，當假定位能障壁由於缺陷而發生時，在 Levinson 模型中可以由下述算式表示其關係。

[算式 3]

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

在此， $e$  是元電荷， $N$  是通道形成區內的每單位面積的平均缺陷密度， $\epsilon$  是半導體的介電常數， $n$  是包括在每單位面積的通道形成區中的載子數， $C_{ox}$  是每單位面積的電容， $V_g$  是閘電壓， $t$  是通道形成區的厚度。注意，在採用厚度為 30nm 以下的半導體層的情況下，通道形成區的厚度可以與半導體層的厚度相同。線性區中的汲電流  $I_d$  可以由下述算式表示。

[算式 4]

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

在此， $L$  是通道長度， $W$  是通道寬度，並且  $L=W=10\mu\text{m}$ 。此外， $V_d$  是汲極電壓。當用  $V_g$  除上述算式的兩邊，且對兩邊取對數時，成為下述算式。

[算式 5]

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

算式 5 的右邊是  $V_g$  的函數。由上述算式可知，可以根據以縱軸為  $\ln(I_d/V_g)$  以橫軸為  $1/V_g$  來標繪出測量值而得到的圖表的直線的傾斜度求得缺陷密度  $N$ 。也就是說，根據電晶體的  $I_d-V_g$  特性可以對缺陷密度進行評價。在銦 (In)、錫 (Sn)、鋅 (Zn) 的比率為 In:Sn:Zn=1:1:1 的氧化物半導體中，缺陷密度  $N$  是  $1 \times 10^{12}/\text{cm}^2$  左右。

基於如上所述那樣求得的缺陷密度等且根據藉由算式 2 及算式 3 可以導出  $\mu_0=120\text{cm}^2/\text{Vs}$ 。在有缺陷的 In-Sn-Zn 氧化物中測量出來的遷移率為  $40\text{cm}^2/\text{Vs}$  左右。但是，可以預測到沒有半導體內部及半導體和絕緣膜之間的介面的缺陷的氧化物半導體的遷移率  $\mu_0$  成爲  $120\text{cm}^2/\text{Vs}$ 。

然而，即使在半導體內部沒有缺陷，電晶體的傳輸特性也受通道形成區和閘極絕緣層之間的介面中的散射的影響。換言之，離閘極絕緣層介面有  $x$  的距離的位置上的遷移率  $\mu_1$  可以由下述算式表示。

[算式 6]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right)$$

在此， $D$  是閘極方向上的電場，且  $B$ 、 $l$  是常數。 $B$  及  $l$  可以根據實際的測量結果求得。根據上述測量結果， $B=4.75 \times 10^7 \text{cm/s}$ ， $l=10\text{nm}$ （介面散射到達的深度）。可知當  $D$  增加（即，閘電壓增高）時，算式 6 的第二項也增加，所以遷移率  $\mu_1$  降低。

圖 15 示出計算一種電晶體的遷移率  $\mu_2$  而得到的結果，在該電晶體中將沒有半導體內部的缺陷的理想的氧化物半導體用於通道形成區。另外，在計算中，使用 Synopsys 公司製造的裝置模擬軟體 Sentaurus Device，並且作為氧化物半導體，將能隙設定為 2.8 電子伏特，將電子親和力設定為 4.7 電子伏特，將相對介電常數設定為 15，並將厚度設定為 15nm。上述值藉由測定以濺射法形成的薄膜來得到。

再者，將閘極電極的功函數設定為 5.5 電子伏特，將源極電極的功函數設定為 4.6 電子伏特，並且將汲極電極的功函數設定為 4.6 電子伏特。另外，將閘極絕緣層的厚度設定為 100nm，並將相對介電常數設定為 4.1。通道長度和通道幅度都為 10 $\mu$ m，而汲電壓  $V_d$  為 0.1V。

如圖 15 所示，雖然當閘電壓為 1V 多時遷移率示出 100cm<sup>2</sup>/Vs 以上的峰值，但是當閘電壓更高時，介面散亂變大，並遷移率降低。另外，為了降低介面散亂，較佳在原子級上將半導體層表面設定為平坦（Atomic Layer Flatness）。

圖 16A 至圖 18C 示出對使用具有上述遷移率的氧化物半導體形成微型電晶體時的特性進行計算而得到的結果。另外，圖 19A 和 19B 示出用於計算的電晶體的剖面結構。圖 19A 和 19B 所示的電晶體在氧化物半導體層中具有呈現 n<sup>+</sup>導電型的半導體區 103a 及半導體區 103c。半導體區 103a 及半導體區 103c 的電阻率為 2 $\times$ 10<sup>-3</sup> $\Omega$ cm。

圖 19A 所示的電晶體形成在基底絕緣膜 101 和以埋入在基底絕緣膜 101 中的方式形成的由氧化鋁形成的埋入絕緣物 102 上。電晶體包括半導體區 103a、半導體區 103c、夾在它們之間且成為通道形成區的本質半導體區 103b、閘極電極 105。閘極電極 105 的幅度為 33nm。

在閘極電極 105 和半導體區 103b 之間具有閘極絕緣層 104，在閘極電極 105 的雙側面具有側壁絕緣物 106a 及側壁絕緣物 106b，並且在閘極電極 105 的上部具有用

來防止閘極電極 105 與其他佈線的短路的絕緣物 107。側壁絕緣物的幅度為 5nm。另外，以接觸於半導體區 103a 及半導體區 103c 的方式具有源極電極 108a 及汲極電極 108b。另外，該電晶體的通道幅度為 40nm。

圖 19B 所示的電晶體與圖 19A 所示的電晶體的相同之處為：形成在基底絕緣膜 101 和由氧化鋁形成的埋入絕緣物 102 上；並且包括半導體區 103a、半導體區 103c、夾在它們之間的本質半導體區 103b、幅度為 33nm 的閘極電極 105、閘極絕緣層 104、側壁絕緣物 106a 及側壁絕緣物 106b、絕緣物 107 以及源極電極 108a 及汲極電極 108b。

圖 19A 所示的電晶體與圖 19B 所示的電晶體的不同之處為側壁絕緣物 106a 及側壁絕緣物 106b 下的半導體區的導電型。在圖 19A 所示的電晶體中側壁絕緣物 106a 及側壁絕緣物 106b 下的半導體區為呈現  $n^+$  導電型的半導體區 103a 及半導體區 103c，而在圖 19B 所示的電晶體中側壁絕緣物 106a 及側壁絕緣物 106b 下的半導體區為本質的半導體區 103b。換言之，在圖 19B 所示的半導體層中具有既不與半導體區 103a（半導體區 103c）重疊也不與閘極電極 105 重疊的寬度為  $L_{off}$  的區域。將該區域稱為偏置（offset）區，並且將其幅度稱為偏置長度。如圖式所示，偏置長度與側壁絕緣物 106a（側壁絕緣物 106b）的幅度相同。

用於計算的其他參數為如上所述的參數。在計算中，

使用 Synopsys 公司製造的裝置模擬軟體 Sentaurus Device。圖 16A 至 16C 示出圖 19A 所示的結構的電晶體的汲電流 ( $I_d$ ，實線) 及遷移率 ( $\mu$ ，虛線) 的閘極電極電壓 ( $V_g$ ，閘極電極與源極的電位差) 依賴性。將汲電壓 (汲極與源極的電位差) 設定為 +1V 來計算汲電流  $I_d$ ，並且將汲電壓設定為 +0.1V 來計算遷移率  $\mu$ 。

圖 16A 為閘極絕緣層的厚度為 15nm 時的圖，圖 16B 為閘極絕緣層的厚度為 10nm 時的圖，並且圖 16C 為閘極絕緣層的厚度為 5nm 時的圖。閘極絕緣層越薄，尤其是截止狀態下的汲電流  $I_d$  (截止電流) 越顯著降低。另一方面，遷移率  $\mu$  的峰值或導通狀態時的汲電流  $I_d$  (導通電流) 沒有顯著的變化。可知當閘電壓為 1V 前後時汲電流超過儲存單元中使用的電晶體等所需要的  $10\mu\text{A}$ 。

圖 17A 至 17C 示出在圖 19B 所示的結構的電晶體中當偏置長度  $L_{\text{off}}$  為 5nm 時的汲電流  $I_d$  (實線) 及遷移率  $\mu$  (虛線) 的閘電壓  $V_g$  依賴性。將汲電壓設定為 +1V 來計算汲電流  $I_d$ ，並且將汲電壓設定為 +0.1V 來計算遷移率  $\mu$ 。圖 17A 為閘極絕緣層的厚度為 15nm 時的圖，圖 17B 為閘極絕緣層的厚度為 10nm 時的圖，並且圖 17C 為閘極絕緣層的厚度為 5nm 時的圖。

另外，圖 18A 至 18C 示出在圖 19B 所示的結構的電晶體中當偏置長度  $L_{\text{off}}$  為 15nm 時的汲電流  $I_d$  (實線) 及遷移率  $\mu$  (虛線) 的閘電壓依賴性。將汲電壓設定為 +1V 來計算汲電流  $I_d$ ，並且將汲電壓設定為 +0.1V 來計算遷移

率 $\mu$ 。圖 18A 為閘極絕緣層的厚度為 15nm 時的圖，圖 18B 為閘極絕緣層的厚度為 10nm 時的圖，並且圖 18C 為閘極絕緣層的厚度為 5nm 時的圖。

無論在圖 17A 至 17C 中還是在圖 18A 至 18C 中，都是閘極絕緣層越薄，截止電流越顯著降低，但是遷移率 $\mu$ 的峰值或導通電流沒有顯著的變化。

另外，在圖 16A 至 16C 中遷移率 $\mu$ 的峰值為  $80\text{cm}^2/\text{Vs}$  左右，而在圖 17A 至 17C 中遷移率 $\mu$ 的峰值為  $60\text{cm}^2/\text{Vs}$  左右，且在圖 18A 至 18C 中遷移率 $\mu$ 的峰值為  $40\text{cm}^2/\text{Vs}$  左右，並且偏置長度  $L_{\text{off}}$  越增加，遷移率 $\mu$ 的峰值越降低。另外，截止電流也有同樣的趨勢。另一方面，雖然導通電流也隨著偏置長度  $L_{\text{off}}$  的增加而減少，但是該減少與截止電流的降低相比則要平緩得多。另外，可知當閘電壓為 1V 前後時汲電流超過儲存單元中使用的電晶體等所需要的  $10\mu\text{A}$ 。

## 實施方式 6

上述實施方式 1 至 5 所示的將以 In、Sn、Zn 為主要成分的氧化物半導體用於通道形成區的電晶體藉由當形成該氧化物半導體時加熱基板進行成膜或在形成氧化物半導體膜之後進行熱處理來可以得到良好的特性。另外，主要成分是指組成比上包含 5atomic% 以上的元素。

藉由在形成以 In、Sn、Zn 為主要成分的氧化物半導體膜之後意圖性地加熱基板，可以提高電晶體的場效應遷

移率。另外，藉由使電晶體的臨界值電壓向正方向漂移來可以實現常關閉化。

例如，圖 20A 至 20C 示出使用以 In、Sn、Zn 為主要成分且通道長度  $L$  為  $3\mu\text{m}$  且通道寬度  $W$  為  $10\mu\text{m}$  的氧化物半導體膜以及厚度為  $100\text{nm}$  的閘極絕緣層的電晶體的特性。另外， $V_d$  為  $10\text{V}$ 。

圖 20A 示出意圖性地不加熱基板藉由濺射法形成以 In、Sn、Zn 為主要成分的氧化物半導體膜時的電晶體特性。此時場效應遷移率為  $18.8\text{cm}^2/\text{Vsec}$ 。另一方面，藉由意圖性地加熱基板形成以 In、Sn、Zn 為主要成分的氧化物半導體膜，可以提高場效應遷移率。圖 20B 示出將基板加熱為  $200^\circ\text{C}$  來形成以 In、Sn、Zn 為主要成分的氧化物半導體膜時的電晶體特性，此時的場效應遷移率為  $32.2\text{cm}^2/\text{Vsec}$ 。

藉由在形成以 In、Sn、Zn 為主要成分的氧化物半導體膜之後進行熱處理，可以進一步提高場效應遷移率。圖 20C 示出在  $200^\circ\text{C}$  下藉由濺射形成以 In、Sn、Zn 為主要成分的氧化物半導體膜之後進行  $650^\circ\text{C}$  的熱處理時的電晶體特性。此時場效應遷移率為  $34.5\text{cm}^2/\text{Vsec}$ 。

藉由意圖性地加熱基板，可以期待降低濺射成膜中的水分被引入到氧化物半導體膜中的效果。此外，藉由在成膜後進行熱處理，還可以從氧化物半導體膜中釋放而去除氫、羥基或水分，如上述那樣可以提高場效應遷移率。上述場效應遷移率的提高可以認為不僅是因為藉由脫水化。



脫氫化去除雜質，而且因為藉由高密度化使原子間距離變短的緣故。此外，藉由從氧化物半導體去除雜質而使其高純度化，可以實現結晶化。可以預測到像這樣被高純度化的非單晶氧化物半導體會能夠實現理想的超過  $100 \text{ cm}^2/\text{Vsec}$  的場效應遷移率。

也可以對以 In、Sn、Zn 為主要成分的氧化物半導體注入氧離子，藉由熱處理釋放該氧化物半導體所含有的氫、羥基或水分，在該熱處理同時或藉由在該熱處理之後的熱處理使氧化物半導體晶化。藉由上述晶化或再晶化的處理可以得到結晶性良好的非單晶氧化物半導體。

藉由意圖性地加熱基板進行成膜及/或在成膜後進行熱處理，不僅可以提高場效應遷移率，而且還有助於實現電晶體的常截止化。將不意圖性地加熱基板來形成的以 In、Sn、Zn 為主要成分的氧化物半導體膜用作通道形成區的電晶體有臨界值電壓漂移到負一側的傾向。然而，在採用藉由意圖性地加熱基板來形成的氧化物半導體膜時，可以解決該臨界值電壓的負漂移化的問題。換言之，臨界值電壓向電晶體成為常截止的方向漂移，並且從圖 20A 和圖 20B 的對比也可以確認到該傾向。

另外，也可以藉由改變 In、Sn 及 Zn 的比率來控制臨界值電壓，作為組成比採用 In:Sn:Zn=2:1:3 來可以實現電晶體的常截止化。另外，藉由作為靶材的組成比採用 In:Sn:Zn=2:1:3，可以獲得結晶性高的氧化物半導體膜。

將意圖性的基板加熱溫度或熱處理溫度設定為  $150^\circ\text{C}$

以上，較佳設定為  $200^{\circ}\text{C}$  以上，更佳設定為  $400^{\circ}\text{C}$  以上。藉由在更高的溫度下進行成膜或進行熱處理，可以實現電晶體的常截止化。

另外，藉由意圖性地加熱基板來形成膜及/或在成膜後進行熱處理，可以提高對於閘極偏壓·應力的穩定性。例如，在  $2\text{MV}/\text{cm}$ ， $150^{\circ}\text{C}$  且一個小時施加的條件下，可以使漂移分別為小於  $\pm 1.5\text{V}$ ，較佳為小於  $1.0\text{V}$ 。

實際上，對在形成氧化物半導體膜後不進行加熱處理的樣品 1 的電晶體和進行了  $650^{\circ}\text{C}$  的加熱處理的樣品 2 的電晶體進行 BT 測試。

首先，將基板溫度設定為  $25^{\circ}\text{C}$ ，將  $V_d$  設定為  $10\text{V}$ ，而對電晶體的  $V_g-I_d$  特性進行測量。另外， $V_d$  示出汲電壓（汲極和源極的電位差）。接著，將基板溫度設定為  $150^{\circ}\text{C}$ ，將  $V_d$  設定為  $0.1\text{V}$ 。然後，以使施加到閘極絕緣層 608 的電場強度成為  $2\text{MV}/\text{cm}$  的方式對  $V_g$  施加  $20\text{V}$ ，一直保持該狀態一個小時。接著，將  $V_g$  設定為  $0\text{V}$ 。接著，將基板溫度設定為  $25^{\circ}\text{C}$ ，將  $V_d$  設定為  $10\text{V}$ ，而進行電晶體的  $V_g-I_d$  測量。將該測試稱為正 BT 測試。

與此同樣，首先將基板溫度設定為  $25^{\circ}\text{C}$ ，將  $V_d$  設定為  $10\text{V}$ ，對電晶體的  $V_g-I_d$  特性進行測量。接著，將基板溫度設定為  $150^{\circ}\text{C}$ ，將  $V_d$  設定為  $0.1\text{V}$ 。然後，以使施加到閘極絕緣層 608 的電場強度成為  $-2\text{MV}/\text{cm}$  的方式對  $V_g$  施加  $-20\text{V}$ ，一直保持該狀態一個小時。接著，將  $V_g$  設定為  $0\text{V}$ 。接著，將基板溫度設定為  $25^{\circ}\text{C}$ ，將  $V_d$  設定為

10V，對電晶體的  $V_g-I_d$  進行測量。將該測試稱為負 BT 測試。

圖 21A 示出樣品 1 的正 BT 測試的結果，而圖 21B 示出負 BT 測試的結果。另外，圖 22A 示出樣品 2 的正 BT 測試的結果，而圖 22B 示出負 BT 測試的結果。

樣品 1 的因正 BT 測試及負 BT 測試而發生的臨界值電壓變動分別為 1.80V 及 -0.42V。另外，樣品 2 的因正 BT 測試及負 BT 測試而發生的臨界值電壓變動分別為 0.79V 及 0.76V。樣品 1 及樣品 2 的 BT 測試前後的臨界值電壓變動都小，由此可知其可靠性高。

熱處理可以在氧氣圍中進行，但是也可以首先在氮、惰性氣體或減壓下進行熱處理之後在含有氧的氣圍中進行熱處理。藉由在首先進行脫水化、脫氫化之後將氧添加到氧化物半導體，可以進一步提高熱處理的效果。此外，作為後面添加氧的方法，也可以採用以電場加速氧離子並將其注入到氧化物半導體膜中的方法。

雖然在氧化物半導體中及該氧化物半導體與接觸於該氧化物半導體的膜的介面容易產生由氧缺陷導致的缺陷，但是藉由該熱處理使氧化物半導體中含有過剩的氧，可以利用過剩的氧補充不斷產生的氧缺陷。過剩的氧是主要存在於晶格間的氧，並且藉由將該氧濃度設定為  $1 \times 10^{16}/\text{cm}^3$  以上且  $2 \times 10^{20}/\text{cm}^3$  以下，可以在不使結晶變歪等的狀態下使氧化物半導體中含有氧。

此外，藉由熱處理至少在氧化物半導體的一部分中含

有結晶，可以獲得更穩定的氧化物半導體膜。例如，在使用組成比為  $\text{In:Sn:Zn}=1:1:1$  的靶材，意圖性地不加熱基板而進行濺射成膜來形成的氧化物半導體膜中，藉由利用 X 線衍射 (XRD: X-Ray Diffraction) 觀察到光暈圖案 (halo pattern)。藉由對該所形成的氧化物半導體膜進行熱處理，可以使其結晶化。雖然熱處理溫度是任意的溫度，但是例如藉由進行  $650^\circ\text{C}$  的熱處理，可以利用 X 線衍射觀察到明確的衍射峰值。

實際進行 In-Sn-Zn-O 膜的 XRD 分析。作為 XRD 衍射，使用 Bruker AXS 公司製造的 X 線衍射裝置 D8 ADVANCE 並利用平面外 (Out-of-Plane) 法來進行測量。

作為進行 XRD 分析的樣品，準備樣品 A 及樣品 B。以下說明樣品 A 及樣品 B 的製造方法。

在完成了脫氫化處理的石英基板上形成厚度為  $100\text{nm}$  的 In-Sn-Zn-O 膜。

在氧氣圍下使用濺射裝置以  $100\text{W}$  (DC) 的功率來形成 In-Sn-Zn-O 膜。作為靶材使用原子數比為  $\text{In:Sn:Zn}=1:1:1$  的 In-Sn-Zn-O 靶材。另外，將成膜時的基板加熱溫度設定為  $200^\circ\text{C}$ 。藉由上述步驟製造的樣品為樣品 A。

接著，對以與樣品 A 相同的方法製造的樣品以  $650^\circ\text{C}$  的溫度進行加熱處理。首先，在氮氣圍下進行一個小時的加熱處理，然後不降低溫度地在氧氣圍下再進行一個小時

的加熱處理。藉由上述步驟製造的樣品為樣品 B。

圖 25 示出樣品 A 及樣品 B 的 XRD 光譜。在樣品 A 中沒有觀測到起因於結晶的峰值，但是在樣品 B 中當  $2\theta$  為 35deg 近旁及 37deg 至 38deg 時觀察到起因於結晶的峰值。

像這樣，藉由在形成以 In、Sn、Zn 為主要成分的氧化物半導體時意圖性地進行加熱及/或在成膜後進行加熱處理，可以提高電晶體特性。

該基板加熱或熱處理起到不使膜中含有對於氧化物半導體來說是惡性雜質的氫或羥基或者從膜中去除該雜質的作用。換言之，藉由去除在氧化物半導體中成為施體雜質的氫來可以實現高純度化，由此可以實現電晶體的常截止化，並且藉由氧化物半導體被高純度化來可以使截止電流為  $1\text{aA}/\mu\text{m}$  以下。在此，上述截止電流值的每單位示出每通道寬度  $1\mu\text{m}$  的電流值。

圖 26 示出電晶體的截止電流與測量時的基板溫度（絕對溫度）的倒數的關係。在此，為了方便起見，橫軸表示測量時的基板溫度的倒數乘以 1000 而得到的數值（ $1000/T$ ）。

明確而言，如圖 26 所示那樣，當基板溫度為  $125^\circ\text{C}$ （ $398.15\text{K}$ ）時可以將截止電流設定為  $1\text{aA}/\mu\text{m}$ （ $1\times 10^{-18}\text{A}/\mu\text{m}$ ）以下，當基板溫度為  $85^\circ\text{C}$ （ $358.15\text{K}$ ）時設定為  $100\text{zA}/\mu\text{m}$ （ $1\times 10^{-19}\text{A}/\mu\text{m}$ ）以下，當基板溫度為室溫（ $27^\circ\text{C}$ ， $300.15\text{K}$ ）時設定為  $1\text{zA}/\mu\text{m}$ （ $1\times 10^{-21}\text{A}/\mu\text{m}$ ）以下。較

佳地，當基板溫度為  $125^{\circ}\text{C}$  時可以將其設定為  $0.1\text{aA}/\mu\text{m}$  ( $1 \times 10^{-19}\text{A}/\mu\text{m}$ ) 以下，當  $85^{\circ}\text{C}$  時設定為  $10\text{zA}/\mu\text{m}$  ( $1 \times 10^{-20}\text{A}/\mu\text{m}$ ) 以下，當室溫時設定為  $0.1\text{zA}/\mu\text{m}$  ( $1 \times 10^{-22}\text{A}/\mu\text{m}$ ) 以下。

當然，為了防止當形成氧化物半導體膜時氫或水分混入到膜中，較佳充分抑制來自沉積室外部的洩漏或來自沉積室內壁的脫氣來實現濺射氣體的高純度化。例如，為了防止水分被包含在膜中，作為濺射氣體較佳使用其露點為  $-70^{\circ}\text{C}$  以下的氣體。另外，較佳使用靶材本身不含有氫或水分等雜質的被高純度化的靶材。以 In、Sn、Zn 為主要成分的氧化物半導體可以藉由熱處理去除膜中的水分，但是與以 In、Ga、Zn 為主要成分的氧化物半導體相比水分的釋放溫度高，所以較佳形成原本就不含有水分的膜。

另外，在使用形成氧化物半導體膜之後進行  $650^{\circ}\text{C}$  的加熱處理的樣品 B 的電晶體中，對基板溫度與電特性的關係進行評價。

用於測量的電晶體的通道長度  $L$  為  $3\mu\text{m}$ ，通道寬度  $W$  為  $10\mu\text{m}$ ， $L_{ov}$  為  $0\mu\text{m}$ ， $dW$  為  $0\mu\text{m}$ 。另外，將  $V_d$  設定為  $10\text{V}$ 。此外，在基板溫度為  $-40^{\circ}\text{C}$ ， $-25^{\circ}\text{C}$ ， $25^{\circ}\text{C}$ ， $75^{\circ}\text{C}$ ， $125^{\circ}\text{C}$  及  $150^{\circ}\text{C}$  下進行測量。在此，在電晶體中，將閘極電極與一對電極重疊的寬度稱為  $L_{ov}$ ，並且將從氧化物半導體膜超出的一對電極稱為  $dW$ 。

圖 23 示出  $I_d$  (實線) 及場效應遷移率 (虛線) 的  $V_g$  依賴性。另外，圖 24A 示出基板溫度與臨界值電壓的關係。

係，而圖 24B 示出基板溫度與場效應遷移率的關係。

根據圖 24A 可知基板溫度越高臨界值電壓越低。另外，作為其範圍，在  $-40^{\circ}\text{C}$  至  $150^{\circ}\text{C}$  的基板溫度下臨界值電壓為  $1.09\text{V}$  至  $-0.23\text{V}$ 。

此外，根據圖 24B 可知基板溫度越高場效應遷移率越低。另外，作為其範圍，在  $-40^{\circ}\text{C}$  至  $150^{\circ}\text{C}$  的基板溫度下，場效應遷移率為  $36\text{cm}^2/\text{Vs}$  至  $32\text{cm}^2/\text{Vs}$ 。由此，可知在上述溫度範圍內電特性變動較小。

在將上述那樣的以 In、Sn、Zn 為主要成分的氧化物半導體用於通道形成區的電晶體中，可以在將截止電流保持為  $1\text{aA}/\mu\text{m}$  以下的狀態下，將場效應遷移率設定為  $30\text{cm}^2/\text{Vsec}$  以上，較佳設定為  $40\text{cm}^2/\text{Vsec}$  以上，更佳設定為  $60\text{cm}^2/\text{Vsec}$  以上，而滿足 LSI 所要求的導通電流值。例如，在  $L/W=33\text{nm}/40\text{nm}$  的 FET 中，當閘電壓為  $2.7\text{V}$ ，汲電壓為  $1.0\text{V}$  時，可以流過  $12\mu\text{A}$  以上的導通電流。另外，在電晶體的工作所需要的溫度範圍內也可以確保足夠的電特性。當具有這種特性時，即使在使用 Si 半導體製造的積體電路中混裝有使用氧化物半導體形成的電晶體，也可以實現具有新的功能的積體電路而不用犧牲工作速度。

#### 實施例 1

在本實施例中，參照圖 27A 和圖 27B 等對將 In-Sn-Zn-O 膜用於氧化物半導體膜的電晶體的一個例子進行說

明。

圖 27A 和圖 27B 是共面型的頂閘頂接觸結構的電晶體的俯視圖以及剖面圖。圖 27A 示出電晶體的俯視圖。另外，圖 27B 示出對應於圖 27A 的鏈式線 A-B 的剖面 A-B。

圖 27B 所示的電晶體包括：基板 1100；設置在基板 1100 上的基底絕緣膜 1102；設置在基底絕緣膜 1102 附近的保護絕緣膜 1104；設置在基底絕緣膜 1102 及保護絕緣膜 1104 上的具有高電阻區 1106a 及低電阻區 1106b 的氧化物半導體膜 1106；設置在氧化物半導體膜 1106 上的閘極絕緣層 1108；以隔著閘極絕緣層 1108 與氧化物半導體膜 1106 重疊的方式設置的閘極電極 1110；與閘極電極 1110 的側面接觸地設置的側壁絕緣膜 1112；至少與低電阻區 1106b 接觸地設置的一對電極 1114；以至少覆蓋氧化物半導體膜 1106、閘極電極 1110 及一對電極 1114 的方式設置的層間絕緣層 1116；以及以藉由設置在層間絕緣層 1116 中的開口部至少與一對電極 1114 中的一方連接的方式設置的佈線 1118。

另外，雖然未圖示，但是還可以包括覆蓋層間絕緣層 1116 及佈線 1118 地設置的保護膜。藉由設置該保護膜，可以降低因層間絕緣層 1116 的表面傳導而產生的微小洩漏電流，而可以降低電晶體的截止電流。

## 實施例 2



在本實施例中，示出與上述不同的將 In-Sn-Zn-O 膜用於氧化物半導體膜的電晶體的另一個例子。

圖 28A 和圖 28B 是示出在本實施例中製造的電晶體的結構的俯視圖以及剖面圖。圖 28A 是電晶體的俯視圖。另外，圖 28B 是對應於圖 28A 的鏈式線 A-B 的剖面圖。

圖 28B 所示的電晶體包括：基板 600；設置在基板 600 上的基底絕緣膜 602；設置在基底絕緣膜 602 上的氧化物半導體膜 606；與氧化物半導體膜 606 接觸的一對電極 614；設置在氧化物半導體膜 606 及一對電極 614 上的閘極絕緣層 608；以隔著閘極絕緣層 608 與氧化物半導體膜 606 重疊的方式設置的閘極電極 610；覆蓋閘極絕緣層 608 及閘極電極 610 地設置的層間絕緣膜 616；藉由設置在層間絕緣膜 616 中的開口部與一對電極 614 連接的佈線 618；以及以覆蓋層間絕緣膜 616 及佈線 618 的方式設置的保護膜 620。

作為基板 600 使用玻璃基板，作為基底絕緣膜 602 使用氧化矽膜，作為氧化物半導體膜 606 使用 In-Sn-Zn-O 膜，作為一對電極 614 使用鎢膜，作為閘極絕緣層 608 使用氧化矽膜，作為閘極電極 610 使用氮化鉭膜和鎢膜的疊層結構，作為層間絕緣膜 616 使用氧氮化矽膜和聚醯亞胺膜的疊層結構，作為佈線 618 使用按順序層疊有鈦膜、鋁膜、鈦膜的疊層結構，作為保護膜 620 使用聚醯亞胺膜。

另外，在具有圖 28A 所示的結構的電晶體中，將閘極電極 610 與一對電極 614 重疊的寬度稱為  $L_{ov}$ 。同樣地，

將從氧化物半導體膜 606 超出的一對電極 614 稱為 dW。

【符號說明】

120：半導體層

122：絕緣層

122a：閘極絕緣層

124：掩罩

126：雜質區域

128a：閘極電極

128b：導電層

130：雜質區域

132：雜質區域

134：通道形成區

136：絕緣層

138：絕緣層

140：絕緣層

142a：源極電極

142b：汲極電極

144：氧化物半導體層

146：閘極絕緣層

148a：閘極電極

148b：導電層

150：絕緣層

154：佈線

- 156 : 絕緣層
- 160 : 電晶體
- 162 : 電晶體
- 164 : 電容元件
- 170 : 儲存單元
- 180 : 升壓電路
- 182 : 驅動電路
- 184 : 驅動電路
- 186 : 驅動電路
- 190 : 驅動電路
- 192 : 驅動電路
- 194 : 源極線轉換電路
- 500 : 半導體基板
- 510 : 單晶半導體基板
- 512 : 氧化膜
- 514 : 脆化區域
- 516 : 單晶半導體層
- 518 : 單晶半導體層
- 701 : 外殼
- 702 : 外殼
- 703 : 顯示部
- 704 : 鍵盤
- 711 : 主體
- 712 : 觸屏筆

- 713：顯示部
- 714：操作按鈕
- 715：外部介面
- 720：電子書閱讀器
- 721：外殼
- 723：外殼
- 725：顯示部
- 727：顯示部
- 731：電源
- 733：操作鍵
- 735：揚聲器
- 737：軸部
- 740：外殼
- 741：外殼
- 742：顯示面板
- 743：揚聲器
- 744：麥克風
- 745：操作鍵
- 746：指向裝置
- 747：影像拍攝用透鏡
- 748：外部連接端子
- 749：太陽能電池
- 750：外部儲存槽
- 761：主體

- 763 : 取景器
- 764 : 操作開關
- 765 : 顯示部
- 766 : 電池
- 767 : 顯示部
- 770 : 電視裝置
- 771 : 外殼
- 773 : 顯示部
- 775 : 支架
- 780 : 遙控操作機

I647818

## 發明摘要

※申請案號：106116701（由105121104分割）

※申請日：100年08月04日      ※IPC分類：

【發明名稱】(中文/英文)

半導體裝置及其驅動方法

Semiconductor device and driving method thereof

【中文】

提供一種具有非揮發性儲存單元的半導體裝置，該非揮發性儲存單元包括使用氧化物半導體的寫入用電晶體、使用與該寫入用電晶體不同的半導體材料的讀出用電晶體以及電容元件。藉由使寫入用電晶體成為導通狀態，將電位供應到寫入用電晶體的源極電極（或汲極電極）、電容元件的一方電極、讀出用電晶體的閘極電極彼此電連接的節點，然後，藉由使寫入用電晶體成為截止狀態，使節點保持預定量的電荷，以對儲存單元寫入資訊。另外，作為讀出用電晶體使用 p 通道型電晶體，而將讀出電位設定為正的電位。

## 【 英文 】

A semiconductor device including a nonvolatile memory cell in which a writing transistor which includes an oxide semiconductor, a reading transistor which includes a semiconductor material different from that of the writing transistor, and a capacitor are included is provided. Data is written to the memory cell by turning on the writing transistor and applying a potential to a node where a source electrode (or a drain electrode) of the writing transistor, one electrode of the capacitor, and a gate electrode of the reading transistor are electrically connected, and then turning off the writing transistor, so that the predetermined amount of charge is held in the node. Further, when a p-channel transistor is used as the reading transistor, a reading potential is a positive potential.

【代表圖】

【本案指定代表圖】：第(2A)圖。

【本代表圖之符號簡單說明】：

SLC：源極線轉換信號線

170：儲存單元

164：電容元件

194：源極線轉換電路

SL：源極線

162：電晶體

160：電晶體

OS：電晶體

FG：節點

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無



制信號線 BCC 與升壓電路 180 連接。升壓電路控制信號線 BCC 是傳送從第四驅動電路 184 內的控制器輸出的升壓電路的控制信號的佈線，其個數根據電路結構而成為 0 個至多個。另外，第四驅動電路 184 藉由頁緩衝器控制信號線 PBC 與第三驅動電路 190 連接。頁緩衝器控制信號線 PBC 是傳送從第四驅動電路 184 內的控制器輸出的頁緩衝器的控制信號的佈線，其個數根據電路結構而成為 0 個至多個。另外，第四驅動電路 184 藉由行驅動器控制信號線 RDRVC 與第二驅動電路 192 連接。另外，第四驅動電路 184 藉由源極線轉換信號線 SLC 與源極線轉換電路 194 連接。

源極線轉換電路 194 是根據來自第四驅動電路 184 內的控制器的源極線轉換信號而轉換源極線 SL 的電位的電路。源極線轉換電路 194 只要具有轉換源極線 SL 的電位的功能即可，也可以使用多工器、反相等。源極線轉換信號線 SLC 是傳送從第四驅動電路 184 內的控制器輸出的轉換源極線 SL 的電位的信號的佈線，其個數根據電路結構而成為一個至多個。

第五驅動電路 186 包含輸入輸出控制電路。輸入輸出控制電路是如下電路：將來自資料輸入及輸出信號線 DIO 的輸入信號輸出到內部資料輸入輸出信號線 INTDIO，或者將來自內部資料輸入輸出信號線 INTDIO 的信號輸出到資料輸入及輸出信號線 DIO。資料輸入及輸出信號線 DIO 端子是被輸入來自外部的資料或者將儲存資料輸出到外部

的端子，其個數根據電路結構而成為一個至多個。內部資料輸入及輸出信號線 INTDIO 是如下信號線：將輸入輸出控制電路的輸出信號輸入到頁緩衝器，或者，將頁緩衝器的輸出信號輸入到輸入輸出控制電路，其個數根據電路結構而成為一個至多個。另外，資料輸入及輸出信號線 DIO 也可以分成資料輸入用信號線和資料輸出用信號線。

在圖 3 所示的半導體裝置中，資料的寫入、保持及讀出基本上與圖 1A-1、1A-2 和圖 1B 及圖 2A 和 2B 的情況相同。圖 4 示出根據圖 3 的半導體裝置的寫入及讀出工作的時序圖的一個例子。明確地說，說明如下工作的一個例子：將頁緩衝器的鎖存資料寫入到儲存單元陣列的工作；以及將寫入到儲存單元陣列的資料讀出而使頁緩衝器進行資料鎖存的工作。時序圖中的 CEB、WEB 等的名稱表示被施加時序圖所示的電位的佈線，並且當有多個具有同樣的功能的佈線時，藉由對佈線的名稱的末尾附上 1、m、n 等來進行區別。另外，所公開的發明不侷限於以下所示的排列。另外，在本實施方式所示的電路結構中，CEB、WEB 以及 REB 被輸入 Low（低）電位而成為活動狀態，但是，也可以使用被輸入 High（高）電位而成為活動狀態的電路。

圖 4 所示的時序圖示出如下情況下的各佈線的電位關係：具有  $m \times n$  個儲存單元；將資料“1”寫入到第 1 行 1 列的儲存單元；將資料“0”寫入到第 1 行 n 列的儲存單元；將資料“0”寫入到第 m 行 1 列的儲存單元；將資料“1”寫入

## 申請專利範圍

1. 一種半導體裝置，包括：

線；以及

儲存單元，該儲存單元包括第一電晶體、第二電晶體以及電容元件，

其中，該第一電晶體為 p 通道型電晶體，並包括第一閘極電極、第一源極電極、第一汲極電極以及第一通道形成區，

其中，第一絕緣層覆蓋該第一電晶體，

其中，該第一絕緣層在該第一通道形成區之上，

其中，該第二電晶體包括第二閘極電極、第二源極電極、第二汲極電極以及該第一絕緣層上的第二通道形成區，

其中，第二絕緣層在該第二閘極電極之上，

其中，該第二絕緣層包括鋁和氧，

其中，該第一閘極電極、該第二源極電極和該第二汲極電極中的一方以及該電容元件的一方電極彼此電連接而構成保持電荷的節點，

其中，該線直接連接至該第一源極電極和該第一汲極電極中的一方以及該第二源極電極和該第二汲極電極中的另一方，

其中，該第一通道形成區包括矽，以及

其中，該第二通道形成區包括氧化物半導體。

2. 一種半導體裝置，包括：

線；以及

儲存單元，該儲存單元包括第一電晶體、第二電晶體以及電容元件，

其中，該第一電晶體為 p 通道型電晶體，並包括第一閘極電極、第一源極電極、第一汲極電極以及第一通道形成區，

其中，第一絕緣層覆蓋該第一電晶體，

其中，該第一絕緣層在該第一通道形成區之上，

其中，該第二電晶體包括第二閘極電極、第二源極電極、第二汲極電極以及該第一絕緣層上的第二通道形成區，

其中，第二絕緣層在該第二閘極電極之上，

其中，該第二絕緣層包括鋁和氧，

其中，該第一閘極電極、該第二源極電極和該第二汲極電極中的一方以及該電容元件的一方電極彼此電連接而構成保持電荷的節點，

其中，該線直接連接至該第一源極電極和該第一汲極電極中的一方以及該第二源極電極和該第二汲極電極中的另一方，

其中，該第一通道形成區包括矽，

其中，該第二通道形成區包括氧化物半導體，以及

其中，該第二電晶體在室溫下的每微米通道寬度的截止電流為 100zA 以下。

3. 一種半導體裝置，包括：

線；以及

儲存單元，該儲存單元包括第一電晶體、第二電晶體以及電容元件，

其中，該第一電晶體為 p 通道型電晶體，並包括第一閘極電極、第一源極電極、第一汲極電極以及第一通道形成區，

其中，第一絕緣層覆蓋該第一電晶體，

其中，該第一絕緣層在該第一通道形成區之上，

其中，該第二電晶體包括第二閘極電極、第二源極電極、第二汲極電極以及該第一絕緣層上的第二通道形成區，

其中，第二絕緣層在該第二閘極電極之上，

其中，該第一閘極電極、該第二源極電極和該第二汲極電極中的一方以及該電容元件的一方電極彼此電連接而構成保持電荷的節點，

其中，該線直接連接至該第一源極電極和該第一汲極電極中的一方以及該第二源極電極和該第二汲極電極中的另一方，

其中，該第一通道形成區包括矽，以及

其中，該第二通道形成區包括氧化物半導體。

4. 根據申請專利範圍第 1 至 3 項中任一項之半導體裝置，其中該第二電晶體設置為與該第一電晶體的至少一部分重疊。

5. 根據申請專利範圍第 1 至 3 項中任一項之半導體

裝置，其中該第二電晶體使用 n 通道型電晶體。

6. 根據申請專利範圍第 1 至 3 項中任一項之半導體裝置，其中該線為位元線。