

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3590340号
(P3590340)

(45) 発行日 平成16年11月17日(2004.11.17)

(24) 登録日 平成16年8月27日(2004.8.27)

(51) Int. Cl.⁷

F I

HO 1 L 25/04
HO 1 L 23/00
HO 1 L 23/02
HO 1 L 25/18

HO 1 L 25/04 Z
HO 1 L 23/00 C
HO 1 L 23/02 J

請求項の数 10 (全 10 頁)

(21) 出願番号	特願2000-284630 (P2000-284630)	(73) 特許権者	596092698
(22) 出願日	平成12年9月20日 (2000.9.20)		ルーセント テクノロジーズ インコーポ
(65) 公開番号	特開2001-135775 (P2001-135775A)		レーテッド
(43) 公開日	平成13年5月18日 (2001.5.18)		アメリカ合衆国, 07974-0636
審査請求日	平成13年12月28日 (2001.12.28)		ニュージャージー, マレイ ヒル, マウン
(31) 優先権主張番号	09/401690		テン アヴェニュー 600
(32) 優先日	平成11年9月22日 (1999.9.22)	(74) 代理人	100064447
(33) 優先権主張国	米国 (US)		弁理士 岡部 正夫
		(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100106703
			弁理士 産形 和央
		(74) 代理人	100096943
			弁理士 白井 伸一

最終頁に続く

(54) 【発明の名称】 集積回路マルチチップモジュールパッケージ

(57) 【特許請求の範囲】

【請求項1】

(a) 上部表面と、底部表面と、前記上部表面と底部表面との間のエッジと、前記上部表面に形成され側壁表面と底部表面とを有するキャビティと、前記キャビティを包囲するEMI (金属電磁干渉) 第1金属層と、その上部部分に少なくとも1つのPCB相互接続部位のアレイとを有するプリント回路基板(PCB)と、

(b) マルチチップモジュールであって、
前記マルチチップモジュールは、

(i) 上部側と、底部側と、前記上部側と底部側との間の周辺エッジとを具備し、ICチップへの接続用に前記底部側にIS相互接続用部位の第1のアレイを有し、前記上部側と前記周辺エッジとをカバーするEMI第2金属層とを有する相互接続用基板(IS)と、

(ii) 前記相互接続用基板の底部側に、前記PCB相互接続部位のアレイと接続できるように配置されたIS相互接続部位の第2のアレイと、

(iii) ICチップ相互接続部位のアレイをその上に具備する少なくとも1つのICチップと、

を有し、

前記ICチップは、前記相互接続基板(IS)の底部側にフリップチップ接合され、ここで前記ICチップ相互接続部位のアレイは、前記IS相互接続部位の第1のアレイに接合され、

前記ICチップは、前記キャビティ内にのび、

前記マルチチップモジュールは、前記 E M I 第 1 金属層と前記 E M I 第 2 金属層との間にスペースが残されながら、前記 P C B の相互接続部位の第 2 のアレイに接続された前記 I S 相互接続部位の第 2 のアレイで、前記プリント回路基板 (P C B) に接続されているマルチチップモジュールと、

(c) 前記相互接続用基板 (I S) の周囲にのび、前記プリント回路基板 (P C B) 上の、相互接続用基板のエッジに取り付けられ、かつ前記プリント回路基板に取り付けられるはんだ壁であって、

前記はんだ壁が、前記 E M I 第 1 金属層と前記 E M I 第 2 金属層との間のスペースを完全に包囲するはんだ壁とを有する集積回路マルチチップモジュールパッケージ。

【請求項 2】

前記プリント回路基板 (P C B) は、少なくとも 2 つの基板レベルと、それらの間に導電層を具備するマルチレベルプリント回路基板である

ことを特徴とする請求項 1 記載の集積回路マルチチップモジュールパッケージ。

【請求項 3】

前記 E M I 第 1 金属層は、前記エッジの上で前記はんだ壁からのび、前記マルチレベルプリント回路基板の導電層に接触し、

前記導電層は、前記 E M I 第 1 金属層の一部を含む

ことを特徴とする請求項 2 記載の集積回路マルチチップモジュールパッケージ。

【請求項 4】

前記 E M I 第 1 金属層は、前記キャビティの側壁上を、前記はんだ壁からのびて、前記マ

ルチレベルプリント回路基板の導電層に接触し、

前記導電層は、前記 E M I 第 1 金属層の一部を含む

ことを特徴とする請求項 2 記載の集積回路マルチチップモジュールパッケージ。

【請求項 5】

(a) 少なくとも 1 つの S P C B 相互接続部位を有するシステムプリント回路基板 (S P C B) と、

(b) 上部表面と、底部表面と、前記上部表面に形成されたキャビティと、前記キャビティを包囲する E M I 第 1 金属層と、上部側に少なくとも一つの第 1 の I P C B 相互接続部位と、底部側に少なくとも一つの第 2 の I P C B 相互接続部位とを有し、前記 S P C B 相互接続部位に接続された前記第 1 の I P C B 相互接続部位で、前記システムプリント回路

基板 (S P C B) に接続される中間プリント回路基板 (I P C B) と、

(c) マルチチップモジュール (M C M) であって、

前記マルチチップモジュールは、

(i) 上部側と、底部側と、前記上部側と底部側との間の周辺エッジとを具備し、 I C チップへの接続用に前記底部側に I S 相互接続用部位の第 1 のアレイを有し、前記上部側と前記周辺エッジとをカバーする E M I 第 2 金属層とを有する相互接続用基板 (I S) と、

(i i) 相互接続用基板の底部側に、前記第 2 の I P C B 相互接続部位のアレイと接続できるように配置された I S 相互接続部位の第 2 のアレイと、

(i i i) その上に I C チップ相互接続部位のアレイを具備する少なくとも一つの I C チップであって、

前記 I C チップは、前記相互接続基板 (I S) の底部側にフリップチップ接合され、前記 I C チップの相互接続部位のアレイは、前記 I S 相互接続部位の第 1 のアレイに接合され

、前記 I C チップは、前記キャビティ内にのびている I C チップとを有し、

前記マルチチップモジュールは、前記 E M I 第 1 金属層と前記 E M I 第 2 金属層との間にスペースが残されながら、前記第 2 の I P C B 相互接続部位のアレイに接続された前記相互接続用部位の第 2 のアレイで、前記 I P C B に接続されているマルチチップモジュールと、

(d) 前記相互接続用基板の周囲にのび、前記プリント回路基板 (P C B) 上の、相互接続用基板のエッジに取り付けられ、かつ前記プリント回路基板に取り付けられるはんだ壁

10

20

30

40

50

であって、

前記はんだ壁が、前記 E M I 第 1 金属層と前記 E M I 第 2 金属層との間のスペースを完全に包囲するはんだ壁とを有する

集積回路マルチチップモジュールパッケージパッケージ。

【請求項 6】

前記プリント回路基板 (P C B) は、少なくとも 2 つの基板レベルと、それらの間に導電層を具備するマルチレベルのプリント回路基板である

ことを特徴とする請求項 5 記載の集積回路マルチチップモジュールパッケージ。

【請求項 7】

前記 E M I 第 1 金属層は、前記エッジの上で前記はんだ壁からのび、前記マルチレベルプリント回路基板の導電層に接触し、

前記導電層は、E M I 第 1 金属層の一部を含む

ことを特徴とする請求項 6 記載の集積回路マルチチップモジュールパッケージ。

【請求項 8】

前記 E M I 第 1 金属層は、前記キャビティの側壁上を、前記はんだ壁からのびて、前記マルチレベルプリント回路基板の導電層に接触し、

前記導電層は、前記 E M I 第 1 金属層の一部を含む

ことを特徴とする請求項 6 記載の集積回路マルチチップモジュールパッケージ。

【請求項 9】

前記 I C チップは、前記 I S にワイヤボンド接合されていることを特徴とする請求項 5 記載の集積回路マルチチップモジュールパッケージ。

【請求項 10】

I S 相互接続部位の第 2 のアレイは、前記第 2 の I P C B 相互接続部位のアレイに、第 1 はんだ材料で接合され、

前記はんだ壁は、第 2 はんだ材料で形成され、

前記第 2 はんだ材料の固相温度は、前記第 1 はんだ材料の液相温度よりも 20 以上高いことを特徴とする請求項 5 記載の集積回路マルチチップモジュールパッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、集積回路デバイスに関し、特に、電磁干渉 (e l e c t r o m a g n e t i c i n t e r f e r e n c e : E M I) 特性を改善したフリップチップ I C パッケージに関する。

【0002】

【従来の技術】

様々な集積回路パッケージが半導体デバイスを実装するのに用いられている。デュアルインラインパッケージ (D u a l i n - l i n e p a c k a g e s : D I P) と、ピングリッドアレイ (p i n g r i d a r r a y s : P G A) と、表面搭載パッケージが何年にもわたって、幅広く用いられてきた。最近のパッケージは、フリップチップアプローチと改善された相互接続用基板を用いている。凹状チップのマルチチップモジュール (m u l t i c h i p m o d u l e : M C M) パッケージが、パッケージのプロファイル (高さ) を低減するために、製造され始めている。

【0003】

一般的に、最新のパッケージデザインは、良好な E M I 特性を有するが、それは主に P G A 内の相互接続の長さが短いことおよびはんだバンプされたパッケージを用いることに起因しており、コンパクトな相互接続構造が、最新のマルチチップモジュールにより可能となっている。しかし、動作周波数は依然として上昇しており、そのためこれらのパッケージデザインでさえも E M I 問題を有することになる。無線通信のアプリケーションにおける動作周波数は、数ギガから数十ギガビットの範囲である。特殊な計算機器もまたこの速度で動作する。これらの高周波のアプリケーションにおいては、P G A が比較的短く、か

10

20

30

40

50

つはんだバンプされたパッケージでさえも浮遊電磁放射の影響を受ける。

【0004】

ICパッケージ内のEMIの問題に対処するために、EMIシールドがパッケージデザインに、しばしば組み込まれている。ワイヤグリッドの形態による、いわゆるファラデーケージ(Faraday cage)が、ICチップの周囲に構築されて、浮遊電磁界から相互接続部分をシールドしている。金属製のカンも、ICチップとリードをカプセル化するために用いられる。これらのカンは、通常、金属(通常、銅、またはアルミ)を打ち抜くことにより形成されている。従って、これらのカンは、ICパッケージに対し、コスト、大きさ、重量を増加させることになる。これらのカンのサイズと重量(孔開け)を低減する努力が行われている。これにより、カンは軽くなるが、コストが減少することはない。さらにまた、EMIシールドの効率も下がることになる。

10

【0005】

【発明が解決しようとする課題】

EMIは、EMI源の近傍に配置された回路素子の適正な動作に悪影響を及ぼす。従ってEMIの感受性を低減させることが必要である。

【0006】

【課題を解決するための手段】

本発明は、EMIの感受性を低減するために、従来のパッケージの欠点を回避した集積回路パッケージを提案する。本発明によれば、凹状のフリップチップパッケージに、パッケージ内に組み込んだ内部のEMIシールドを具備させる。このフリップチップMCMのタイルは、基板の外部表面周囲で金属化される(金属層が施される)。MCMタイルが押し込まれたプリント回路基板は、本明細書では、MCMプリント回路基板と称し、MCMタイルの周辺形状に対応したはんだ壁を具備し、そしてMCMタイルとMCMプリント回路基板は、ICチップを完全に包囲するはんだ壁により接合される。MCMプリント回路基板上のはんだ壁は、接地板に接続され、この接地板がICデバイスが組み込まれたキャビティを包囲する。かくしてMCMキャビティは、浮遊EMIから完全に切り離される。

20

【0007】

【発明の実施の形態】

本発明の一実施例においては、EMI金属化シールドが、凹状態のフリップチップMCMパッケージ内に組み込まれている。凹状チップのMCMパッケージは、ICデバイスの相互接続技術に受け入れ可能であるが、それは、相互接続用基板の有効活用と、全体的に低いパッケージの形状と、相互接続の長さが短くなっているからである。様々な凹状チップパッケージの例が、米国特許第5608262号に開示されている。

30

【0008】

凹状のチップパッケージは、3つの構成要素、すなわち第1レベルの構成要素として規定する主ICチップと、第2レベルの構成要素として規定するICチップ、または受動型の相互接続基板のいずれかであるMCMの相互接続基板(IS)と、第3レベルの構成要素として示すMCMプリント回路基板(PCB)を有することにより特徴づけられる。これらの構成要素は、面積が順に大きくなり、第2レベルの構成要素は、1つあるいは複数の主ICチップを支持でき、第3レベルの構成要素は、1つあるいは複数の第2レベルの構成要素を収納できる。これらの3つの構成要素のパッケージにおいては、第1レベルの構成要素は第2レベルの構成要素に通常フリップチップボンディングされており、第2レベルの構成要素は、第3レベルの構成要素上にフリップチップ搭載されて、第1レベルの構成要素は、この第3レベルの構成要素内に形成されたキャビティ内に押し込まれている。

40

【0009】

この基本的なコンセプトを用いた様々な変形例が可能である。例えば、凹状チップのMCMパッケージの第3レベルを指定したプリント回路基板は、中間の相互接続用プリント回路基板として機能し、第4の基板レベル、例えばシステムのプリント回路基板に取り付け可能であり、そして第2レベルの構成要素が、第4レベルの構成要素内のキャビティ内に入れられる。上記した構造のすべては、本発明のEMIシールドを実行するのに特に適し

50

たものである。

【0010】

図1において、集積回路(IC)デバイス11、12、13がマルチチップモジュール(MCM)基板14にフリップチップボンディングされている。これらのICデバイスは、パッケージされていなくてもよく、通常マイクロバンプ15でもってMCM基板14にはんだバンプ接続されている。MCM基板14は、エポキシ製のプリント回路基板(PCB)、セラミック製あるいはシリコン製の相互接続基板である。マルチチップモジュール(MCM)基板14は、別の相互接続用基板16にフリップチップ搭載されている。この相互接続用基板16は通常、キャピティ17を具備するエポキシ製のプリント回路基板で、凹状のマルチチップモジュール(MCM)基板14の上(中)に集積回路デバイス11、12、13を収納する。ここに示した実施例においては、相互接続用基板16は、2つのレベルを有するマルチレベル基板である。MCMタイル(すなわちICチップ11、12、13と基板14)は、はんだバンプ、あるいはボール(はんだ相互接続構造18で示されている)により相互接続用基板16に接続される。図示するように、はんだ相互接続構造18は、信号あるいはパワーの接続用である。他の接続、例えばアンテナ、あるいは標準のI/O接続は、同図には示されていないが従来方法により形成することもできる。

10

【0011】

本発明によれば、EMIシールドは、フリップチップパッケージ内に組み込まれている。このパッケージの上側にはEMIシールド用金属化層21(図2)を具備し、このEMIシールド用金属化層21は、MCMタイルの通常露出した表面全体すなわち上部と側面を覆っている。マルチチップモジュール(MCM)基板14がシリコン製の相互接続用基板の場合には、基板の裏面は、基板接地プレーン金属化層により、EMIシールドと結合されている。EMIシールド用金属化層21は、必要によっては厚くすることができるが、従来の厚い金属製のカンとは異なり、この集積されたEMIシールドは非常に薄く、例えば4 μ m以下、好ましくは2 μ m以下である。同図に示すようにEMIシールド用金属化層21は、連続的に基板の側壁に沿ってのびる。EMIシールド用金属化層21は、蒸着あるいは他の適宜の方法で形成され、例えばNi、Al、Cuのような導電性金属製である。マルチチップモジュール(MCM)基板14を、相互接続用基板16にフリップチップ取り付けを行う前に、EMIシールド用金属化層21を形成するのが好ましい。別法として、パッケージのこの部分を組み立て後、金属化することも可能である。

20

30

【0012】

MCMタイルを、相互接続用基板16にリフローで取り付ける前に、プリント回路基板をはんだ壁25を具備させる。このはんだ壁25は、MCMタイルの周囲全体にわたってのび、従来のはんだバンプの形成により形成され、例えば、相互接続用基板16にはんだペーストをスクリーニング塗布することにより形成される。はんだ壁25は、EMIシールド用金属化層27の上に形成され、このEMIシールド用金属化層27は、はんだ壁25の下までのびる。EMIシールド用金属化層27は、相互接続用基板16の上にのびる部分27'と、相互接続用基板16の下にのびる部分27''を有し、相互接続用基板16の上を連続的に覆い、キャピティ全体を包囲する。EMIシールド用金属化層27の部分27''は、相互接続用基板16の標準のレベル間金属であり、部分27'もまた、標準

40

【0013】

図1のマルチチップモジュール(MCM)基板14と相互接続用基板16との間のIC接地接続は、はんだ壁25と、部分27'と部分27''を含むEMIシールド用金属化層27と、金属化エッジ31とはんだバンプ/ボール32を介して行われる。相互接続用基板16は、システム用プリント回路基板33にはんだバンプ/ボール32で取り付けられている。このはんだバンプ/ボール32は、ランナ34を介してシステムレベルの相互接続部に接続されている。ICデバイスの接地は、相互接続用基板16上のEMIシールド金属化層の一部を共有している。様々な他の構成も当業者には考え得る。

【0014】

50

EMIシールド金属化層の底にあるEMIシールド金属化層の部分、図1には、マルチレベルのプリント回路基板と、隣接するキャビティ17の2つのレベルの間の相互接続レベル上に示している。別の配置例として、EMIシールド金属化層をその下のレベルに形成される。例えば、キャビティ17がトップのレベルに形成される3つのレベルのプリント回路基板においては、EMIシールド金属化層は、上部レベルと中間レベルとの間、あるいは中間レベルと下部レベルとの間に形成することもできる。EMIシールド金属化層は、プリント回路基板の底部表面に沿って配置することも可能である。これらの3つの場合のいずれも重要な特徴点は、EMIシールドは、MCMパッケージの凹部部分を完全に包囲するレベル間PCB金属層、あるいは金属化コーティング層である。

【0015】

10

ある場合においては、1つあるいは複数のICチップ相互接続部をEMIシールド金属化層を介してルーティングすることが望ましい。例えば、パワーリード線やアンテナリード線をMCM基板の上部表面に具備し、マルチチップモジュール(MCM)基板14を介し集積回路デバイス11-13にまでのびるようにする。このような場合、EMIシールド金属化層の一部は、相互接続部により貫通され、そこから電氣的に絶縁される。従って、EMIシールド金属化層は、MCM基板を「実質的に」包囲することになる。EMIシールドを介して、I/Oアクセスに関連する領域は、EMIシールドの領域の10%以下である。

【0016】

本発明のパッケージを組み立てる好ましい技術は、相互接続用基板16上にはんだ壁25を具備し、はんだ相互接続構造18をはんだ壁25を同一のリフロー動作でリフローさせることである。他の方法は、はんだ壁25に、より高い融点のはんだを用い、最初のリフロー動作でデバイスの相互接続を付けることである。このパッケージをこの時点でテストし、EMIシールドの金属化は、2回目のリフロー操作ではんだ壁をリフローすることにより完了させる。

20

【0017】

本明細書に記載したはんだバンプ、あるいははんだボールは、ボールの配置およびはんだペーストの印刷のような適宜の技術を用いて形成することができる。このアプリケーション用の通常のはんだバンプの厚さは、5-30ミル(0.72mm)である。本明細書に記載したプロセスに有効に用いることのできるIC相互接続用はんだの組成の例を、次の表に示す。

30

(表1)

組成	Sn	Pb	Bi	固相温度℃	液相温度℃
I	63	37		183	183
II	42		58	138	138
III	43	43	14	143	163

【0018】

40

はんだ壁用の高い融点を有するはんだの組成は、次のとおりである。

(表2)

組成	Sn	Pb	Ag	Sb	固相温度℃	液相温度℃
I	95			5	235	240
II	96.5		3.5		221	221
III	10	90			275	302

【0019】

50

IC相互接続用はんだの液相温度は、はんだ壁用の高融点のはんだの固相温度よりも低くなければならない。接合用はんだの固相温度と、充填用はんだの液相温度の差は、少なくとも20 好ましくは40 が好ましい。表1から分かることは、共通の接合はんだは、液相温度が190 以下である。表2の高融点組成は固相温度が220 以上である。一般的に本発明の目的においては、高融点のはんだは、200 以上の固相温度を有する。

【0020】

E M Iシールド金属化層の別の構成例を図2に示す。同図においては、E M Iシールド金属化層は、キャビティ17の内壁に沿ってE M Iシールド用金属化層41で示すようにのびて、図1の構成と同様、E M Iキャビティシールド金属化層の部分27'と接続する。同図においては、システムレベルのプリント回路基板は、明瞭にするために除いてある。

【0021】

本発明のE M Iシールド構成は、小型かつ効率的であるために、E M I感受性のあるアプリケーションあるいは環境においては、通常用いられることのないデバイスを用いることができる。例えば、ワイヤボンディングされたICデバイスは、通常、頑強でかつコストも安い。しかし、ワイヤボンディングされたリード線は、長く、特にE M Iに影響を受けやすい。図3に示すように、本発明のE M Iシールドと共に使用する場合には、E M Iの問題は多くのアプリケーションで解決できる。図3は、相互接続用基板62に取り付けられたワイヤボンディングされた基板61が、相互接続用基板64にフリップチップで組み立てられている。このワイヤボンディングされた基板61は、相互接続用基板62に、ワイヤボンディング63で接続されている。E M Iシールド金属化層は、図1と同様で、E M Iシールド用金属化層21とはんだ壁25とE M Iシールド用金属化層27、27'、27''を含む。

【0022】

M C Mタイルは、集積回路デバイス11、12、13を含むものとして示されている。さらに、受動型素子あるいは他の素子を、M C Mタイルに取り付け、集積回路デバイス11、12、13を具備するのと同様に、キャビティ内に取り付けることができる。

【0023】

前述したように、M C Mタイルの好ましい基板はシリコン製で、E M Iシールド用金属化層21はこの場合、Alの組合せで、はんだ壁25に接続するために、Cr - Cu - Crでコーティングされた、主接地面層としてのAlの組合せである。Cr - Cu - Cr層は、M C M基板を、プリント回路基板にフリップチップバンプで接合する際に用いられるアンダーバンプ金属化層と同一である。はんだを、M C Mはんだバンプ接触用パッドのレイに、局部的あるいは選択的に取り付けることを容易にするために、およびはんだ壁をM C Mの側面に接着するために、パッドの表面とM C Mの側面は、はんだ濡れ性を有しなければならない。M C M基板用の標準の接地プレーンはアルミ製で、アルミは、はんだに対し好ましい材料ではないことは公知である。従って、産業界の慣行として、はんだをするべきアルミの一部に、金属コーティングを施して、はんだをそのコーティングにリフローさせることである。このコーティングはアンダーバンプ金属化(under bump metallization: U B M)と称する。

【0024】

U B M技術で用いられる金属は、アルミに対し十分接着しなければならず、通常のはんだ組成により濡れ性を有しかつ導電性が高くなければならない。これらの要件に合致する構造体は、クロムと銅の合成物である。クロムを最初に堆積してアルミに接着させ、その後銅をクロムの上に形成してはんだ濡れ性のある表面を提供する。クロムは、有機物無機物を問わず様々な種類の材料によく接着することは公知である。従って、SiO₂、S I N C A P S、ポリイミド、あるいはICプロセスに通常使用される誘電体材料、および銅、アルミのような金属によく接着する。しかし、はんだ合金は、銅を分解してクロムから濡れ性を奪ってしまう。そのため、クロムの上に直接形成された銅製の薄い層が、分解して溶融状態のはんだとなり、このはんだが再びクロム層から濡れ性を奪う。はんだとU B M

10

20

30

40

50

との間の界面の完全性を維持するために、クロムと銅の合成層、あるいは合金層が、クロム層と銅層との間に通常用いられる。

【 0 0 2 5 】

前述した層は、通常スパッタリングで形成されるが、それらを堆積する様々なオプションが存在する。層は、合金のターゲットからスパッタリングで形成される。クロムのターゲットを用いてスパッタリングし、その後銅のターゲットに変えることができる。あるいは、別々のクロムのターゲットと銅のターゲットを用いてスパッタリングし、これら2つのターゲットの間を遷移させることもできる。後者の方法は、組成が傾斜した層を形成でき、好ましい技術である。

【 0 0 2 6 】

構造体のプリント回路基板上の E M I 金属化層は、通常銅製で、リフロー、あるいは他の方法で直接はんだづけられる。

【 図面の簡単な説明 】

【 図 1 】 本発明の E M I シールドを具備した、凹状チップ M C M の断面図。

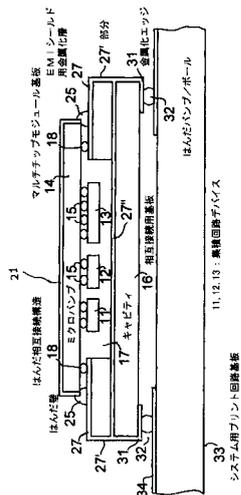
【 図 2 】 本発明の他の実施例の E M I シールドを示す、図 1 に類似した M C M の断面図。

【 図 3 】 本発明によりシールドされた、ワイヤ接続されたフリップチップ I C デバイスを表す、図 1、2 に類似した M C M の断面図。

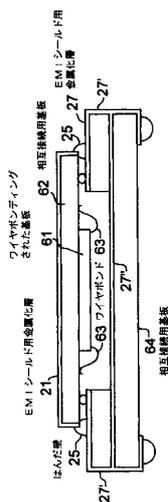
【 符号の説明 】

- | | | |
|-------------|--------------------------|----|
| 1 1、1 2、1 3 | 集積回路デバイス | |
| 1 4 | マルチチップモジュール (M C M) 基板 | 20 |
| 1 5 | マイクロバンプ | |
| 1 6 | 相互接続用基板 | |
| 1 7 | キャビティ | |
| 1 8 | はんだ相互接続構造 | |
| 2 1、2 7 | E M I シールド用金属化層 | |
| 2 5 | はんだ壁 | |
| 2 7 ' 部分 | | |
| 3 1 | 金属化エッジ | |
| 3 2 | はんだバンプ / ボール | |
| 3 3 | システム用プリント回路基板 | 30 |
| 3 4 | ランナ | |
| 4 1 | E M I シールド用金属化層 | |
| 6 1 | ワイヤボンディングされた基板 | |
| 6 2、6 4 | 相互接続用基板 | |
| 6 3 | ワイヤボンダ | |

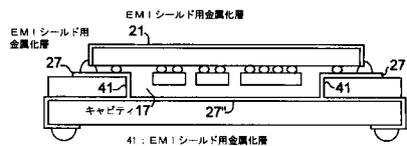
【 図 1 】



【 図 3 】



【 図 2 】



フロントページの続き

- (74)代理人 100091889
弁理士 藤野 育男
- (74)代理人 100101498
弁理士 越智 隆夫
- (74)代理人 100096688
弁理士 本宮 照久
- (74)代理人 100102808
弁理士 高梨 憲通
- (74)代理人 100104352
弁理士 朝日 伸光
- (74)代理人 100107401
弁理士 高橋 誠一郎
- (74)代理人 100106183
弁理士 吉澤 弘司
- (74)代理人 100081053
弁理士 三俣 弘文
- (72)発明者 トーマス ディー . ダダラー
アメリカ合衆国、07928 ニュージャージー、チャットハム、スクール アベニュー 30
- (72)発明者 ディーン ポール コシベス
アメリカ合衆国、08826 ニュージャージー、グレン ガードナー、グレン アベニュー 18
- (72)発明者 イー レン ロウ
アメリカ合衆国、07922 ニュージャージー、パークレー ハイツ、パークレー スクウェア 11

審査官 今井 拓也

- (56)参考文献 特開平09-064580(JP,A)
特開平11-087549(JP,A)
特開平08-250890(JP,A)
特開平08-321567(JP,A)
特開平06-097303(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 25/04
H01L 25/18
H01L 23/00
H01L 23/02
H01L 23/12