



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0150940
(43) 공개일자 2022년11월11일

(51) 국제특허분류(Int. Cl.)
H01L 23/00 (2006.01) H01L 23/495 (2006.01)
H01L 25/065 (2006.01)
(52) CPC특허분류
H01L 24/45 (2013.01)
H01L 23/4952 (2013.01)
(21) 출원번호 10-2022-7034568
(22) 출원일자(국제) 2022년05월19일
심사청구일자 2022년10월05일
(85) 번역문제출일자 2022년10월05일
(86) 국제출원번호 PCT/JP2020/019809
(87) 국제공개번호 WO 2021/205674
국제공개일자 2021년10월14일
(30) 우선권주장
JP-P-2020-071352 2020년04월10일 일본(JP)

(71) 출원인
타나카 덴시 코오교오 카부시카이가이사
일본 사가켄 간자키군 요시노가리초 요시다
2303-15
(72) 발명자
안토쿠 유키
일본국 사가켄 간자키군 요시노가리초 요시다
2303-15 타나카 덴시 코오교오 카부시카이가이사 내
가와노 쇼타
일본국 사가켄 간자키군 요시노가리초 요시다
2303-15 타나카 덴시 코오교오 카부시카이가이사 내
(뒷면에 계속)
(74) 대리인
문두현, 정의환, 황현아

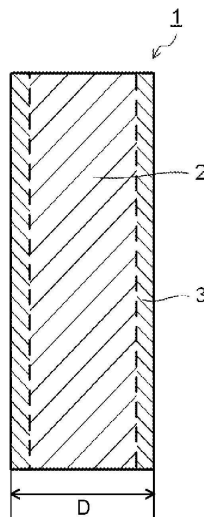
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 금피복 본딩 와이어와 그 제조 방법, 반도체 와이어 접합 구조, 및 반도체 장치

(57) 요약

메모리 등의 반도체 장치의 칩 박형화, 다단 적층화의 니즈를 고려하여, 금을 주성분으로 한 본딩 와이어를 대신 하는, 금과 동등한 특성을 갖고, 재료 비용이 들지 않는 다단 적층 칩 전극 사이를 직접 웨지 본딩하는 방법(CW B)에 적용할 수 있는 금피복 본딩 와이어를 제공한다. 본 발명의 금피복 본딩 와이어(1)는, 은 또는 구리를 주 성분으로서 포함하는 심재(2)와, 심재(2)의 표면에 마련되고, 금을 주성분으로서 포함하는 피복층(3)을 갖는다. 금피복층의 막두께를 5nm 이상 200nm 이하로 하고, 와이어 선 직경에 대해 60% 변형시켰을 때의 압축 응력을 290MPa 이상 590MPa 이하로 제어함으로써 과제가 달성된다.

대표도 - 도1



(52) CPC특허분류

H01L 24/43 (2013.01)

H01L 24/47 (2013.01)

H01L 25/0652 (2013.01)

H01L 25/0655 (2013.01)

H01L 25/0657 (2013.01)

H01L 2224/45139 (2013.01)

H01L 2224/45147 (2013.01)

H01L 2224/45644 (2013.01)

H01L 2224/4847 (2013.01)

(72) 발명자

사키타 유스케

일본국 사가켄 간자키군 요시노가리초 요시다
2303-15 타나카 덴시 코오교오 카부시키키가이샤 내

히라이 유카

일본국 사가켄 간자키군 요시노가리초 요시다
2303-15 타나카 덴시 코오교오 카부시키키가이샤 내

명세서

청구범위

청구항 1

은 또는 구리를 주성분으로서 포함하는 심재와,

상기 심재의 표면에 마련되고, 금을 주성분으로서 포함하는 피복층을 갖는 금피복 본딩 와이어로서,

상기 금피복 본딩 와이어는, 피복층의 막두께가 5nm 이상 200nm 이하이고, 또한 선 직경에 대해 60% 변형시켰을 때의 압축 응력이 290MPa 이상 590MPa 이하인, 금피복 본딩 와이어.

청구항 2

제1항에 있어서,

상기 심재의 단면(斷面)에 있어서의 비커스 경도(Hv)가 40 이상 80 이하인, 금피복 본딩 와이어.

청구항 3

제1항 또는 제2항에 있어서,

상기 심재는 97질량% 이상의 은을 포함하는 은 합금으로 이루어지고, 또한 상기 와이어의 전체량에 대해, 1질량ppm 이상 3질량% 이하의 범위에서 구리, 칼슘, 인, 금, 팔라듐, 백금, 니켈, 로듐, 인듐, 및 철로 이루어지는 군에서 선택되는 적어도 하나의 금속을 포함하는, 금피복 본딩 와이어.

청구항 4

제1항 또는 제2항에 있어서,

상기 심재는 98질량% 이상의 구리를 포함하는 구리 합금으로 이루어지고, 또한 상기 와이어의 전체량에 대해, 인, 금, 팔라듐, 백금, 니켈, 은, 로듐, 인듐, 갈륨, 및 철로 이루어지는 군에서 선택되는 적어도 하나의 금속을 1질량ppm 이상 2질량% 이하의 범위에서 포함하는, 금피복 본딩 와이어.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 금피복 본딩 와이어의 선 직경이 13 μ m 이상 35 μ m 이하인, 금피복 본딩 와이어.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 심재와 상기 피복층 사이에 마련된 중간 금속층을 더 갖고, 상기 중간 금속층은 팔라듐, 백금, 및 니켈로 이루어지는 군에서 선택되는 하나의 금속을 주성분으로 하는, 금피복 본딩 와이어.

청구항 7

제6항에 있어서,

상기 중간 금속층은 60nm 이하의 두께를 갖는, 금피복 본딩 와이어.

청구항 8

제1항 내지 제7항 중 어느 한 항에 있어서,

반도체 메모리용인, 금피복 본딩 와이어.

청구항 9

은 또는 구리를 주성분으로서 포함하는 심재와,

상기 심재의 표면에 마련되고, 금을 주성분으로서 포함하는 피복층을 갖는 금피복 본딩 와이어의 제조 방법으로서,

상기 금피복 본딩 와이어의 막두께를 5nm 이상 200nm 이하로 하고, 또한 압축 응력을 290MPa 이상 590MPa 이하로 하는, 금피복 본딩 와이어의 제조 방법.

청구항 10

은 또는 구리를 주성분으로서 포함하는 심재와 금을 주성분으로 하는 피복층을 갖는 금피복 본딩 와이어와, 반도체 칩의 전극과, 상기 와이어와 상기 전극이 접합된 웨지 접합부를 갖는 반도체 와이어 접합 구조로서,

상기 금피복 본딩 와이어는, 피복층의 막두께가 5nm 이상 200nm 이하이고, 또한 와이어 선 직경에 대해 60% 변형시켰을 때의 압축 응력이 290MPa 이상 590MPa 이하인, 반도체 와이어 접합 구조.

청구항 11

제10항에 있어서,

2개 이상의 상기 반도체 칩과, 상기 2개의 반도체 칩의 전극과 상기 와이어가 순서대로 접속된 2개 이상의 상기 웨지 접합부를 갖는, 반도체 와이어 접합 구조.

청구항 12

제9항 또는 제10항에 있어서,

반도체 메모리용인, 반도체 와이어 접합 구조.

청구항 13

적어도 하나의 제1 전극을 갖는 하나 또는 복수의 반도체 칩과,

적어도 하나의 제2 전극을 갖는 리드 프레임 및 회로 기판에서 선택되는 회로 기재와,

상기 반도체 칩의 제1 전극과 상기 회로 기재의 제2 전극 사이, 및 상기 복수의 반도체 칩의 제1 전극 사이에서 선택되는 적어도 하나를 전기적으로 접속하는 금피복 본딩 와이어와,

상기 제1 전극 또는 상기 제2 전극과 상기 금피복 본딩 와이어가 접합된 웨지 접합부를 구비하는 반도체 장치로서,

상기 금피복 본딩 와이어는, 은 또는 구리를 주성분으로서 포함하는 심재와, 상기 심재의 표면에 마련되고, 막두께가 5nm 이상 200nm 이하이고, 금을 주성분으로서 포함하는 피복층을 갖고,

상기 금피복 본딩 와이어의 와이어 선 직경에 대해 60% 변형시켰을 때의 압축 응력이 290MPa 이상 590MPa 이하인, 반도체 장치.

청구항 14

제13항에 있어서,

적어도 하나의 상기 제1 전극을 각각 갖는 복수의 상기 반도체 칩을 구비하고,

상기 복수의 반도체 칩은 상기 제1 전극이 노출되도록 적층되어 있고,

상기 금피복 본딩 와이어로 상기 복수의 반도체 칩의 상기 제1 전극을 순서대로 접속하는 2개 이상의 상기 웨지 접합부를 갖는, 반도체 장치.

청구항 15

제13항 또는 제14항에 있어서,

반도체 메모리용인, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은, 금피복 본딩 와이어와 그 제조 방법, 반도체 와이어 접합 구조, 및 반도체 장치에 관한 것이다.

배경 기술

[0002] 반도체 장치는 콘덴서나 다이오드 등의 반도체 소자를 일괄하여 도입한 IC나 LSI 등의 집적회로가 시장 규모로서 대부분을 차지하고 있다. 집적회로에는 실리콘 단결정 등으로 이루어지는 「반도체 칩」이 도입되어 있다. 반도체 칩은 복잡한 기능을 수행하는 전자 회로의 소자를 다수 포함하고 있고, 매우 진동이나 충격에 약한 델리ケート한 전자 부품이다. 또한, 반도체 칩 표면에는 복수의 전극(칩 전극 또는 패드라고 함)이 있고, 주로 반도체 칩을 지지 고정하고 외부 배선과의 접속을 담당하는 리드 프레임이나 회로 기판 등의 회로 기재의 전극부와 칩 전극의 전극 사이를 본딩 와이어에 의해 접합, 배선한다.

[0003] 본딩 와이어는, 예를 들면 볼 접합이라 하는 방식에 의해 칩 전극에 본딩 와이어의 일단을 접합(제1 접합)하고, 웨지 접합(또는 스티치 접합)이라 하는 방식에 의해 본딩 와이어의 타단을 리드 프레임 등의 회로 기재의 외부 전극에 접합(제2 접합)하는 것이 일반적이다. 볼 접합에 있어서는, 본딩 와이어의 일단을 방전 등에 의해 용융시켜, 표면 장력 등에 의해 구(球) 형상으로 응고시켜서 볼을 형성한다. 응고한 볼은 프리 에어 볼(Free Air Ball : FAB)이라 하고, 초음파 병용 열압착 본딩법 등에 의해 칩 전극에 접속된다. 웨지 접합에 있어서는, 초음파와 하중을 본딩 툴(캐필러리)에 의해 와이어에 인가해서 전극에 접합한다.

[0004] 본딩 와이어는, 선 직경이 15~35 μ m 정도의 금 와이어, 은 와이어, 구리 와이어 등의 금속 와이어, 또한 이들에 다른 금속을 피복한 피복 와이어 등이 사용되고 있다. 반도체 장치는, 와이어 본딩에 의해 접속된 반도체 칩 및 회로 기재를 수지 봉지함에 의해 구성된다.

[0005] 그런데, 컴퓨터, 스마트폰, 디지털 카메라, 휴대 음악 플레이어 등에는 기억 장치(메모리)가 내장되어 있지만, 메모리는 하드디스크로 대표되는 기계적으로 읽고쓰기를 하는 것과, 플래시 메모리 등의 반도체 메모리로 나뉜다. 반도체 메모리는 반도체 장치의 일종이고, 반도체 칩 중에 셀이라 하는 데이터를 기억하는 전자 부품이 도입되어 있다. 반도체 메모리는 용량당 비용이 높고, 외부기억에는 이전은 사용되는 경우가 적었지만, 근래는 저비용화된 것과, 기계적인 하드디스크는 진동으로 파괴된다는 약점에서, 반도체 메모리의 수요가 확대되고 있다.

[0006] 또한, 음악이나 동영상의 대용량 데이터의 보존이나 포터블 음악 플레이어 등의 휴대 기기의 소형화, 박형화에 의 니즈가 강하기 때문에, 반도체 메모리의 대용량화 및 소형화への 요구가 강해지고 있다. 예를 들면 NAND 플래시 메모리는 디지털 카메라의 화상 보존용에 채용되고, USB 메모리(Universal Serial Bus)는, 스마트폰, 휴대 오디오 플레이어 등에 채용되어 왔다. 서기 2000년경에 메모리 용량이 1G바이트 이하였던 것이, 2010년경에는 100G바이트 이상의 니즈에 대응하고, 근래에는 가일층의 대용량이 계속 요구되고 있다.

[0007] 한편, 휴대 기기의 소형화에 의해 반도체 메모리의 소형화への 요구도 강해지고 있고, 당연하지만 반도체 메모리 칩도 박형화가 요구된다. 서기 2000년경에는 두께 150 μ m 정도의 칩으로 충분했지만, 이후 칩의 박형화가 급격하게 진행되고, 2010년경에는 두께 30 μ m 정도의 칩이 채용되게 되었다. 근래에 있어서는, 불과 20 μ m(0.020mm)의 두께의 칩의 개발도 진행되고 있다. 당연하지만 칩의 박형화는, 원래 매우 델리ケート하고 신중하게 취급하지 않으면 파괴되어 버리는 전자 부품이, 더욱더 깨지기 쉬워지고, 보다 신중하게 다루지 않으면 안 되게 되었음은 물론이다.

[0008] 이들 대용량화와 소형화라는, 상반되는 요구에 응하기 위해 반도체 메모리 메이커 각사는 메모리 칩의 박형화, 다단 적층 패키징화에 몰두해 왔다. 1매의 메모리 칩의 기억 용량에도 한계가 있고, 1매당 약 4~8G바이트 정도의 기억 용량이라는 사양으로 되어 있기 때문에, 예를 들면 128G바이트의 기억 용량의 요구에 대해 적어도 16매의 칩이 필요해진다. 반도체 장치를 복수 개 도입하면 메모리 제품 자체가 커져 버리기 때문에, 하나의 반도체 장치 중에 얇은 칩을 쌓아 올리는 것이 대용량화와 소형화라는 양쪽의 니즈에 응답할 수 있는 수단으로 된다. 쌓아 올리는 방법에는, 후술하는 도 11이나 도 12와 같은 일 방향의 계단 형상으로 칩을 쌓아 올리는 방식과, 도 13과 같은 V자를 횡으로 한 바와 같이 적층할 경우 등이 있다.

[0009] 상기한 반도체 메모리의 분야에 있어서는, 이들 쌓아 올려진 델리ケート하고 깨지기 쉬운 칩 표면의 전극과, 리드 프레임이나 회로 기판의 전극 사이를 본딩 와이어로 접합, 배선하지 않으면 안 된다는 사명이 있다. 여기에서

는, 지금까지 행해지고 있었던 본딩 방법을 설명한다. 예를 들면, 도 9와 같은 회로 기판과 그 위의 3매의 칩이 4단으로 적층되어 있는 반도체 장치의 경우, 우선, 각 칩의 전극 상에 범프라고 하는 돌기 전극을 형성하고, 다음으로 회로 기판의 전극 상에 본딩 와이어를 붙 본딩한 후, 루핑 동작을 행하여 칩 전극 상에 형성한 범프 표면에 본딩 와이어를 웨지 접합한다. 이러한 본딩 방법은 BSOB(BALL STITCH ON BALL) 방식, 혹은 역(逆) 본딩이라 하고 있다. 이것은 텔리컷하고 깨지기 쉬운 칩 전극에 대해, 범프를 형성함에 의해 칩 파괴를 막는다는 완충재와 같은 효과를 얻는 것을 목적으로 하고 있다. 이 BSOB를 칩 전극과 회로 기판을 접속하기 위해 각각 3회 반복한다. 통상적으로는 칩 전극 상에 범프를 형성하지 않고, 칩 전극에 직접 붙 본딩을 행하고, 루핑 동작을 행한 후, 본딩 와이어를 회로 기판의 전극에 웨지 본딩하는 순서이다. 이러한 본딩 방법은 정(正) 본딩 방식이라 하고 있다. 일반적으로는 정 본딩 방식으로 칩 전극과 회로 기판을 접속하지만, 근래의 반도체 패키지의 박형화에 수반해서, 루프 높이를 낮게 제어할 필요가 있기 때문에, 적층된 칩 상에의 본딩 방식은 역 본딩 방식이 채용되고 있다. 붙 본딩은 FAB 형성 후, 볼부와 와이어부 사이의 내부 부근에서는 와이어 특성상, 와이어가 직상(直上)하고, 급각도로 구부리는 것은 곤란하기 때문에, 정 본딩 방식으로 상단에 있는 칩 전극에 붙 본딩하면, 더 높은 위치까지가 필요 공간으로 되어, 반도체 메모리의 박형화에 큰 마이너스로 되어 버린다. 그러므로, 낮은 위치에 있는 회로 기판의 전극으로부터 상단의 칩 전극에 역 본딩을 하는 큰 이유의 하나이다. 또한, 역 본딩 방식에 적합한 본딩 와이어의 조건으로서, 텔리컷한 칩 전극을 파괴하지 않는 연함과 범프 상에 웨지 접합하기 위해, 범프 표면 및 와이어 표면이 높은 내식성·내산화성을 갖는 것을 들 수 있다. 따라서, 연하고 또한 산화하지 않는 금(Au)을 주성분으로 하는 금(Au) 본딩 와이어 및 금(Au) 범프가 사용되고 있다.

[0010] 그러나, 상기 본딩 방법에서는 칩 전극과 회로 기판의 거리가 길어지고, 또한 칩 전극과 회로 기판을 1개의 와이어로 접속하고 있기 때문에, 칩 전극과 회로 기판을 왕래하는 공수(工數)가 필요로 되어 생산성이 저하한다. 또한, 루프 길이가 길어지기 때문에, 루핑 후의 와이어의 직진성의 제어 등의 문제가 발생한다. 그래서, 도 10에 나타내는 바와 같은 칩 전극 사이를 와이어로 접속한 후에 칩 전극과 회로 기판의 전극을 접속하는 방법(캐스캐이드 본딩 방식)이 도입되었다. 캐스캐이드 본딩 방식에 대해 설명한다. 회로 기판과 3매의 칩이 4단으로 적층되어 있는 반도체 장치의 경우, 칩 상단으로부터 접속해 간다(최하단의 회로 기판을 1단계, 최상단의 칩을 4단계로 함). 우선, 3단계의 칩 전극 상에 범프를 형성하고, 4단계의 칩 전극에 붙 본딩을 행하고, 루핑 동작을 한 후, 3단계의 칩 전극 상에 형성한 범프에 본딩 와이어를 웨지 본딩한다. 이로써 3단계와 4단계의 칩 전극이 접속된다. 다음으로, 2단계의 칩 전극 상에 범프를 형성하고, 3단계의 칩 전극 상에 있는 웨지 본딩이 실시된 범프에 붙 본딩을 행한다. 루핑 동작을 한 후, 2단계의 칩 전극 상에 형성한 범프 상에 웨지 본딩을 행한다. 이로써 2단계, 3단계, 4단계의 칩 전극이 접속된다. 마지막으로, 2단계의 칩 전극 상에 형성된 웨지 접합부를 수반하는 범프 상에, 붙 본딩을 행하고, 루핑 동작을 거쳐, 1단계의 회로 기판으로 본딩 와이어를 웨지 본딩한다. 이 결과, 최상단의 칩 전극으로부터 최하단의 회로 기판의 전극까지 직렬로 배선된 상태로 된다. 이 방식의 경우에도, 본딩 와이어에 요구되는 특성은 역 본딩 방식과 마찬가지로, 유연성과 내산화성이 요구되기 때문에, 금(Au) 본딩 와이어 및 금(Au) 범프가 사용되고 있다.

[0011] 이들 방법에서 반도체 장치의 대용량화 또한 소형화의 요구는 만족되었지만, 이번에는, 이들 방법이라면 (1) 범프의 형성, (2) 붙 본딩, (3) 웨지 본딩, (4) 와이어의 끊어냄이라는 4 공정의 사이클을 칩의 매수분 하지 않으면 안 되기 때문에, 근래 가일층의 대용량화에 수반하는 칩의 16단, 32단과 같은 초다단화에 대해, 64 공정, 128 공정과 공수가 지나치게 많아져 생산성이 떨어지고, 제조 비용이 매우 든다는 과제가 생기고 있다. 그래서, 본딩 장치 메이커가 중심이 되어 개량한 본딩 방법으로서, 캐필러리 웨지 본딩(CWB: Capillary Wedge Bonding)이라는 다단 연속 접합 방식이 제안되어 있다. CWB란, 종래의 붙 본딩이 아니라, 최상단의 칩 전극에 웨지 본딩한 후, 루핑하여 다음 단의 칩 전극에 웨지 본딩하고, 끊어냄 없이 1개의 동일한 와이어를 연속적으로 다음 단의 칩 전극에 접속해 가고, 최종적으로는 회로 기판의 전극에 접속한다는 방법이다. 이 방법이라면 상기한 범프의 형성이나 웨지 본딩 후의 와이어 끊어냄과 FAB 형성하고 나서의 붙 본딩을 생략할 수 있기 때문에, 공수를 대폭 줄일 수 있다. 구체적으로 말하면, 칩 1매에 대해 웨지 본딩만의 1 공정으로 되므로 종래의 공수가 4분의 1로 되고, 범프나 FAB를 형성하지 않고, 연속적으로 본딩할 수 있기 때문에, 본딩 시간을 현저히 단축할 수 있다. 또한, 범프나 FAB도 형성하지 않기 때문에 본딩 와이어의 사용량도 대폭 삭감할 수 있다. 이에 의해 생산성을 현저히 높이고, 제조 비용을 싸게 하는 것이 가능해진다(후술하는 도 6은 종래의 붙 본딩의 일례이고, 도 11 및 도 12는 CWB의 일례임).

[0012] 상기와 같이, 본딩 장치에서 CWB 방법을 사용함에 의해, 다단 적층 칩의 연속 본딩의 생산성을 대폭 향상할 수 있다. 이것은, 즉 하드면의 개선이고, 소프트면인 본딩 와이어는 여전히 칩 전극에 대미지를 주지 않는 금선을 사용하는 것이 전제로 된다. 상기와 같이 범프나 FAB를 형성하지 않아도 되었지만, 다단 적층 칩이 필수로 되면 본딩 와이어의 사용량도 대폭 증가하기 때문에, 생산성은 개선되었지만 고가인 금의 사용은 재료 비용을 울

려, 토탈 비용의 상승을 초래해 버린다는 새로운 과제가 생겼다.

[0013] 우리의 과제는 금을 주성분으로 한 본딩 와이어를 대신하는, 금과 동등한 특성을 갖고, 재료 비용이 들지 않는 CWB 방법에 적용할 수 있는 본딩 와이어를 개발하는 것에 있다. 다시 CWB 방법에 의한 다단 적층 칩 전극의 연속 접합에 필요한 와이어의 조건을 정리하면, (1) 웨지 접합성이 양호한 것(연속 접합성, 접합 강도가 있는 것), (2) 칩 전극에 대미지를 주지 않는 것, (3) 선 직경이 35 μ m 이하인 가는 와이어인 것, (4) 재료 비용이 고가가 아닌 것, (5) CWB에 한정되지 않지만, 비저항이 낮은 것 등등을 들 수 있다.

[0014] 예를 들면, 일본국 특개2007-012776호 공보(특허문헌 1)에는, 볼의 형성성이나 접합성을 개선함과 함께, 웨지 접합의 접합 강도를 높이는 것을 가능하게 한 본딩 와이어로서, 구리를 주성분으로 하는 심재와, 심재 상에 심재와 성분 또는 조성의 한쪽 또는 양쪽이 서로 다른 도전성 금속과 구리를 함유하는 외피층을 갖고, 외피층의 두께가 0.001~0.02 μ m(1~20nm)인 본딩 와이어가 기재되어 있다. 또한, 일본국 특개2007-1297호 공보(특허문헌 2)에는, 볼의 형성성이나 접합성을 개선함과 함께, 웨지 접합의 접합 강도를 높이는 것을 가능하게 한 본딩 와이어로서, 은, 금, 팔라듐, 백금, 알루미늄 중의 1종 이상을 주성분 원소로 하는 심재와, 당해 주성분 원소와는 다른 도전성 금속을 주성분으로 하는 외피층을 갖고, 외피층의 두께가 0.001~0.09 μ m(1~90nm)인 본딩 와이어가 기재되어 있다. 이들 본딩 와이어는, 모두 외피층의 두께, 심재와 외피층의 농도 구배의 영역 등의 두께, 농도 분포의 제어 등에 의해 웨지 접합성 등을 높이고 있는 것에 지나지 않고, 외피층을 갖는 본딩 와이어 자체의 특성에는 착안하고 있지 않으며, 그 제어도 행하고 있지 않다. 또한, 여기에서 말하는 웨지 접합의 대상 상대는 리드 프레임이나 회로 기판의 전극, 혹은, 칩 전극 상의 범프이고, 델리컷하고 깨지기 쉬운 박형의 칩 전극에 직접 웨지 접합하는 경우와는 기본적으로 다르다.

[0015] 또한, 국제공개 제2013/129253호 공보(특허문헌 3)에는, 파워 반도체 소자의 금속 전극(소자 전극)과 기판 등의 금속 전극(접속 전극)을 금속 와이어에 의해 쌍방 모두 웨지 접촉한 파워 반도체 장치로서, 금속 와이어가 직경 50 μ m 초과 2mm 이하의 Ag 또는 Ag 합금 와이어, 혹은 Ag 또는 Ag 합금 와이어의 표면에 3nm 두께 이상의 Pd, Au, Zn, Pt, Ni, Sn의 1종 이상 또는 이들의 합금 또는 이들 금속의 산화물 또는 질화물을 갖는 피복층을 갖는 와이어인 파워 반도체 장치가 기재되어 있다. 이 파워 반도체 장치에서는, 금속 와이어가 소자 전극과 접속 전극의 쌍방에 웨지 접합되어 있지만, 금속 와이어는 직경 50 μ m 초과 2mm 이하의 굵은선이고, 선 직경이 15~35 μ m 정도의 세선(細線)의 금속 와이어에 대해서는 고려되어 있지 않다. 또한, 이 파워 반도체 장치에 있어서는, 소자 전극의 표면을 덮는 전극 피복층의 구성 금속 및 두께의 선택 등에 의해 웨지 접합성을 높이고 있는 것에 지나지 않다. 또한, 비교적 큰 전력을 취급하는 파워 반도체의 전극은, 메모리 등의 델리컷하고 깨지기 쉬운 박형의 칩 전극과는 근본적으로 다르다.

선행기술문헌

특허문헌

- [0016] (특허문헌 0001) 일본국 특개2007-012776호 공보
- (특허문헌 0002) 일본국 특개2007-123597호 공보
- (특허문헌 0003) 국제공개 제2013/129253호 공보

발명의 내용

[0017] 상술한 바와 같이, 본 발명자 등의 과제는, 메모리 등의 반도체 장치의 칩 박형화, 다단 적층화의 니즈를 고려하여, 금을 주성분으로 한 본딩 와이어를 대신하는, 금과 동등한 특성을 갖고, 재료 비용이 들지 않는 다단 적층 칩의 전극 사이를 직접 웨지 본딩하는 방법(CWB)에 적용할 수 있는 본딩 와이어를 개발하는 것에 있다. 반복이 되지만, 그 와이어에 필요한 조건 과제로서, (1) 웨지 접합성이 양호한 것(연속 접합성, 접합 강도가 있는 것), (2) 칩 전극에 대미지를 주지 않는 것, (3) 선 직경이 35 μ m 이하인 가는 와이어인 것, (4) 재료 비용이 고가가 아닌 것, (5) CWB에 한정되지 않지만, 비저항이 낮은 것 등등을 들 수 있다.

[0018] 또한, 반도체 장치를 얇게 하기 위해 칩을 다단 적층화하면, 도 13과 같은 V자를 횡으로 한 바와 같은 방향에서, 칩 전극부의 하측이 스페이스가 되어, 칩의 하지(下地)(지지)가 없는 개소가 발생한다. 하지가 없는 경우, 캐필러리에 의한 초음파 인가가 효과가 없어지고, 칩에 주는 접합 에너지가 저하해 버려, 접합 강도가 약해져 버리는 것이 판명되었다. 다단이므로, 각각의 개소에 적합한 접합 에너지를 개별적으로 설정할 필요가 있

다. 접합 에너지란, 안정된 접합을 얻기 위해 조건 범위이고, 웨지 접합 조건이란 주로 하중, 초음파 인가, 가열 온도이다. 접합 개소 주변의 상황이 개개로 서로 다른 경우, 폭넓은 접합 에너지의 조건 범위가 요구된다.

- [0019] 본 발명자들은, 기존의 금을 주성분으로 하지 않는 본딩 와이어에서 시행착오를 반복했지만, 기존 본딩 와이어에서는 대응할 수 있는 접합 에너지의 범위가 좁기 때문에, 연속 웨지 본딩에 있어서, 저접합 에너지, 즉 주로 와이어의 찌부러짐량이 작은 저하중의 경우는, 접합 강도가 약하고, 다음 루핑 도중에 접합 계면에 와이어 박리(리프트)가 생겨 버리고, 반대로 고접합 에너지(와이어 찌부러짐량이 크고, 고하중)라면 칩 손상이 생기고, 와이어가 매우 얇게 변형되기 때문에, 다음 루핑 도중에, 접합부의 얇은 개소에서 와이어 끊어짐이 생겨 버리는 것이 판명되었다.
- [0020] 본 발명은, 반도체 메모리 등의 얇고 다단 적층된 칩 전극 사이를 연속적으로 양호하게 웨지 접합할 수 있고, 칩 전극에 대미지를 주지 않는, 접합 에너지 조건 범위가 넓고, 비저항이 낮은, 재료 비용이 들지 않는 본딩 와이어를 제공하는 것에 있다. 또한, 그 제조 방법 및 그 본딩 와이어를 사용한 반도체 와이어 접합 구조, 반도체 장치를 제공하는 것에 의해 과제를 해결한다.
- [0021] 본 발명자들이 상기 웨지 접합의 문제를 해결하기 위해, 본딩 와이어에 대해 예의 연구, 시행착오 끝에 도달한 결론으로서, 와이어의 압축 응력을 제어하는 것이 유효한 것을 알아내었다. 압축 응력이란, 와이어가 압축 방향의 힘을 받아 변형할 때의 단위면적당 강도(힘)의 값이고, 본 발명에서는 와이어 선 직경에 대해 60% 압축(변형)시켰을 때의 압축 응력이 290MPa 이상 590MPa 이하의 범위이면 과제를 해결할 수 있음을 알아내었다.
- [0022] 본 발명의 압축 응력 측정 방법의 상세에 대해서는, 후술하는 단락 <0052>~<0055>에서 상술하지만, 이하의 식으로부터 산출된다.
- [0023] 와이어의 압축 응력(MPa)=와이어 선 직경에 대해 60% 변형 시에 가해지는 힘(N)/(원주율×와이어 선 직경(mm)/2)×압자 직경(mm)
- [0024] 또한, 압축 응력은 압축 시험기에 있어서 자동 계산되는 값을 사용해도 된다. 압자 직경이란 압축 시험기에 대해 있는 압자의 직경을 말한다. 원주율은 3.14를 사용한다.
- [0025] 본 발명의 기본적인 사고 방식으로서, 상기 압축 응력의 범위에 들어가고, 비저항이 낮고, 저렴하다는 조건으로부터, Ag선 또는 Cu선을 베이스로, 이들 와이어의 표면에 연한 Au를 피복한다는 와이어 구조에 착안했다.
- [0026] 본 발명의 금피복 본딩 와이어는, 은 또는 구리를 주성분으로서 포함하는 심재와, 상기 심재의 표면에 마련되고, 금을 주성분으로서 포함하는 피복층을 갖는 금피복 본딩 와이어로서, 상기 금피복 본딩 와이어의 선 직경에 대해 60% 변형시켰을 때의 압축 응력이 290MPa 이상 590MPa 이하인 것을 특징으로 한다.
- [0027] 본 발명의 금피복 본딩 와이어의 제조 방법은, 은 또는 구리를 주성분으로서 포함하는 심재와, 상기 심재의 표면에 마련되고, 금을 주성분으로서 포함하는 피복층을 갖는 금피복 본딩 와이어의 제조 방법으로서, 상기 금피복 본딩 와이어의 선 직경에 대해 60% 변형시켰을 때의 압축 응력을 290MPa 이상 590MPa 이하로 하는 것을 특징으로 한다.
- [0028] 본 발명의 반도체 와이어 접합 구조는, 은 또는 구리를 주성분으로서 포함하는 심재와 금을 주성분으로 하는 피복층을 갖는 금피복 본딩 와이어와, 반도체 칩의 전극과, 상기 와이어와 상기 전극이 접합된 웨지 접합부를 갖는 반도체 와이어 접합 구조로서, 상기 금피복 본딩 와이어는, 피복층의 막두께가 5nm 이상 200nm 이하이고, 또한 와이어 선 직경에 대해 60% 변형시켰을 때의 압축 응력이 290MPa 이상 590MPa 이하인 것을 특징으로 한다.
- [0029] 본 발명의 반도체 장치는, 적어도 하나의 제1 전극을 갖는 하나 또는 복수의 반도체 칩과, 적어도 하나의 제2 전극을 갖는 리드 프레임 및 회로 기판에서 선택되는 회로 기재와, 상기 반도체 칩의 제1 전극과 상기 회로 기재의 제2 전극 사이, 및 상기 복수의 반도체 칩의 제1 전극 사이에서 선택되는 적어도 하나를 전기적으로 접속함과 함께, 상기 제1 전극과 상기 제2 전극, 또는 상기 복수의 제1 전극의 적어도 한쪽에 웨지 접합된 금피복 본딩 와이어를 구비하는 반도체 장치로서, 상기 금피복 본딩 와이어는, 은 또는 구리를 주성분으로서 포함하는 심재와, 상기 심재의 표면에 마련되고, 금을 주성분으로서 포함하는 피복층을 갖고, 상기 금피복 본딩 와이어의 압축 응력이 290MPa 이상 590MPa 이하인 것을 특징으로 한다.
- [0030] 본 발명의 금피복 본딩 와이어 및 그 제조 방법에 따르면, 그 압축 응력을 290MPa 이상 590MPa 이하로 함에 의해, 다단 적층 칩 전극과 같은 개개의 접합 개소에 의해 접합 에너지 조건이 서로 다른 연속 웨지 접합 시에 있어서도, 반도체 칩 전극 등에 손상을 주지 않고, 안정한 웨지 접합 강도를 얻는 것이 가능해진다. 또한, 본 발

명의 반도체 장치에 따르면, 그러한 금피복 본딩 와이어를 사용함에 의해, 토탈 비용을 억제한 저렴하고, 얇고, 기억 용량이 큰 반도체 메모리 등을 제공할 수 있다.

[0031] 본 발명은 상기 효과 이외에도, 당연하지만 통상의 반도체 칩 전극에의 불 본딩, 기관 회로나 리드 프레임 등에 의 웨지 본딩에 있어서도, 접합 안정성, 접합 신뢰성 등에 효과가 있다.

도면의 간단한 설명

- [0032] 도 1은 실시형태의 금피복 본딩 와이어를 나타내는 종단면도.
- 도 2는 실시형태의 금피복 본딩 와이어를 나타내는 횡단면도.
- 도 3은 실시형태의 금피복 본딩 와이어의 변형예를 나타내는 종단면도.
- 도 4는 실시형태의 금피복 본딩 와이어의 변형예를 나타내는 횡단면도.
- 도 5는 실시형태의 본딩 와이어의 압축 응력 시험에 있어서의 압흔 형상을 나타내는 도면.
- 도 6은 실시형태의 반도체 장치의 수지 봉지하기 전의 단계를 나타내는 단면도.
- 도 7은 실시형태의 반도체 장치의 수지 봉지한 단계를 나타내는 단면도.
- 도 8은 실시형태의 반도체 장치에 있어서의 반도체 칩의 전극에 접합된 금피복 본딩 와이어의 웨지 접합부를 나타내는 단면도.
- 도 9는 종래의 다단 적층된 반도체 칩의 와이어 접속 구조의 일례를 나타내는 도면.
- 도 10은 종래의 다단 적층된 반도체 칩의 와이어 접속 구조의 다른 예를 나타내는 도면.
- 도 11은 실시형태의 반도체 장치의 제1 변형예를 나타내는 단면도.
- 도 12는 실시형태의 반도체 장치의 제2 변형예를 나타내는 단면도.
- 도 13은 반도체 칩의 다단 적층 구조를 갖는 반도체 장치의 일례를 나타내는 단면도.

발명을 실시하기 위한 구체적인 내용

[0033] 이하, 본 발명의 실시형태의 금피복 본딩 와이어와 그 제조 방법, 반도체 와이어 접합 구조, 및 반도체 장치에 대해, 도면을 참조해서 설명한다. 각 실시형태에 있어서, 실질적으로 동일한 구성 부위에는 동일한 부호를 부여하고, 그 설명을 일부 생략할 경우가 있다. 도면은 모식적인 것이고, 두께와 평면 치수의 관계, 각부의 두께의 비율, 종 치수와 횡 치수의 비율 등은 현실의 것과는 다른 경우가 있다. 또한, 본 명세서에 있어서의 압축 응력(MPa)은, $1\text{kgf}/\text{mm}^2 = 9.8\text{MPa}$ 의 환산식에 의거하는 값을 사용한다.

[0034] (금피복 본딩 와이어 및 그 제조 방법)

[0035] 실시형태의 금피복 본딩 와이어(1)는, 도 1 및 도 2에 나타내는 바와 같이, 은(Ag) 또는 구리(Cu)를 주성분으로 하는 심재(2)와, 심재(2)의 표면에 마련되고, 금(Au)을 주성분으로서 포함하는 피복층(3)을 갖는다. 실시형태의 금피복 본딩 와이어(1)는, 도 3 및 도 4에 나타내는 바와 같이, 심재(2)와 피복층(3) 사이에 마련된 중간 금속층(4)을 더 갖고 있어도 된다. 중간 금속층(4)은, 팔라듐(Pd), 백금(Pt), 및 니켈(Ni)에서 선택되는 하나의 금속을 주성분으로 한다.

[0036] 실시형태의 금피복 본딩 와이어(1)는, 선 직경에 대해 60% 변형시켰을 때, 290MPa 이상 590MPa 이하의 압축 응력을 갖고 있다. 금피복 본딩 와이어(1)의 압축 응력은, 그것을 반도체 칩의 전극, 회로 기관이나 리드 프레임 등의 회로 기계의 전극에 웨지 접합할 때의 와이어의 변형량, 전극에의 접합성 등에 영향을 미친다. 이러한 점에 대해, 290MPa 이상 590MPa 이하의 압축 응력을 갖는 금피복 본딩 와이어(1)를 사용함에 의해, 웨지 접합 시에 반도체 칩 등에 손상을 주지 않고, 안정적인 웨지 접합성이나 웨지 접합 강도를 얻을 수 있다. 이에 의해, 특히 다단으로 적층된 반도체 칩의 전극 사이를 CWB에 의해 1개의 본딩 와이어로 개개의 접합 개소에 따라 조건이 서로 다른 접속 에너지로 연속 접속할 때에, 칩 손상을 생기게 하지 않고, 충분한 웨지 접합 강도를 얻는 것이 가능해진다.

[0037] 압축 응력의 범위를 정해진 임계적 의의에 대해 설명한다. 금피복 본딩 와이어(1)의 압축 응력이 290MPa 미만이면, 웨지 접합 시의 에너지, 구체적으로는 인가되는 초음파 및 하중에 의해 과도하게 변형되기 때문에, 전극

에 대한 와이어 접합부의 와이어 찌부러짐폭이 지나치게 커진다. 찌부러진 와이어의 일부가 전극의 외측으로 튀어나오면, 인접하는 와이어 접합부와 접촉하여 쇼트 불량에 생기기 쉬워진다. 또한, 와이어 접합부가 지나치게 찌부러져 접합하고 있는 와이어가 얇아져, 본딩 툴(캐필러리)로 루프를 형성할 때에 접합부의 와이어의 단선 등이 생기기 쉬워진다. 특히, 반도체 칩의 전극 사이를 CWB에 의해 1개의 본딩 와이어로 연속 접속할 때에, 와이어 접합부의 와이어 찌부러짐폭이나 와이어 두께가 불안정해지기 쉽다. 이번에는 반대로, 이러한 문제를 회피하기 위해 저접합 에너지로 웨지 접합을 행하면, 접합부의 와이어의 변형이 불충분해지고, 웨지 접합 강도가 약해져, 다음 루프 형성 중에 접합 계면에서 와이어 박리가 생기기 쉬워진다. 또한, 이러한 접합 강도를 평가하는 수단으로서 풀 테스트가 있고, 와이어 박리는 리프트라 불리고, 와이어와 전극의 접합 계면에서 박리가 일어날 가능성을 평가하는 바로미터로 된다. 금피복 본딩 와이어(1)의 압축 응력은 340MPa 이상인 것이 바람직하다.

[0038] 한편, 금피복 본딩 와이어(1)의 압축 응력이 590MPa를 초과하면, 웨지 접합을 고접합 에너지로 행해도, 와이어가 변형하기 어렵고, 와이어 접합부의 접합 면적이 저하해 버려, 접합 강도가 약해지고, 다음 루프 형성 중에 접합 계면에서 와이어 박리가 생기기 쉬워진다. 이것도 상기 풀 테스트에서는 리프트가 생긴다. 따라서, 금피복 본딩 와이어(1)의 압축 응력은 540MPa 이하인 것이 바람직하고, 또한 490MPa 이하인 것이 보다 바람직하다. 즉, 290MPa 이상 590MPa 이하의 압축 응력을 갖는 금피복 본딩 와이어(1)를 사용함에 의해, 넓은 웨지 접합 조건 하에서 안정된 웨지 접합이 가능해진다.

[0039] 금피복 본딩 와이어(1)의 압축 응력에 관해서는, 후에 상술하는 바와 같이, 심재(2)를 구성하는 금속 재료(은계 재료 또는 구리계 재료)의 조성, 심재(2)의 조성이나 열 처리, 피복층(3)이나 중간 금속층(4)의 두께, 본딩 와이어(1)의 선 직경, 본딩 와이어(1)에 실시되는 열 처리 조건 등을 적절히 제어함에 의해, 290MPa 이상 590MPa 이하의 압축 응력을 얻을 수 있다. 단, 금피복 본딩 와이어(1)의 압축 응력은, 금피복 본딩 와이어(1)의 재질, 제조 공정, 제조 조건 등에 한정되는 것은 아니고, 상기한 범위 내이면 그 특성을 발휘하는 것이다.

[0040] 상술한 금피복 본딩 와이어(1)는, 13 μ m 이상 35 μ m 이하의 선 직경(도 1에 나타내는 직경(D))을 갖는 것이 바람직하다. 와이어(1)의 선 직경이 13 μ m 미만이면, 반도체 장치의 제조 시에 본딩 와이어(1)를 사용해서 와이어 본딩을 행했을 때, 강도나 도전성 등이 저하되고 와이어 본딩의 신뢰성 등이 저하될 우려가 있다. 와이어(1)의 선 직경이 35 μ m를 초과하면, 전극에 대한 본딩 접합성, 특히 웨지 본딩 접합성이 저하될 우려가 있다. 예를 들면, 헵 피치화된 반도체 장치의 전극의 개구 면적은 작아진다. 그러한 헵 피치화된 전극의 개구 면적 내에, 선 직경이 35 μ m를 초과하는 본딩 와이어(1)를 웨지 본딩하면, 패시베이션막의 파괴나 인접하는 본딩부 사이에서 쇼트가 생길 우려가 있다. 또한, 패시베이션막이란, 칩의 최상층의 절연막이고, 봉지 수지 등에 유래하는 외계의 수분이나 금속 이온으로부터 내부를 보호하기 위한 기능을 가진다. 그 때문에, 칩의 수직 단면으로부터 보면, 패시베이션막은 칩의 접합면보다 높다. 와이어의 선 직경이 35 μ m를 초과하면, 본딩 시에 접합부 가까이의 와이어 측면과의 접촉이나 접합부에서 찌부러진 와이어와 접촉함으로써, 패시베이션막의 파괴가 생겨 버린다.

[0041] 심재(2)는, 실시형태의 본딩 와이어(1)를 주로서 구성하는 것이고, 본딩 와이어(1)의 기능을 담당하는 것이다. 이러한 심재(2)의 주성분으로서, 은 또는 구리가 사용된다. 여기에서, 은 또는 구리를 주성분으로서 포함한다는 것은, 심재(2)가 적어도 50질량% 이상의 은 또는 구리를 포함하는 것을 의미한다. 심재(2)로서 은을 주성분으로 하는 재료를 사용할 경우, 심재(2)는 순은에 의해 구성해도 되지만, 은에 첨가 원소를 첨가한 은 합금에 의해 구성하는 것이 바람직하다. 또한, 심재(2)로서 구리를 주성분으로 하는 재료를 사용할 경우, 심재(2)는 순구리에 의해 구성해도 되지만, 구리에 첨가 원소를 첨가한 구리 합금에 의해 구성하는 것이 바람직하다. 순금속이라면 자기 소둔(셀프 어닐)을 일으켜 지나치게 연해지기 때문에 제조 공정에 있어서 핸들링하기 어렵다는 결점이 있다. 합금화하면 순금속보다 적당히 단단해지고, 본딩 와이어를 제조 공정에서 다루기 쉬워진다는 이점이 있다. 또한 그뿐만 아니라, 은 합금 또는 구리 합금으로 이루어지는 심재(2)를 사용함에 의해, 290MPa 이상 590MPa 이하의 압축 응력을 갖는 금피복 본딩 와이어(1)가 얻어지기 쉬워진다는 이점도 있다.

[0042] 원칙적으로 와이어 전체의 압축 응력을 제어하는 것이 과제를 달성하기 위한 가장 중요 조건이지만, 은 또는 구리를 주성분으로서 포함하는 심재(2)는, 비커스 경도(Hv)가 40 이상 80 이하인 것이 바람직하다. 여기에서 말하는 비커스 경도는, 금피복 본딩 와이어(1)의 단면에 있어서의 심재(2)의 비커스 경도이다. 심재(2)의 비커스 경도가 40 이상 80 이하일 때, 290MPa 이상 590MPa 이하의 압축 응력을 갖는 금피복 본딩 와이어(1)가 얻어지기 쉬워진다. 즉, 심재(2)의 비커스 경도가 40 미만이면, 금피복 본딩 와이어(1)의 압축 응력이 지나치게 낮아지고, 290MPa 이상의 압축 응력이 얻어지기 어려워진다. 심재(2)의 비커스 경도가 80을 초과하면, 금피복 본딩 와이어(1)의 압축 응력이 지나치게 높아져, 590MPa 이하의 압축 응력이 얻어지기 어려워진다. 심재(2)의 비커스 경도는 45 이상인 것이 보다 바람직하고, 또한 70 이하인 것이 보다 바람직하다. 물론, 목표로 하는 압축

응력이 얻어지기 쉬워진다는 것뿐만 아니라, 또한 이 범위의 비커스 경도로 함에 의해, 압축 응력과 경도의 상승 효과에 의해, 가일층 웨지 접합성이 높아진다. 또한, 압축 응력과 비커스 경도는 반드시 단순한 비례 관계에 있는 것은 아니다.

[0043] 심재(2)를 은 합금으로 구성할 경우, 은 합금 중의 은 함유량은 97질량% 이상인 것이 바람직하다. 심재(2)를 구성하는 은 합금은, 구리(Cu), 칼슘(Ca), 인(P), 금(Au), 팔라듐(Pd), 백금(Pt), 니켈(Ni), 로듐(Rh), 인듐(In), 및 철(Fe)로 이루어지는 군에서 선택되는 적어도 하나의 원소를 포함하는 것이 바람직하다. 심재(2)를 구성하는 은 합금에 첨가하는 원소는, 금피복 본딩 와이어(1)의 신뢰성(내부식성)을 높이고, 심재(2)의 비커스 경도를 높임으로써 자기 소둔(셀프 어닐)을 방지하는 효과가 있다. 자기 소둔해 버리면, 와이어가 지나치게 연해져, 제조 공정에서 와이어가 취급하기 어렵게 되고, 흠집도 나기 쉬워져 버린다. 단, 첨가 원소의 함유량이 지나치게 많으면 심재(2)의 비저항이 증가하고, 심재(2), 나아가서는 금피복 본딩 와이어(1)로서의 전기 전도성이 저하해 버린다. 첨가 원소의 함유량은, 와이어(1)의 전체량에 대해, 1질량ppm 이상 3질량% 이하의 범위로 하는 것이 바람직하다.

[0044] 심재(2)를 구성하는 은 합금에 있어서의 첨가 원소의 함유량, 와이어(1)의 전체량에 대해 1질량ppm 미만이면, 금피복 본딩 와이어(1)의 신뢰성이나 심재(2)의 자기 소둔 억제 효과 등을 충분히 얻을 수 없을 우려가 있다. 첨가 원소의 함유량이 와이어(1)의 전체량에 대해 3질량%를 초과하면, 금피복 본딩 와이어(1)의 비저항이 증가한다. 첨가 원소의 함유량은, 금피복 본딩 와이어(1)의 비저항이 $2.3 \mu \Omega \cdot \text{cm}$ 이하의 범위로 되도록 설정하는 것이 바람직하다.

[0045] 심재(2)를 구리 합금으로 구성할 경우, 구리 합금 중의 구리 함유량은 98질량% 이상인 것이 바람직하다. 심재(2)를 구성하는 구리 합금은, 인(P), 금(Au), 팔라듐(Pd), 백금(Pt), 니켈(Ni), 은(Ag), 로듐(Rh), 인듐(In), 갈륨(Ga), 및 철(Fe)로 이루어지는 군에서 선택되는 적어도 하나의 원소를 포함하는 것이 바람직하다. 상술과 마찬가지로 심재(2)를 구성하는 구리 합금에 첨가하는 원소는, 금피복 본딩 와이어(1)의 신뢰성(내부식성)을 높이고, 심재(2)의 비커스 경도를 높임으로써 자기 소둔(셀프 어닐)을 방지하는 효과가 있다. 자기 소둔해 버리면, 와이어가 지나치게 연해져, 제조 공정에서 와이어가 취급하기 어려워질 뿐만 아니라, 약간의 충격에서도 흠집이 나기 쉬워져 버린다. 단, 첨가 원소의 함유량이 지나치게 많으면 심재(2)의 비저항이 증가하고, 심재(2), 나아가서는 금피복 본딩 와이어(1)로서의 기능이 저하한다. 첨가 원소의 함유량은, 와이어(1)의 전체량에 대해, 1질량ppm 이상 2질량% 이하의 범위로 하는 것이 바람직하다.

[0046] 심재(2)를 구성하는 구리 합금에 있어서의 첨가 원소의 함유량, 와이어(1)의 전체량에 대해 1질량ppm 미만이면, 금피복 본딩 와이어(1)의 신뢰성이나 심재(2)의 자기 소둔 억제 효과 등을 충분히 얻을 수 없을 우려가 있다. 첨가 원소의 함유량이 와이어(1)의 전체량에 대해 2질량%를 초과하면, 금피복 본딩 와이어(1)의 비저항이 증가한다. 첨가 원소의 함유량은, 금피복 본딩 와이어(1)의 비저항이 $2.3 \mu \Omega \cdot \text{cm}$ 이하의 범위로 되도록 설정하는 것이 바람직하다.

[0047] 상술한 은이나 은 합금으로 구성된 심재(2)를 사용한 금피복 본딩 와이어(1)에 있어서, 압축 응력은 290MPa 이상 440MPa 이하인 것이 바람직하다. 이러한 금피복 본딩 와이어(1)를 사용함에 의해, 은계의 심재(2)를 사용한 금피복 본딩 와이어(1)의 와이어 특성을 만족시키면서, 웨지 접합성을 높일 수 있다. 또한, 상술한 구리나 구리 합금으로 구성된 심재(2)를 사용한 금피복 본딩 와이어(1)에 있어서, 압축 응력은 440MPa 이상 590MPa 이하인 것이 바람직하다. 이러한 금피복 본딩 와이어(1)를 사용함에 의해, 구리계의 심재(2)를 사용한 금피복 본딩 와이어(1)의 와이어 특성을 만족시키면서, 웨지 접합성을 높일 수 있다.

[0048] 실시형태의 금피복 본딩 와이어(1)는, 상기한 은 또는 구리를 주성분으로 하는 심재(2)의 표면에 마련된 피복층(3)을 갖는다. 피복층(3)은 금을 주성분으로서 포함하고 있다. 여기에서, 금을 주성분으로서 포함한다는 것은, 피복층(3)이 50질량% 이상의 금을 포함하는 것을 의미한다. 금을 주성분으로서 포함하는 피복층(3)은, 와이어의 내식성을 향상시켜, 반도체 칩의 전극을 구성하는 알루미늄(Al)이나 알루미늄 합금(Al 합금), 회로 기판의 전극을 구성하는 금(Au)이나 금 합금(Au 합금), 리드 프레임의 이너 리드의 표면에 형성되는 은(Ag) 도금이나 은 합금(Ag 합금) 도금 등과 상성이 좋고, 용이하게 확산하기 쉽기 때문에, 양호한 접합 강도, 특히 양호한 웨지 접합 강도를 나타낸다. 따라서, 표면에 금을 주성분으로서 포함하는 피복층(3)을 갖는 본딩 와이어(1)를 웨지 접합, 특히 CWB에 의해 연속 본딩했을 때, 본딩 와이어(1)를 양호한 접합 강도 및 접합 신뢰성으로 웨지 접합할 수 있다.

[0049] 피복층(3)은, 순금(금의 함유량 99.9% 이상)으로 구성해도 되고, 금에 첨가 원소를 첨가한 금 합금에 의해 구성해도 된다. 피복층(3)을 구성하는 금 합금은, 안티몬(Sb), 팔라듐(Pd), 백금(Pt), 니켈(Ni), 코발트(Co), 비

스무트(Bi)로 이루어지는 균에서 선택되는 적어도 하나의 원소를 포함하는 것이 바람직하다. 피복층(3)을 구성하는 금 합금에 첨가하는 원소는, 금피복층(3)의 반도체 칩 전극을 구성하는 알루미늄(Al)과의 접합 신뢰성의 향상 등에 효과를 나타낸다. 또한, 금피복층(3)의 막두께는, 5nm 이상 200nm 이하인 것이 바람직하다. 금피복층(3)의 막두께를 5nm 이상으로 함에 의해, 금피복층(3)에 의한 알루미늄 전극, 금 전극, 은 도금 전극 등에 대한 웨지 접합성을 충분히 높일 수 있다. 금피복층(3)의 막두께가 200nm를 초과하면, 금피복 본딩 와이어(1)의 제조 비용이 상승하기 때문에 바람직하지 않다. 상술한 바와 같이, 본 발명품은 볼 본딩 용도로도 사용하는 경우가 있으므로, 금피복층이 200nm를 초과하면 FAB가 편심하는 등의 볼 형성성이 떨어질 가능성이 있다. 또한, 금피복층(3)의 막두께는 20nm를 초과하는 것이 바람직하고, 50nm 이상이 보다 바람직하고, 또한 150nm 이하가 보다 바람직하다.

[0050] 상술한 바와 같이, 실시형태의 금피복 본딩 와이어(1)는, 도 3 및 도 4에 나타내는 바와 같이, 심재(2)와 피복층(3) 사이에 마련된 중간 금속층(4)을 갖고 있어도 된다. 중간 금속층(4)은, 팔라듐(Pd), 백금(Pt), 및 니켈(Ni)에서 선택되는 하나의 금속을 주성분으로 한다. 이러한 중간 금속층(4)을 심재(2)와 피복층(3) 사이에 마련함에 의해, 신뢰성(내식성)이 향상될 뿐만 아니라, 고온 시에 심재(2)의 구성 재료가 피복층(3)을 넘어서 본딩 와이어(1)의 표면에 배어나오는 것을 억제할 수 있다. 예를 들면, 심재(2)의 최표면에 구리가 노출되면 산화할 우려가 커지고, 또한 심재(2)의 최표면에 은이 노출되면 황화할 우려가 커진다. 이들은 모두 금피복 본딩 와이어(1)의 전극에 대한 접합 신뢰성을 저하시키는 요인으로 된다. 이러한 점에 대해, 중간 금속층(4)을 심재(2)와 피복층(3) 사이에 마련함에 의해, 고온 분위기에 있어서의 구리나 은의 와이어 표면에서의 배어나움을 억제할 수 있어, 접합 신뢰성을 향상시킬 수 있다.

[0051] 중간 금속층(4)은, 순팔라듐, 순백금, 또는 순니켈로 구성해도 되고, 또한 이들을 2종 이상 포함하는 합금으로 구성해도 된다. 또한, 중간 금속층(4)은, 팔라듐, 백금, 및 니켈에서 선택되는 하나의 금속을 주성분으로 하고, 그들에 첨가 원소를 첨가한 팔라듐 합금, 백금 합금, 또는 니켈 합금에 의해 구성해도 된다.

[0052] 중간 금속층(4)은, 60nm 이하의 두께를 갖는 것이 바람직하다. 중간 금속층(4)의 두께가 60nm를 초과하면, 금피복 본딩 와이어(1)의 FAB의 볼 형성성 등 본래의 특성을 손상시킬 우려가 있다. 또한, 상기한 구리나 은이 와이어 표면에 노출되는 것을 억제하는 효과를 충분히 얻기 위해, 중간 금속층(4)의 두께는 1nm 이상이 바람직하다. 또한, 실시형태의 금피복 본딩 와이어(1)는, 상술한 심재(2) 및 피복층(3), 또는 심재(2), 피복층(3), 및 중간 금속층(4)만으로 구성된 것에 한정되는 것은 아니다. 실시형태의 금피복 본딩 와이어(1)는, 필요에 따라 이들 이외의 구성, 예를 들면, 삼층 피복, 사층 피복 등의 구조를 하고 있어도 된다.

[0053] 금피복 본딩 와이어(1)의 압축 응력은, 이하와 같이 해서 측정하는 것으로 한다. 즉, 금피복 본딩 와이어(1)를 장력이 가해지지 않도록 수센터 길이로 잘라내, 와이어 시료를 준비한다. 와이어 시료가 늘어나거나 처지거나 하지 않도록 고려하면서, 압축 시험기(예를 들면, 주식회사 도진제작소제 미소 압축 시험기 형번MCT-W-500)의 평면 시료대에 횡 방향으로 놓는다. 다음으로 장치의 설정으로서, 시료 형상은 원형을 선택하고, 압자 사이즈는 $\phi 200\mu\text{m}$, 와이어의 단면 방향의 변형량은 선 직경의 60%, 또한, 선 직경에 따른 최대 하중을 설정한다. 예를 들면, 최대 하중의 설정은 선 직경 $\phi 20\mu\text{m}$ 의 경우, 3.5N가 목표로 된다.

[0054] 다음으로, 와이어가 압자의 중앙에 오도록 스테이지를 이동시키고, 압자로 와이어 표면을 압축하여, 와이어의 압축 응력을 구한다. 장치에 의해 압축 응력값은 자동 계산으로 산출되고, 그 값을 사용해도 문제없다. 계산 식적으로는, 와이어 선 직경의 60% 압축 시에 가해지는 힘을 와이어가 찌부러진 단면적으로 나눈 값을 사용하고 있다. 여기에서, 단면적을 구하는 방법에 대해 설명한다. 와이어 표면을 압자로 이상적인 상태에서 균등하게 무한히 얇게 찌부러뜨렸을 경우, 찌부러진 후의 와이어 형상(단면)은 사각형으로 되고, 두께는 무한히 0에 가까워진다. 단면의 횡의 길이는 압자의 직경으로 되고, 종의 길이는 와이어의 원주 길이의 절반의 길이에 무한히 가까운 값으로 된다. 따라서, 와이어의 단면적은 횡×종으로 구해지므로, 압자의 직경×(원주율×직경/2)로 된다.

[0055] 구체예로 말하면, 와이어 선 직경 $20\mu\text{m}$ 의 60% 압축이란 와이어를 $8\mu\text{m}$ 의 높이로 찌부러뜨린 지점에서 가해진 힘(N)을 상기에서 정의한 단면적(mm^2)으로 나눈다. 즉, (압자 사이즈 $200\mu\text{m}=0.2\text{mm}$)×(와이어의 원주의 길이의 절반=(선 직경 $0.02\text{mm}\times 3.14/2$)로 힘을 나눈 값이 압축 응력으로 된다. 엄밀하게 말하면, 와이어를 60% 변형한 지점에서는, 와이어가 완전하게 알팍하게 찌부러지는 것은 아니므로, 단면적의 종의 길이가 원주의 절반의 길이가 된다는 것은 아니지만, 이 단면적으로 계산한 측정값에서도, 엄밀하게 60% 변형 시의 단면적으로 계산한 측정값에서도, 약간의 차이로, 임계적 의의가 있는 범위를 초과할 정도의 차가 생기지 않기 때문에, 본 발명에서는 이 값에서의 측정 방법을 채용한다. 압축 응력을 간단한 식으로 나타내면 이하로 된다.

- [0056] 와이어의 압축 응력(MPa)=와이어 선 직경에 대해 60% 변형 시에 가해지는 힘(N)/((원주율×와이어 선 직경(mm))/2)×압자 직경(mm)
- [0057] 또한, 주의점으로서 와이어를 압축한 후, 시험 후의 와이어를 채취하고 주사 전자 현미경을 사용해서 압흔의 형상을 관찰한다. 압흔의 상태가 도 5(첨부의 SEM상)와 같이, 압흔의 길이가 압자의 직경의 ±20%인 것, 와이어 장변 방향을 축으로 해서 찌부러짐폭이 대칭인 것을 확인한다. 이들 조건을 만족시키지 않는 경우는, 정확한 측정값이 아닐 가능성이 있으므로, 재측정을 행한다. 측정값은 3회 측정한 평균값으로 하고, 단위는 MPa로 한다. 또한, 압축 시험 장치의 출력 단위가 kgf/mm²인 경우, 1kgf/mm²=9.8MPa의 환산식에 의거하여 환산한 값을 적용한다. 또한, 압축의 변형량을 와이어 선 직경의 60%로 한 것은, 웨지 접합에 있어서의 평균적인 와이어의 찌부러짐률이 60% 정도이라는 이유에 의한다.
- [0058] 심재(2)의 단면에 있어서의 비커스 경도는, 이하와 같이 해서 측정하는 것으로 한다. 즉, 금피복 본딩 와이어를, 수센터 길이로 잘라내고, 와이어 시료를 복수 개 준비한다. 와이어 시료가 늘어나거나 쳐지거나 하지 않도록 고려하면서, 금속(Ag 도금 프레임)판 상에 끈고 또한 평탄하게 첨부한다. 그 후, 금속판마다 와이어 시료를 원통 형상의 형(型)에 금속판이 원통의 바닥면으로 되도록 넣고, 형 내에 매립하고 수지를 유입시키고, 그 후, 경화제를 첨가하여 수지를 경화시킨다. 이어서, 경화시킨 와이어 시료가 들어간 원통 형상의 수지를, 와이어의 횡단면이 노출되도록 연마기로 러프 연마한다. 그 후, 최종 연마에 의해 절단면의 마감을 하고, 이어서, 이온 밀링에 의해, 연마면의 잔류 변형을 제거하여, 매끄러운 표면을 얻는다. 또한, 와이어 절단면이 와이어 장변 방향과 수직으로 되도록 이온 밀링 장치를 미조정한다. 경도 시험기(일례: Mitutoyo제 HM-220)의 시료대에 와이어 시료의 횡단면(즉, 시료의 연마면)이 시료대와 평행해지도록 고정하고, 시험력 0.001kgf, 부하 시간 4.0초, 유지시간 10.0초, 제하(除荷) 시간 4.0초, 접근 속도 60.0um/초의 조건에서 와이어 단면의 중심 근방에 비커스 경도의 측정을 실시한다. 상기의 경도 측정은 5개 실시하고, 그 평균값을 구한다.
- [0059] 금피복 본딩 와이어(1)에 있어서, 심재(2)를 은 합금 또는 구리 합금으로 구성했을 경우의 첨가 원소의 와이어(1) 전체에 대한 함유량, 피복층(3)을 구성하는 금의 와이어(1) 전체에 대한 함유량, 피복층(3)을 금 합금으로 구성했을 경우의 첨가 원소의 와이어(1) 전체에 대한 함유량, 중간 금속층(4)을 구성하는 팔라듐, 백금, 또는 니켈의 와이어(1) 전체에 대한 함유량, 및 중간 금속층(4)을 합금으로 구성했을 경우의 첨가 원소의 와이어(1) 전체에 대한 함유량은, 이하와 같이 해서 측정하는 것으로 한다. 즉, 우선, 금 함유량을 산출하기 위해, 본딩 와이어(1)를 희질산에 넣고, 심재(2)를 용해한 후, 용해액을 채취한다. 이 용해액에 염산을 더하고, 초순수로 정용액으로 한다. 이 정용액을 사용해서, ICP 발광 분광 분석법(ICP-AES: Inductively Coupled Plasma Atomic Emission Spectroscopy) 또는 유도 결합 플라즈마 질량 분석(ICP-MS: Inductively Coupled Plasma-Mass Spectrometry)으로 행함에 의해, 심재(2)의 첨가 원소의 함유량을 측정한다.
- [0060] 피복층(3) 및 중간 금속층(4)의 두께는, 이하와 같이 해서 측정하는 것으로 한다. 즉, 금피복 본딩 와이어(1)의 표면으로부터 주사형 오제 전자 분광(Auger Electron Spectroscopy: AES) 분석 장치(예를 들면 일본전자사제, 상품명: JAMP-9500F)에 의해 깊이 방향으로 원소 조성을 분석한다. AES 분석 장치의 설정 조건은, 1차 전자선의 가속 전압 10kV, 전류 50nA, 빔 직경 5μm, 아르곤 이온 스퍼터의 가속 전압 1kV, 스퍼터 속도 2.5nm/분(SiO₂ 환산)으로 한다. 금피복 본딩 와이어(1)의 표면으로부터 깊이 방향으로 심재의 주성분의 검출 농도가 50원자% 이상이 되는 위치까지 분석하고, 금과 은 또는 구리의 합계에 대한 금의 평균 농도를 구한다. 중간 금속층(4)을 마련하고 있을 경우, 중간 금속층(4)의 주 구성 원소(M)와 금과 은 또는 구리의 합계에 대한 금 및 원소(M)의 평균 농도를 각각 구한다.
- [0061] 피복층(3)은, 와이어(1)의 표면으로부터 상기한 은 또는 구리와 금의 합계에 대해 금의 비율이 50.0원자%로 되는 개소까지의 영역으로서 정의하고, 그 영역의 두께를 피복층(3)의 두께로서 구한다. 금의 비율이 50.0원자%로 되는 개소가 심재(2)와 피복층(3)의 경계로 한다. 중간 금속층(4)은, 상기한 은 또는 구리와 금과 원소(M)의 합계에 대해, 금의 비율이 50.0원자%로 되는 개소로부터 원소(M)의 비율이 50.0원자%로 되는 개소까지의 영역으로서 정의하고, 그 영역의 두께를 중간 금속층(4)의 두께로서 구한다.
- [0062] 다음으로, 실시형태의 금피복 본딩 와이어(1)의 제조 방법에 대해 설명한다. 또한, 실시형태의 금피복 본딩 와이어의 제조 방법은, 특히 이하에 나타내는 제조 방법에 한정되는 것은 아니다. 실시형태의 금피복 본딩 와이어(1)는, 예를 들면 심재(2)로 되는 은 또는 구리를 주성분으로 하는 선재 표면에, 금을 주성분으로서 포함하는 층을 형성함에 의해 와이어 소재를 제작함과 함께, 금피복 본딩 와이어(1)에 요구되는 선 직경에의 신선(伸線)가공을 실시하고, 필요에 따라 열 처리 등을 실시함에 의해 얻어진다. 또한, 중간 금속층(4)을 갖는 금피복 본딩 와이어(1)의 경우, 예를 들면 심재(2)로 되는 은 또는 구리 선재의 표면에, 중간 금속층(4)으로 되는 층과

금을 주성분으로서 포함하는 층을 순서대로 형성함에 의해 와이어 소재를 제작함과 함께, 금피복 본딩 와이어(1)에 요구되는 선 직경에의 신선 가공을 실시하고, 필요에 따라 열 처리 등을 실시함에 의해 얻어진다.

[0063] 심재(2)로서 은 또는 구리를 사용할 경우에는, 소정의 순도의 은 또는 구리를 용해시키고, 또한 은 합금 또는 구리 합금을 사용할 경우에는, 소정의 순도의 은을 첨가 원소와 함께 용해시키거나, 소정의 순도의 구리를 첨가 원소와 함께 용해시킴에 의해, 은 심재 재료 또는 구리 심재 재료를 얻는다. 용해에는, 아크 가열로, 고주파 가열로, 저항 가열로, 연속 주조로 등의 가열로가 사용된다. 대기중으로부터의 산소나 수소의 혼입을 방지할 목적으로, 가열로의 은 용탕 또는 구리 용탕은 진공 혹은 아르곤, 질소 등의 불활성 가스 분위기로 유지하는 것이 바람직하다. 용해시킨 심재 재료는, 가열로부터 소정의 선 직경으로 되도록 연속 주조로 응고시키거나, 용융한 심재 재료를 주형으로 주조하여 잉곳을 만들고, 그 잉곳을 롤 압연한다. 필요에 따라 열 처리를 넣고, 소정의 선 직경까지 신선해서 은 선재 또는 구리 선재(은 합금 선재 및 구리 합금 선재를 포함함)를 얻는다.

[0064] 은 선재 또는 구리 선재의 표면에 금층이나 중간 금속층(4)으로 되는 층을 형성하는 방법으로서, 예를 들면 도금법(습식법)이나 증착법(건식법)이 사용된다. 도금법은 전해 도금법과 무전해 도금법 중 어느 방법이어도 된다. 스트라이크 도금이나 플래시 도금 등의 전해 도금에서는, 도금 속도가 빠르고, 또한 금 도금에 적용하면, 금층의 은 선재 또는 구리 선재에의 양호한 밀착성이 얻어진다. 도금법에서 금층이나 중간 금속층(4)으로서의 팔라듐층, 백금층, 또는 니켈층에 첨가 원소를 함유시키기 위해서는, 예를 들면 상기 전해 도금에 있어서, 금 도금액이나 중간 금속층(4)의 구성 원소의 도금액에 첨가 원소를 포함하는 도금 첨가제를 함유시킨 도금액을 사용한다. 이 때, 도금 첨가제의 종류나 양을 조정함에 의해, 피복층(3)이나 중간 금속층(4) 중의 첨가 원소량을 조절할 수 있다.

[0065] 증착법으로서, 스퍼터법, 이온 플레이팅법, 진공 증착법 등의 물리 증착(PVD)이나, 열 CVD, 플라즈마 CVD, 유기 금속 기상 성장법(MOCVD) 등의 화학 증착(CVD)을 이용할 수 있다. 이들 방법에 따르면, 형성 후의 금피복층이나 중간 금속층의 세정이 불필요하고, 세정 시의 표면 오염 등의 우려가 없다. 증착법에 의해 금층이나 중간 금속층(4)으로서의 팔라듐층, 백금층, 또는 니켈층에 첨가 원소를 함유시키는 방법으로서, 첨가 원소를 함유시킨 금 타겟이나 중간 금속층(4)의 구성 재료 타겟을 사용해서, 마그네트론 스퍼터링 등에 의해 금층이나 중간 금속층을 형성하는 방법이 있다. 그 이외의 방법을 적용할 경우도, 금 재료나 중간 금속층(4)의 구성 재료에 원하는 첨가 원소를 함유시킨 원료를 사용하면 된다.

[0066] 또한, 그 외의 방법으로서, 미리 피복하는 재료로 관 형상의 파이프와 같은 것을 형성하고, 거기에 심재를 삽입하여 제조하는 클래드제법 등도 있다.

[0067] 신선 가공의 가공률은, 제조되는 금피복 본딩 와이어(1)의 최종 선 직경이나 용도 등에 따라 결정된다. 신선 가공의 가공률은, 일반적으로는 피복한 은 선재나 구리 선재를 최종 선 직경으로 가공할 때까지의 가공률로서 90% 이상인 것이 바람직하다. 이 가공률은, 와이어 단면적의 감면률로서 산출할 수 있다. 신선 가공은, 복수의 다이아몬드 다이스를 사용해서, 단계적으로 선 직경을 축소하도록 행하는 것이 바람직하다. 이 경우, 다이아몬드 다이스 하나당 감면률(가공률)은 5% 이상 15% 이하가 바람직하다.

[0068] 금층이나 중간 금속층(4)의 구성 재료층을 피복한 은 선재 또는 구리 선재를 최종 선 직경까지 신선한 후에, 최종 열 처리를 실시하는 것이 바람직하다. 최종 열 처리는, 최종 선 직경에 있어서, 와이어(1) 내부에 잔류하는 금속 조직의 변형을 제거하는 변형 제거 열 처리나 필요해지는 와이어 특성을 고려해서 실행된다. 변형 제거 열 처리는, 필요해지는 와이어 특성, 특히 와이어(1)의 압축 응력을 고려해서, 온도 및 시간을 결정하는 것이 바람직하다. 그 외, 와이어 제조의 임의의 단계에서, 목적에 따른 열 처리를 실시해도 된다. 이러한 열 처리로서는, 와이어의 신선 과정에서 변형 제거 열 처리, 금층이나 중간 금속층(4)의 구성 재료 층을 형성한 후에 밀착성을 올리기 위한 확산 열 처리 등이 있다. 확산 열 처리를 행함으로써, 심재(2)와 피복층(3)의 밀착성 등을 향상시킬 수 있다. 열 처리는, 소정의 온도로 가열된 가열 분위기 내에 와이어를 통과시켜서 열 처리를 행하는 주간(走間) 열 처리가, 열 처리 조건을 조절하기 쉽기 때문에 바람직하다. 주간 열 처리의 경우, 열 처리 시간은 와이어의 통과 속도와 가열 장치 내의 와이어의 통과거리에 의해 산출할 수 있다. 가열 장치로서는 전기로 등이 사용된다. 와이어의 표면 산화를 억제할 경우에는, N₂나 Ar 등의 불활성 가스를 흘리면서 가열하는 것도 유효하다. 필요한 경우, N₂와 H₂의 환원성이 있는 혼합 가스를 사용한다.

[0069] 상술한 금피복 본딩 와이어(1)의 제조 공정에 있어서, 심재(2)를 구성하는 금속 재료(은계 재료 또는 구리계 재료)의 조성, 피복층(3)이나 필요에 따라 형성되는 중간 금속층(4)의 구성 재료나 두께, 본딩 와이어(1)의 선 직경 등에 따라, 열 처리 조건 등의 제조 조건을 적절히 제어함에 의해, 290MPa 이상 590MPa 이하의 압축 응력을

연을 수 있다. 예를 들면, 심재(2)는 은 합금 또는 구리 합금으로 구성하는 것이 바람직하고, 또한 은 합금 또는 구리 합금 중의 첨가 원소량이 많을수록 압축 응력이 높아지는 경향이 있다. 또한, 피복층(3)의 두께가 두꺼울수록 압축 응력이 낮아지는 경향이 있다. 또한, 구리 합금을 사용한 심재(2) 쪽이 은 합금을 사용한 심재(2)보다 압축 응력이 높아지는 경향이 있다.

[0070] 상술한 금피복 본딩 와이어(1)의 구성 재료 등에 의거하는 압축 응력의 경향에 의거하여, 열 처리 조건을 선택하는 것이 바람직하다. 열 처리는, 중간 단계 및 최종 단계의 양쪽에서 실시하는 것이 바람직하다. 최종 열 처리에 관해서는, 온도가 높을수록 압축 응력이 낮아지는 경향이 있다. 중간 열 처리에 관해서도, 온도가 높을수록 압축 응력이 낮아지는 경향이 있다. 이 점을 바탕으로, 구성 재료적으로 압축 응력이 높은 경향을 나타내는 재료를 사용했을 경우에는, 중간 열 처리 온도를 400℃ 이상 600℃ 이하로 설정하고, 또한 열 처리 시간을 0.2초 이상 20초 이하로 하는 것이 바람직하다. 구성 재료적으로 압축 응력이 낮은 경향을 나타내는 재료를 사용했을 경우에는, 중간 열 처리 온도를 200℃ 이상 400℃ 미만으로 설정하고, 또한 열 처리 시간을 0.2초 이상 20초 이하로 하는 것이 바람직하다. 또한, 구성 재료적으로 압축 응력이 높은 경향을 나타내는 재료를 사용했을 경우에는, 최종 열 처리 온도를 350℃ 이상 650℃ 이하로 설정하고, 또한 열 처리 시간을 0.01초 이상 5초 이하로 하는 것이 바람직하다. 구성 재료적으로 압축 응력이 낮은 경향을 나타내는 재료를 사용했을 경우에는, 최종 열 처리 온도를 150℃ 이상 350℃ 이하로 설정하고, 또한 열 처리 시간을 0.01초 이상 5초 이하로 하는 것이 바람직하다.

[0071] 또한, 열 처리 조건이 동일하여도, 열 처리 장치의 구조나 심재 중의 첨가 원소의 종류나 양에 따라, 압축 응력이 영향받는 경우도 있다. 이 점에서, 본 실시형태의 금피복 구리 본딩 와이어의 제조 공정에 있어서, 최종 열 처리에서, 열 처리에 있어서의 신장률을 조정함으로써, 와이어의 압축 응력을 제어하는 것이 가능하다. 구리를 주성분으로서 포함하는 심재를 구성 재료로 하는 와이어의 경우에는, 신장률을 5.0% 이상 20.0% 이하로 조정하는 것이 바람직하고, 8.0% 이상 20.0% 이하가 보다 바람직하다. 은을 주성분으로서 포함하는 심재를 구성 재료로 하는 와이어의 경우에는, 신장률을 1.5% 이상 15.0% 이하로 조정하는 것이 바람직하고, 2.0% 이상 11.0% 이하가 보다 바람직하다.

[0072] 신장률은 본딩 와이어의 인장 실험에 의해 얻어진 값으로 한다. 신장률은, JIS-Z2241 또는 JIS-Z2201에 준거해서 측정할 수 있다. 예를 들면, 인장 실험 장치(예를 들면, 주식회사 TSE제 오토콤펜)에서, 길이 10cm의 본딩 와이어에 속도 20mm/min, 로드 셀 정격 2N으로 인장했을 때, 파단에 도달했을 때의 신장 길이의 비율로서 산출된다. 신장률은, 측정 결과의 편차를 고려하여, 5개의 평균값을 구하는 것이 바람직하다.

[0073] 상기에 대해 보충 설명한다. 본래이면 최종 제품이 목표의 압축 응력의 범위에 들어가도록, 압축 응력을 측정하면서 최종 열 처리 조건을 조정하는 것이 이상적이지만, 여기에서는 제조 작업 상의 간편화를 도모한다는 관점에서, 측정하기 쉬운 와이어의 신장률을 압축 응력의 대략적인 목표로서 대응하고 있다. 당연한 것이지만, 신장률을 제어했다고 해서, 반드시 목표의 압축 응력의 범위에 들어간다고는 한할 수 없다.

[0074] (반도체 장치)

[0075] 다음으로, 실시형태의 금피복 본딩 와이어(1)를 사용한 반도체 장치에 대해, 도 6 내지 도 8, 도 11, 및 도 12를 참조해서 설명한다. 또한, 도 6은 실시형태의 반도체 장치의 수지 봉지하기 전의 단계를 나타내는 단면도, 도 7은 실시형태의 반도체 장치의 수지 봉지한 단면도, 도 8은 실시형태의 반도체 장치에 있어서의 반도체 칩의 전극에 접합된 금피복 본딩 와이어(1)의 웨지 접합부를 나타내는 단면도이다. 도 11 및 도 12는 각각 실시형태의 반도체 장치의 변형예를 나타내는 단면도이다.

[0076] 실시형태의 반도체 장치(10)(수지 봉지하기 전의 반도체 장치(10X))는, 도 6 및 도 7에 나타내는 바와 같이, 전극(기관 전극)(11)을 갖는 회로 기관(12)과, 회로 기관(12) 상에 배치되고, 적어도 하나의 전극(칩 전극)(13)을 각각 갖는 복수의 반도체 칩(14)(14A, 14B, 14C)과, 회로 기관(12)의 전극(11)과 반도체 칩(14)의 전극(13), 및 복수의 반도체 칩(14)의 전극(13) 사이를 접속하는 본딩 와이어(15)(금피복 본딩 와이어(1))를 구비하고 있다. 회로 기관(12)에는, 예를 들면 수지재나 세라믹스재 등의 절연 기체의 표면이나 내부에 배선망을 마련함과 함께, 표면에 배선망에 접속된 전극을 마련한 프린트 배선판이나 세라믹스 회로 기관 등이 사용된다.

[0077] 또한, 도 6 및 도 7은 회로 기관(12) 상에 복수의 반도체 칩(14)을 실장한 반도체 장치(10)를 나타내고 있지만, 반도체 장치(10)의 구성은 이것에 한정되는 것은 아니다. 예를 들면, 반도체 칩은 리드 프레임 상에 실장되어 있어도 되고, 그 경우에는 반도체 칩의 전극은 리드 프레임의 내부 단자(전극)로서 기능하는 이너 리드에 본딩 와이어(15)를 통해 접속된다. 반도체 칩(14)의 회로 기관(12)이나 리드 프레임에 대한 탑재 수는, 하나 및 복

수 중 어느 것이어도 된다. 본딩 와이어(15)는, 회로 기판(12)의 전극(11)과 반도체 칩(14)의 전극(13), 리드 프레임과 반도체 칩의 전극, 및 복수의 반도체 칩(14)의 전극(13) 사이의 적어도 하나의 접속에 적용되고, 이들 접속(2개의 전극)의 적어도 한쪽에 웨지 접합된다. 후술하는 바와 같이, 회로 기판(12)이나 리드 프레임 상에 복수의 반도체 칩(14)을 계단 형상으로 적층해서 실장했을 경우, 복수의 반도체 칩(14) 사이 및 반도체 칩(14)과 회로 기판(12) 사이를, 1개의 본딩 와이어(15)로 CWB에 의한 웨지 접합으로 연속 접속하는 것도 가능하다.

[0078] 도 6 및 도 7에 나타내는 반도체 장치(10)의 복수의 반도체 칩(14) 중, 반도체 칩(14A, 14C)은 회로 기판(12)의 칩 실장 영역에 다이 본딩재(16)를 통해 실장되어 있다. 반도체 칩(14B)은 반도체 칩(14A) 상에 다이 본딩재(16)를 통해 실장되어 있다. 반도체 칩(14A)의 하나의 전극(13)은 본딩 와이어(15)를 통해 회로 기판(12)의 전극(11)과 접속되어 있고, 다른 하나의 전극(13)은 본딩 와이어(15)를 통해 반도체 칩(14B)의 전극(13)과 접속되어 있고, 또 다른 하나의 전극(13)은 본딩 와이어(15)를 통해 반도체 칩(14C)의 전극(13)과 접속되어 있다. 반도체 칩(14B)의 다른 하나의 전극(13)은, 본딩 와이어(15)를 통해 회로 기판(12)의 전극(11)과 접속되어 있다. 반도체 칩(14C)의 다른 하나의 전극(13)은, 본딩 와이어(15)를 통해 회로 기판(12)의 전극(11)과 접속되어 있다.

[0079] 반도체 칩(14)은, 실리콘(Si) 반도체나 화합물 반도체 등으로 이루어지는 집적회로(IC)를 구비하고 있다. 칩 전극(13)은, 예를 들면, 적어도 최표면에 알루미늄(Al)층, AlSiCu, AlCu 등의 알루미늄 합금층을 갖는 알루미늄 전극으로 이루어진다. 알루미늄 전극은, 예를 들면 실리콘(Si) 기판의 표면에, 내부 배선과 전기적으로 접속하도록 Al이나 Al 합금 등의 전극 재료를 피복함에 의해 형성된다. 반도체 칩(14)은, 기판 전극(11) 및 본딩 와이어(15)를 통해, 외부 디바이스와의 사이에서 데이터 통신을 행하고, 또한 외부 디바이스로부터 전력이 공급된다.

[0080] 회로 기판(12)의 전극(11)은, 회로 기판(12)에 실장된 반도체 칩(14)의 전극(13)과 본딩 와이어(15)를 통해 전기적으로 접속되어 있다. 실시형태의 반도체 장치(10)에 있어서, 본딩 와이어(15)는 상기한 실시형태의 금피복 본딩 와이어(1)로 이루어진다. 일부의 본딩 와이어(15)에 있어서, 그 일단은 칩 전극(13)에 볼 접합(제1 접합)되어 있고, 타단은 기판 전극(11)에 웨지 접합(제2 접합)되어 있다. 볼 접합과 웨지 접합은 반대여도 되고, 기판 전극(11)에 볼 접합(제1 접합)하고, 칩 전극(13)에 웨지 접합(제2 접합)해도 된다. 복수의 반도체 칩(14)의 전극(13) 사이를 본딩 와이어(15)로 접속하는 경우도 마찬가지이고, 그 일단은 칩 전극(13)에 볼 접합(제1 접합)되어 있고, 타단은 다른 칩 전극(13)에 웨지 접합(제2 접합)되어 있다. 또한, 본딩 와이어(15)로 전기적으로 접합되는 반도체 칩(14)의 전극(13)이란, 반도체 칩(14)의 전극에 미리 접합한 범프(도시하지 않음)도 포함하는 것으로 한다.

[0081] 본딩 와이어(15)에 의한 와이어 접속은, 예를 들면, 본딩 와이어(15)의 일단을 방전 등에 의해 용융하고, 표면 장력 등에 의해 구 형상으로 응고시켜서 FAB를 형성하고, 이 FAB를 반도체 칩(14)의 전극(13)에 볼 접합한 후, 본딩 틀(캐필러리)을 끌어 올려 루프를 형성하고, 회로 기판(12)의 전극(11)에 본딩 와이어(15)를 대고 누른 상태에서 초음파와 하중을 인가하여 웨지 접합한다. 도 8에 나타내는 바와 같이, 기판 전극(11)에 웨지 접합부(17)를 형성한 후에 본딩 와이어(15)를 끊어냄에 의해, 1 개소의 접속이 종료한다. 반도체 칩(14)의 전극(13) 사이(내장되어 있는 칩이 서로 다른 전극(13)끼리)를 본딩 와이어(15)로 접속할 경우도 마찬가지이다. 이 후, 복수의 반도체 칩(14) 및 본딩 와이어(15)를 수지 봉지하도록, 회로 기판(12) 상에 봉지 수지층(18)을 형성함에 의해, 반도체 장치(10)가 제조된다. 반도체 장치란 구체적으로 말하면, 로직 IC, 아날로그 IC, 디스크리트 반도체, 메모리, 광 반도체 등이 있다.

[0082] 실시형태의 반도체 장치(10)에 있어서는, 본딩 와이어(15)로서 사용하는 금피복 본딩 와이어(1)가 290MPa 이상 590MPa 이하의 압축 응력이면, 본딩 와이어(15)를 회로 기판(12)의 전극(11)이나 반도체 칩(14)의 전극(13), 특히 칩 전극(13)이 접합에 적합하지 않은, 예를 들면 아래 지지가 없는 등의 위치적 조건에 놓여도, 넓은 초음파 조건이나 하중 조건 하에서 양호하게 웨지 접합할 수 있기 때문에, 반도체 칩(14)에 손상을 주지 않고, 안정적인 웨지 접합 강도를 얻을 수 있다. 또한, 웨지폭을 적절한 범위로 제어할 수 있기 때문에, 협 피치화된 전극 사이에서의 쇼트 등을 억제할 수 있다. 이들에 의해, 본딩 와이어(15)의 전극 및 전극 간의 접속 신뢰성을 향상시킨 반도체 장치를 제공하는 것이 가능해진다.

[0083] 다음으로, 도 11 및 도 12를 참조해서, 다른 반도체 장치(10)에 대해 설명한다. 도 11에 나타내는 반도체 장치(1)는, 회로 기판(12) 상에 다단으로 적층된 4개의 반도체 칩(14A, 14B, 14C, 14D)을 갖고 있다. 이들 반도체 칩(14A, 14B, 14C, 14D)은, 각각의 전극(13)이 노출되도록, 계단 형상으로 적층되어 있다. 반도체 칩(14A,

14B, 14C, 14D)의 전극(13)과 회로 기관(12)의 전극(11)은, 1개의 본딩 와이어(15)로 연속적으로 접속되어 있다. 즉, 4개의 전극(13)과 기관 전극(11)은, CWB에 의해 1개의 본딩 와이어(15)로 접속되어 있다. 또한, 화살표는 본딩 방향을 나타내고 있다.

[0084] 구체적으로는, 본딩 툴(캐필러리)에 유지된 본딩 와이어(15)는, 우선 최상단의 반도체 칩(14D)의 전극(13)에 웨지 접합된다. 다음으로, 본딩 와이어(15)를 끊어내지 않고, 본딩 툴(캐필러리)을 끌어 올려 루프를 형성하면서, 본딩 와이어(15)를 반도체 칩(14C)의 전극(13) 상에 이동시켜서 웨지 접합한다. 마찬가지로, 본딩 와이어(15)를 끊어내지 않고, 본딩 와이어(15)를 반도체 칩(14B)의 전극(13) 및 반도체 칩(14A)의 전극(13)에 대해 순서대로 웨지 접합한다. 반도체 칩(14D, 14C, 14B, 14A)의 전극(13)에 본딩 와이어(15)를 순서대로 웨지 접합한 후, 마찬가지로 회로 기관(12)의 전극(11)에 본딩 와이어(15)를 웨지 접합하고, 그 후에 본딩 와이어(15)를 끊어낸다. 이와 같이 해서, 반도체 칩(14A, 14B, 14C, 14D)의 전극(13)과 회로 기관(12)의 전극(11)을, 도중에 본딩 와이어(15)를 끊어내지 않고, 1개의 본딩 와이어(15)로 연속적으로 접속한다.

[0085] 상술한 4개의 칩 전극(13)과 기관 전극(11)에 대해, 1개의 본딩 와이어(15)를 연속적으로 웨지 접합해서 전기적으로 접속함에 의해, 불 형성의 횡수와 와이어의 끊어냄 횟수를 줄일 수 있기 때문에, 본딩 스피드의 고속화 및 그에 의거하는 생산성의 향상을 실현할 수 있다. 연속적인 웨지 접합을 실시함에 있어, 본딩 와이어(15)의 웨지 접합성이 중요해진다. 이러한 점에 대해, 본딩 와이어(15)로서 290MPa 이상 590MPa 이하의 압축 응력을 갖는 금피복 본딩 와이어(1)를 사용하고 있기 때문에, 연속적인 웨지 접합에 있어서의 전극(13, 11)에 대한 접합성을 높일 수 있다. 따라서, 반도체 칩(14)에 손상을 주지 않고, 칩 전극(13)에 대해 넓은 접합 조건 하에서 양호하게 웨지 접합할 수 있다. 따라서, CWB를 적용한 반도체 장치(10)의 생산성이나 신뢰성을 높일 수 있다.

[0086] CWB를 적용한 와이어 본딩은, 도 11에 나타내는 구조에 한정되는 것은 아니다. 예를 들면, 도 12에 나타내는 바와 같이, 최하단의 회로 기관(12)의 기관 전극(11)에 대해서는 본딩 와이어(15)를 볼 접합하여 볼 접합부(19)를 형성하고, 본딩 와이어(15)를 끊어내지 않고, 본딩 와이어(15)를 반도체 칩(14A, 14B, 14C, 14D)의 전극(13)에 순서대로 웨지 접합하고, 그 후에 본딩 와이어(15)를 끊어내도록 해도 된다. 이러한 CWB를 적용한 반도체 장치(10)에 있어서도, 본딩 와이어(15)의 웨지 접합성의 향상 효과에 의거하여, 연속적인 웨지 접합성을 높일 수 있고, CWB를 적용한 반도체 장치(10)의 생산성이나 신뢰성을 향상시키는 것이 가능해진다. 화살표는 본딩 방향을 나타내고 있다.

[0087] 실시형태의 반도체 장치(10)는, 2개의 전극 사이를 본딩 와이어(15)로 접속함에 있어서, 적어도 한쪽의 전극에 웨지 접합되어 있으면 되고, 그에 의해 실시형태의 금피복 본딩 와이어(1)에 의한 웨지 접합성의 향상 효과, 그에 의거하는 웨지 접합의 접합 강도나 접합 신뢰성의 향상 효과 등을 발휘시킬 수 있다. 단, 실시형태의 금피복 본딩 와이어(1)에 의한 웨지 접합성의 향상 효과를 보다 효과적으로 발휘시키는데 있어, 본딩 와이어(15)로 접속하는 2개의 전극 중, 적어도 한쪽이 반도체 칩(14)의 전극(13)인 것이 호적하고, 그러한 칩 전극(13)에 웨지 접합하는 반도체 장치(10)인 것이 호적하다. 특히, 실시형태의 반도체 장치(10)는, 도 11 및 도 12에 나타낸 바와 같이, CWB를 적용하여 와이어 본딩을 실시한 반도체 장치에 호적하고, 그러한 경우에 양호한 웨지 접합성 및 그에 의거하는 양호한 접합 강도나 접합 신뢰성을 보다 효과적으로 발휘시킬 수 있다.

[0088] [실시예]

[0089] 다음으로, 본 발명의 실시예에 대해 설명한다. 본 발명은 이하의 실시예에 한정되지 않는다.

[0090] (실시예의 제조 방법 및 속성)

[0091] 표 1에 나타내는 심재를 준비하고, 연속 신선으로 중간 선 직경 0.2~0.5mm까지 가공한 후, 금전해 도금욕 중에 심재를 연속적으로 송선하면서 침지시켜, 전류 밀도 0.15~2.00A/dm²의 전류로 금피복층을 형성했다.

[0092] 실시예 16~19, 21, 31~36에 대해서는, 금피복층을 형성하기 전에 표 1에 나타내는 중간층을 마찬가지로 전해 도금 방법으로 형성했다. 실시예 1~19는, 중간 선 직경 $\phi 38\mu\text{m}$ ~ $100\mu\text{m}$ 까지, 실시예 22~36는, $\phi 50\mu\text{m}$ ~ $200\mu\text{m}$ 까지 중간 신선 가공하고, 표 1에 나타내는 중간 열 처리 온도(전기로의 설정 온도)에서, 송선 속도 0.20~1.00m/초로 열 처리를 실시했다. 열 처리는 시간으로 환산하면 약 0.5~3초로 된다. 이 후, 표 1에 나타내는 최종 선 직경까지 각각을 신선 가공하고, 표 1에 나타내는 신장률을 목표로 하여, 열 처리 온도와 송선 속도를 조정해서 최종 열 처리를 실시했다. 이와 같이 해서 실시예 1~34의 금피복 본딩 와이어를 제작했다.

[0093] 이들 완성한 금피복 본딩 와이어에 대해, 압축 응력 및 심재 단면(斷面)의 비커스 경도를 상술한 방법으로 측정

하고, 그들의 결과를 표 1에 나타냈다. 이와 같이 해서 얻은 금피복 본딩 와이어를 후술하는 특성 평가에 제공했다.

- [0094] (비교예의 제조 방법 및 속성)
- [0095] 비교예에 대해 설명한다. 압축 응력이 본 발명의 범위 외로 되는 본딩 와이어를 비교예 1~6, 11~18에 나타내고, 금 이외의 피복층을 형성하는 본딩 와이어를 비교예 10, 19, 20에 나타낸다. 또한, 피복층을 형성하지 않는 본딩 와이어를 비교예 7~9에 나타냈다. 이상을 변경한 것 이외는, 기본적으로 실시예와 마찬가지로 제조 방법으로 비교예 1~20의 본딩 와이어를 제작했다. 실시예와 마찬가지로 이들 본딩 와이어의 압축 응력 및 심재 단면의 비커스 경도를 상술한 방법으로 측정하고, 결과를 표 1에 나타냈다. 이와 같이 해서 얻은 본딩 와이어를 후술하는 특성 평가에 제공했다.
- [0096] (실시예, 비교예의 웨지 접합성 평가)
- [0097] 상기에서 제작한 시료의 웨지 접합 평가에 대해 설명한다. 웨지 접합하는 상대는 회로 기판 상의 전극과 칩 전극의 2종류가 있다. 상재는 후술하지만, 평가 항목으로서 연속 본딩했을 때에 불량 발생하지 않는지의 여부(연속 본딩성), 본딩 와이어가 제대로 접합되어 있는지의 여부(접합 강도), 칩이 손상하고 있지 않은지의 여부의 3개의 평가를 행한다. 평가 결과를 표 1 및 표 2에 나타낸다. 단, 칩 손상 평가에 관해서는 텔리컷하고 깨지기 쉬운 칩 전극으로만 했다.
- [0098] (웨지 접합 평가의 접합 에너지)
- [0099] 상술한 바와 같이, 특히 다단 적층한 칩의 전극에 본딩 와이어를 웨지 접합할 때에는, 접합하는 위치나 로케이션 등에 따라, 칩 깨짐을 일으키지 않고, 단단히 접합시켜야만 하기 때문에, 다양하게 서로 다른 광범위한 접합 조건이 요구된다. 와이어의 적응성을 도모하는 지표로서, 접합 에너지가 평가 방법으로서 적합하고, 접합 에너지의 조건을 광범위하게 할당해도, 문제없이 상기한 3개의 평가 항목에 합격할 수 있는지의 여부를 확인한다.
- [0100] 접합 에너지는 대략적으로 말하면, 와이어의 찌부러짐률에 의존한다. 예를 들면, 와이어를 크게 찌부러뜨리기 위해서는, 와이어에의 하중 압력, 하중 시간, 초음파 등의 조건을 종합적으로 크게 하지 않으면 안 된다. 여기에서는, 와이어 선 직경에 대한 찌부러짐률((찌부러뜨린 와이어 두께/찌부러뜨리기 전의 와이어 선 직경)×100)(%)에 의해, 접합 에너지를 3개의 수준으로 나눈다. 즉, 와이어의 찌부러짐률이 47% 이상 53% 이하를 저접합 에너지, 57% 이상 63% 이하를 중접합 에너지, 67% 이상 73% 이하를 고접합 에너지로 정의했다. 이들 접합 에너지 조건은 본더 장치(큐릭·앤드·소파사제 IConn PLUS)로 조정했다.
- [0101] 상기와 같이, 웨지 접합은, 회로 기판 전극과 칩 전극의 2종류 있고, 회로 기판의 전극에의 웨지 접합은, 아래 지지도 탄탄하여, 칩 전극에 비해, 그만큼의 접합 환경이 서로 다른 상황이 되지 않기 때문에, 여기에서는 고접합 에너지만의 조건에서 웨지 접합성을 평가했다. 한편, 칩 전극은 다양한 접합 환경을 강요받을 가능성이 높기 때문에, 저, 중, 고의 3수준의 접합 에너지의 조건에서 웨지 접합성을 평가했다.
- [0102] 또한, 보다 시비어하고 텔리컷한 다단층 칩 전극의 연속 웨지 본딩의 실장 레벨에 가까운 엄격한 접합 환경을 시뮬레이트하기 위해, 표 1에서 사용하는 칩은 범용 칩에 비해 Al 전극의 밀착성을 저하시킨 것을 채용했다. 본 칩의 단면 구조는 Si 기판 상에 절연막(SiO₂막)을 갖고, 그 SiO₂막 상에 Al막을 형성하고 있다. 한편, 범용 칩의 단면 구조는 Si 기판 상에 절연막(TEOS: 테트라에톡시실란)을 갖고, 절연막과 Al 전극 사이에 TiN층을 마련하고 있어, Al 전극의 밀착성을 향상시키는 구조를 취한다. 본 칩을 채용함에 의해, 칩 손상 또는 칩 전극(패드)의 손상(웨지 접합 후의 루핑 동작 시에 Al 전극이 칩으로부터 박리되는 현상)이 발생하기 쉬운 상황 및 조건으로 된다. 또한, 전극 두께는 0.8 μ m, 전극의 재질은 Al-0.5%Cu, 또는 Al-1%Si-0.5%Cu로 했다.
- [0103] (기판 전극 상의 웨지 접합의 연속 본딩성)
- [0104] 기판 전극 상의 웨지 접합성에 대해서는, 칩 전극과 기판 전극(리드 프레임)의 연속 와이어 본딩으로 평가했다. 웨지 접합 조건은, 상술한 고접합 조건에서, Ag 도금 리드 프레임에 대해 36사이클×2세트의 합계 72개소 웨지 접합했다. 여기에서의 1사이클이란 칩 전극 상의 볼 본딩으로부터 프레임 상의 웨지 접합 및 와이어의 끊어냄까지를 말하고, 이 사이클을 36회 연속해서 2세트 행했다. 합계 72회 접합한 가운데, 웨지 접합부의 불착(不着)이나 와이어 끊어짐 등의 불량에 의해 장치가 정지하지 않은 경우는, 연속 본딩성이 양호하기 때문에 「◎」로 표기했다. 웨지 접합부의 불량에 의한 장치의 정지 횟수가 2회 미만인 경우는, 양산 공정에서 개선 가능하다고 해서 「○」로 표기했다. 상기 장치의 정지 횟수가 2회 이상인 경우는 불량으로 간주하고 「×」로

표기했다.

- [0105] (기판 전극 상의 풀 테스트=접합 강도 평가)
- [0106] 상기 와이어 본딩으로 웨지 접합한 시료를 본드 테스터(일례 : 테이지사제, 본드 테스터 4000형)를 사용해서, 시료의 웨지 접합 근방에 후크를 걸어 풀 테스트를, 상기의 조건에서 행한 시료 중에서 20와이어를 무작위 추출로 실시하고, 리프트(파단 모드 중의 하나)의 유무를 확인했다. 본드 테스터의 설정 조건은 로드 셀 WP100, 측정 레인지 50%, 테스트 속도 250 μ m/min으로 했다. 풀 테스트의 파단 모드에 있어서, 접합부의 와이어가 기판으로부터 박리되어 버리는 리프트의 발생이 없는 경우는 양호하다는 것으로 「◎」로 표기했다. 리프트의 발생 수가 3개 미만인 경우는 양산 공정에서 개선 가능하다고 하여 「○」로 표기했다. 리프트의 발생 수가 3개 이상인 경우는 불량으로 하여 「×」로 표기했다. 또한, 풀 강도 2gf 미만이 1개라도 발생했을 경우에 있어서도 불량으로 하여 「×」로 표기했다.
- [0107] (칩 전극 상의 웨지 접합성의 연속 본딩성)
- [0108] 본 평가는 Ag 도금 리드 프레임에 상기 칩을 탑재한 디바이스를 사용했다. 상기 칩 상에 CWB 방식을 사용해서, 360개(10개/사이클×36사이클)의 연속 웨지 본딩을 실시했다. 1사이클에는 상기 웨지 접합 조건(저접합 에너지, 중접합 에너지, 고접합 에너지의 3수준)을 마련하고 있고, 1사이클당 3개/웨지 접합 조건×3수준의 웨지 접합을 갖는다(최초의 1개째의 본딩은 불 본딩으로 행하고 있기 때문에, 웨지 본딩 개소는 1사이클에서 9개로 됨). 따라서, 1칩당 각 수준에서 접합된 와이어는 108개(웨지 접합 수 108본드=3개×36사이클)로 된다. 웨지 본딩용의 캐필러리 형상은 H 직경 : 와이어 선 직경의 1.2~1.3배, CD 직경 : 와이어 선 직경의 1.5~1.8배, T : 와이어 선 직경의 3.5~3.8배, FA : 0° , OR 직경 : 4~12 μ m, 표면 마감 Matte 사양을 사용했다. 웨지 접합부의 불착, Al막의 박리, 와이어 끊어짐 등의 불량에 의해 장치가 정지하지 않은 경우는, 각 접합 에너지에서의 웨지 접합의 연속 본딩성이 양호하다고 하여 「◎」로 표기했다. 각 접합 에너지에서 웨지 접합부의 불량에 의한 장치의 정지 횟수가 5회 미만인 경우는, 양산 공정에서 개선 가능하다고 하여 「○」로 표기했다. 상기 장치의 정지 횟수는 5회 이상인 경우는 당해 접합 에너지에서의 웨지 접합성이 불량하다고 하여 「×」로 표기했다.
- [0109] (칩 전극 상의 풀 테스트=접합 강도 평가)
- [0110] 상기 칩 상의 웨지 접합으로 제작한 시료를 본드 테스터(일례 : 테이지사제, 본드 테스터 4000형)로, 시료에 후크를 걸어 인장하는 풀 테스트를, 접합 에너지 조건마다 108개 중에서 무작위로 추출한 20와이어를 실시하고, 파단 모드를 확인했다. 본드 테스터의 설정 조건은 로드 셀 WP100, 측정 레인지 50%, 테스트 속도 250 μ m/min으로 했다. 풀 테스트의 파단 모드에 있어서, 접합부의 와이어가 칩 전극으로부터 박리되어 버리는 리프트의 발생이 없는 경우는, 당해 접합 에너지에서의 웨지 접합 강도가 양호하다고 하여 「◎」로 표기했다. 리프트의 발생 수가 3개 미만일 경우는, 양산 공정에서의 개선 가능하기 때문에 「○」로 표기했다. 리프트의 발생 수가 3개 이상인 경우는, 당해 접합 에너지에서의 웨지 접합 강도가 불량하다고 하여 「×」로 표기했다.
- [0111] (칩 손상 평가)
- [0112] 본 평가는 Ag 도금 리드 프레임에 상기 칩을 탑재한 디바이스를 사용하여, 상기 칩 상에 CWB 방식으로, 64개(16개/사이클×4세트)의 연속 본딩을 실시했다. 1사이클에는 상기 웨지 접합 조건(저접합 에너지, 중접합 에너지, 고접합 에너지의 3수준)을 마련하고 있고, 1사이클에 대해 5개 단위로 3개의 접합 에너지 수준으로 할당했다(상기와 마찬가지로 최초의 1개째는 불 본딩으로 행하고 있기 때문에, 웨지 본딩 개소의 합계는 15개로 됨). 1칩당 각 수준에서 접합된 와이어가 20개(웨지 접합 수 20본드=5개×4세트)로 된다. 웨지 본딩용의 캐필러리는 단락 <0105> 및 <0106>와 동일한 것을 사용했다.
- [0113] 본딩한 후, 칩 전극을 용해하여 칩 하지를 노출시키기 위해, 웨지 본딩을 행한 시료를 수산화나트륨 수용액에 30분 정도 담그고, 와이어가 칩으로부터 박리된 것을 확인하고, 순수 세정, 알코올 세정, 건조의 순서로 시료를 세정한 후, 노출 한 칩의 하지(Si 또는 SiO₂)를 광학 현미경으로 각 접합 에너지 수준에서 행한 접합부를 무작위로 10개소 관찰했다. 패드(칩 전극) 크랙이 없는 경우는, 당해 접합 에너지에서의 웨지 접합성이 양호하다고 하여 「◎」로 표기했다. 패드 크랙이 1개라도 발생했을 경우는, 당해 접합 에너지에서의 웨지 접합성이 불량으로 하여 「×」로 표기했다.
- [0114] 표 1 및 표 2의 웨지 접합성에 대해, 상기 연속 본딩성, 접합 강도, 칩 손상의 평가 항목에 불량 「×」가 하나라도 있었던 경우에는, 다만 적층 구조에서의 연속 웨지 접합에 대응할 수 없다고 추정하여, 종합 평가에서 불합격으로 했다. 또한, 「×」의 평가가 없는 것은 종합 평가에서 합격으로 했다.

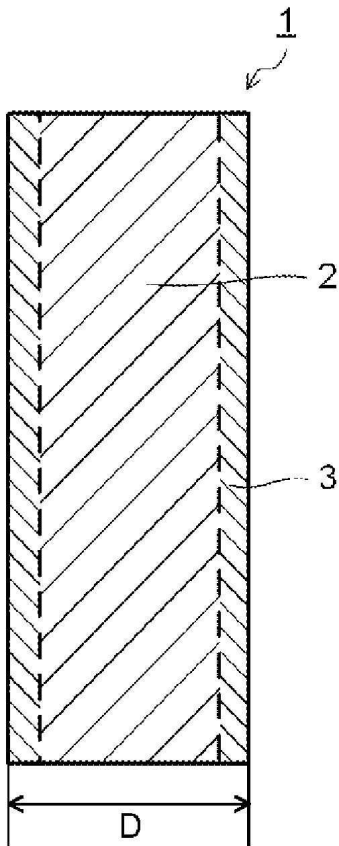
[0121] 본 발명에 의해, 특히 반도체 메모리로 대표되는 기억 용량의 대용량화와 소형화의 상반되는 시장 니즈에 대응하고, 재료 비용, 생산 비용을 억제한 본딩 와이어를 제공할 수 있는 것은 반도체 산업이나 전자로닉스 산업 등의 발전에 크게 공헌할 수 있다고 생각한다.

부호의 설명

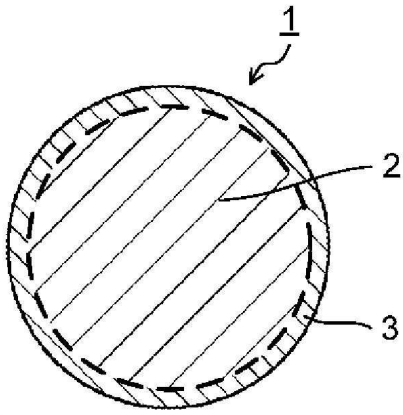
[0122] 1...금피복 본딩 와이어, 2...심재, 3...피복층, 4...중간 금속층, 10...반도체 장치, 11...기판 전극, 12...회로 기판, 13...칩 전극, 14, 14A, 14B, 14C, 14D...반도체 칩, 15...본딩 와이어, 16...다이 본딩재, 17...웨이 접합부, 18...봉지 수지층, 19...볼 접합부

도면

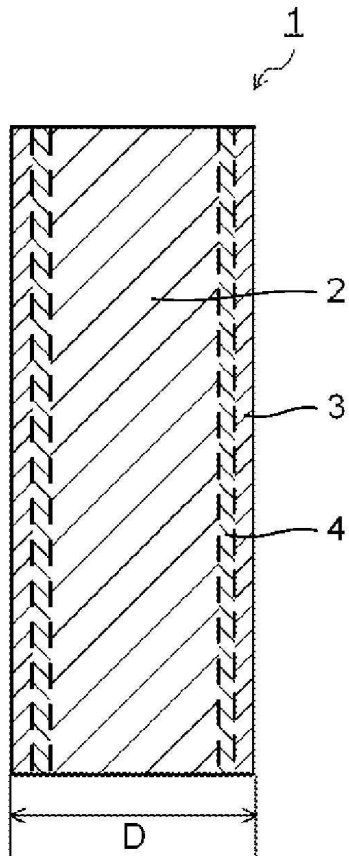
도면1



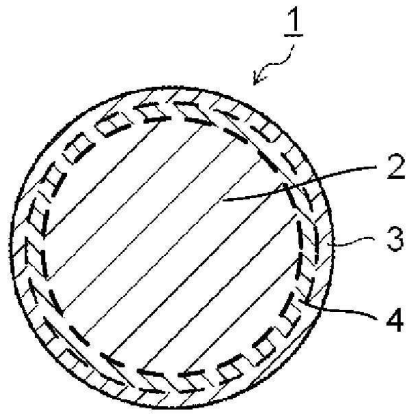
도면2



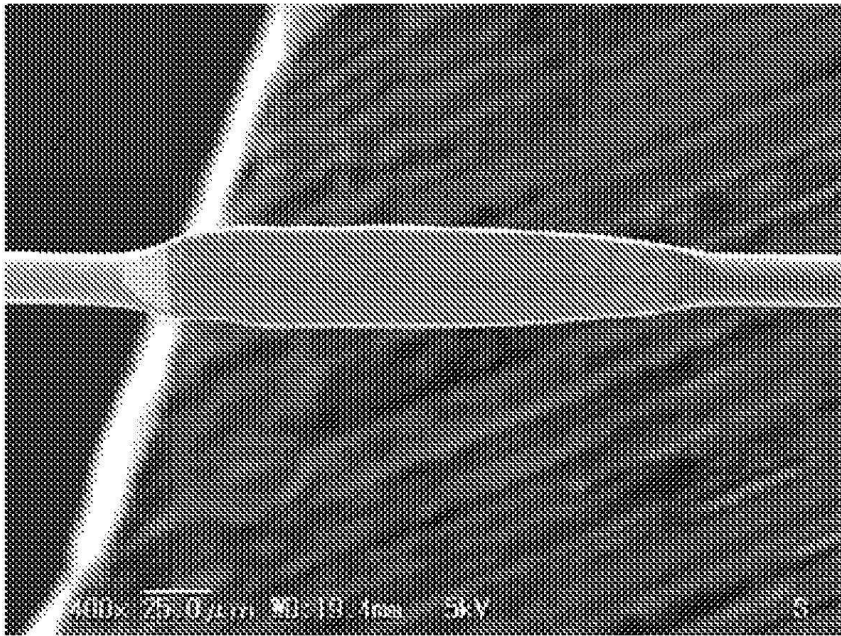
도면3



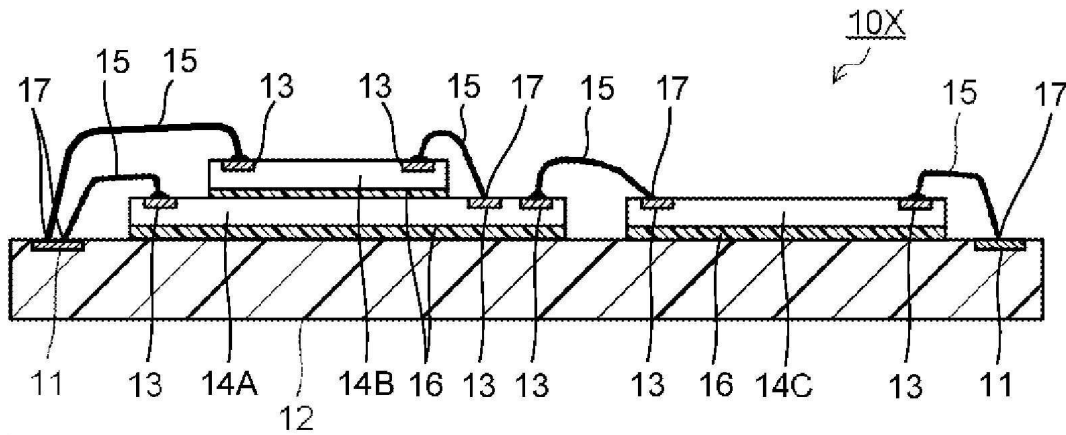
도면4



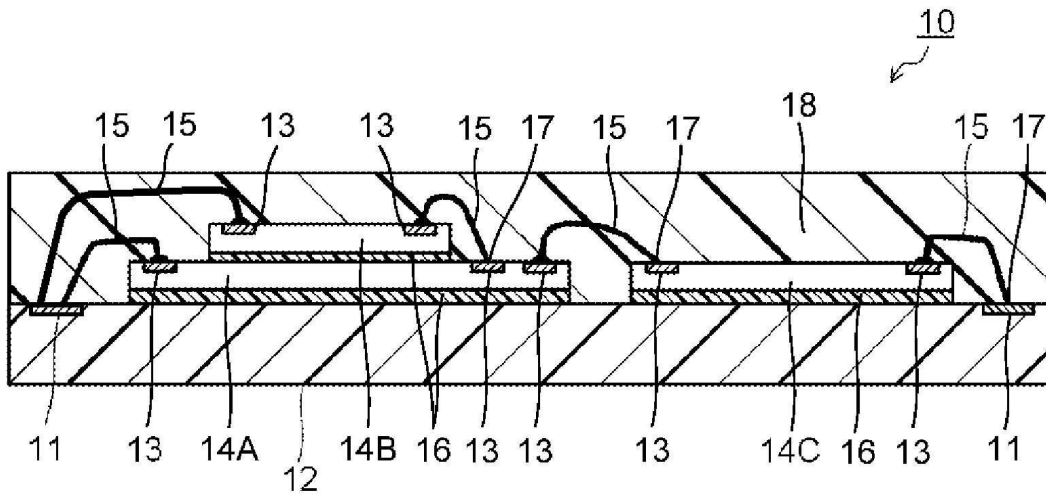
도면5



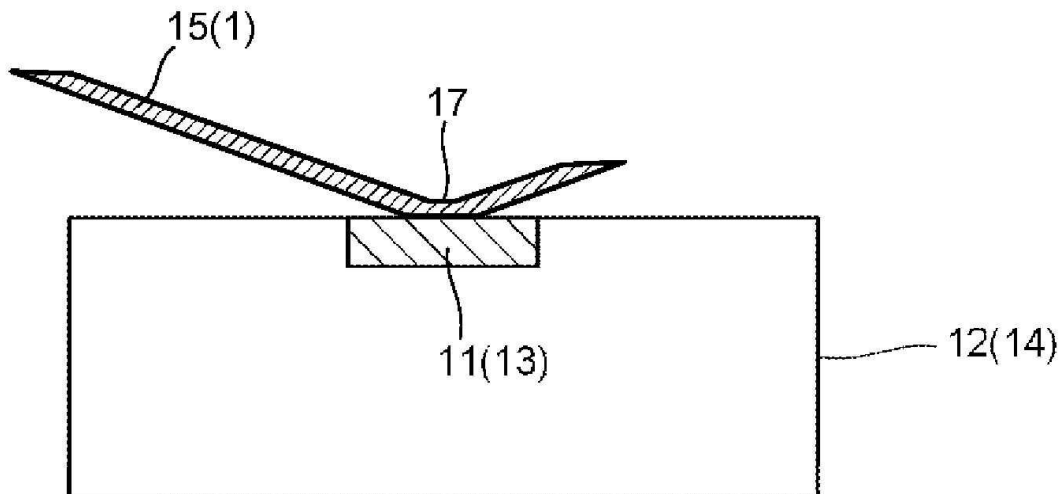
도면6



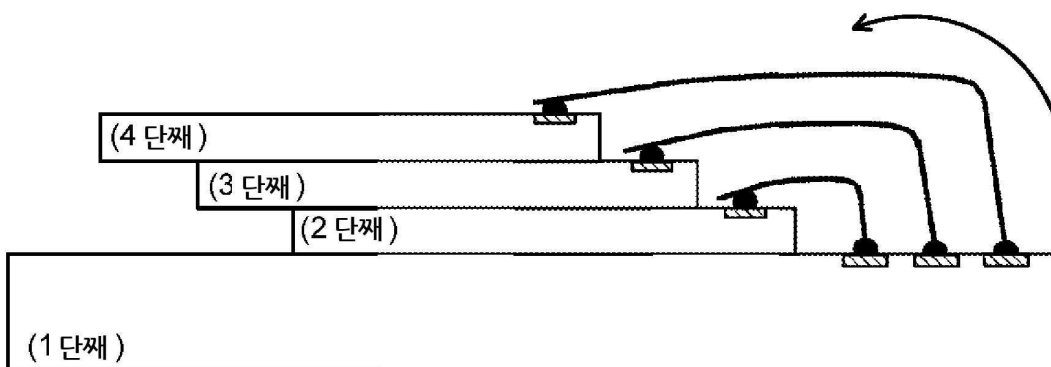
도면7



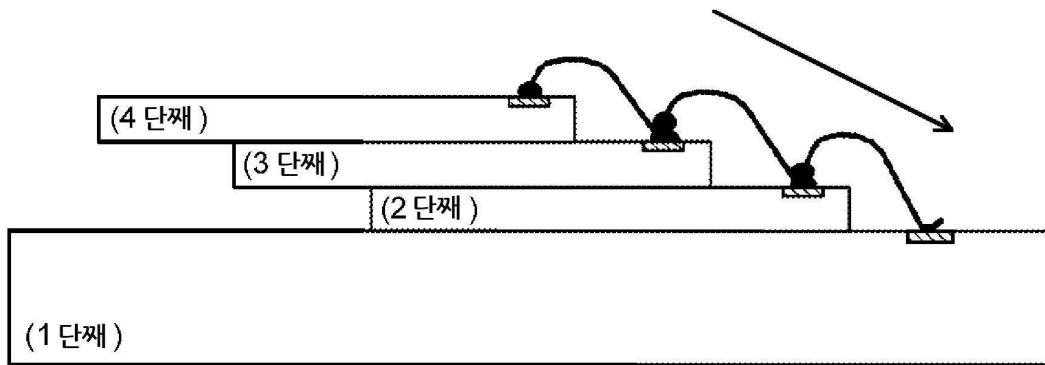
도면8



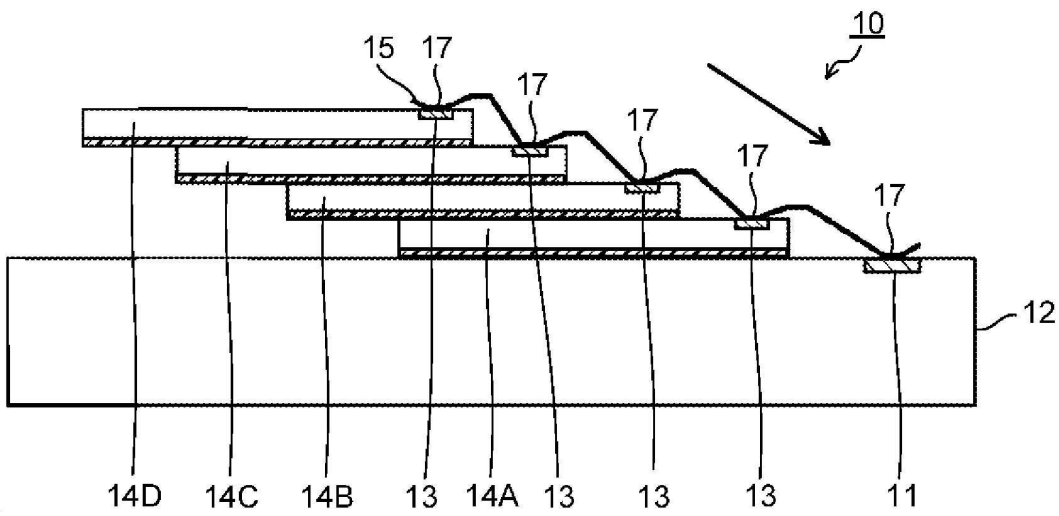
도면9



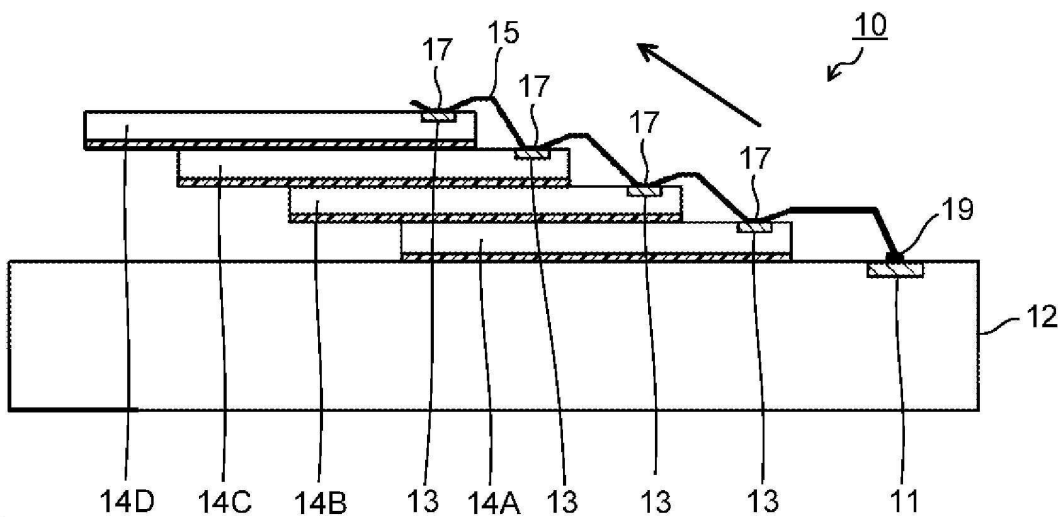
도면10



도면11



도면12



도면13

