

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6102198号
(P6102198)

(45) 発行日 平成29年3月29日 (2017.3.29)

(24) 登録日 平成29年3月10日 (2017.3.10)

(51) Int. Cl.		F I			
H03F	1/34	(2006.01)	H03F	1/34	
H03F	3/19	(2006.01)	H03F	3/19	
H03F	3/45	(2006.01)	H03F	3/45	B
H03F	3/68	(2006.01)	H03F	3/68	Z

請求項の数 4 (全 13 頁)

(21) 出願番号	特願2012-250540 (P2012-250540)	(73) 特許権者	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成24年11月14日 (2012.11.14)	(74) 代理人	100104190 弁理士 酒井 昭徳
(65) 公開番号	特開2014-99762 (P2014-99762A)	(72) 発明者	▲角▼田 有紀人 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(43) 公開日	平成26年5月29日 (2014.5.29)	審査官	緒方 寿彦
審査請求日	平成27年7月6日 (2015.7.6)		

最終頁に続く

(54) 【発明の名称】 増幅回路

(57) 【特許請求の範囲】

【請求項1】

入力信号を増幅するエミッタ接地の増幅回路と、
前記増幅回路の出力線に、コレクタを接続するとともに、前記出力線とベースとの間を抵抗を介して接続したトランジスタを有するエミッタ接地の帰還回路と、を有し、
前記増幅回路は、一对のトランジスタを有し、同相と逆相の一对の出力線を有する差動増幅回路であり、
前記帰還回路は、一对のトランジスタと、一对の抵抗とを有し、一对の前記出力線のうち正相に接続した一方のトランジスタのコレクタには、当該一方のトランジスタのベースを接続し、逆相に接続した他方のトランジスタのコレクタには、当該他方のトランジスタのベースを接続し、
前記抵抗は、可変抵抗、または前記帰還回路の電流を可変する可変電流源であり、所定の周波数特性に対応して前記可変抵抗の抵抗値、または前記可変電流源の電流量を調整することを特徴とする増幅回路。

【請求項2】

前記帰還回路の一对のトランジスタのエミッタ間を抵抗を介して接続したことを特徴とする請求項1に記載の増幅回路。

【請求項3】

前記出力線の出力段にエミッタフォロワ回路を設け、
前記エミッタフォロワ回路の入力を、前記増幅回路の前記トランジスタのコレクタに接

続し、前記エミッタフォロワ回路の出力を前記帰還回路の前記トランジスタのベースに帰還接続したことを特徴とする請求項 1 または 2 に記載の増幅回路。

【請求項 4】

前記出力線の出力端子に接続されるレーザ素子を備え、

前記増幅回路により前記レーザ素子を発光駆動することを特徴とする請求項 1 ~ 3 のいずれか一つに記載の増幅回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号を増幅する増幅回路に関する。

10

【背景技術】

【0002】

近年通信分野ではデータ通信量の増大にともない、一つの信号で大量のデータを送信するため、データレート的高速化が進んでいる。これにともない、高速の信号を増幅、整形、駆動する高速に対応した回路が求められている。信号の増幅回路としては、エミッタ接地増幅回路や、その差動エミッタ接地増幅回路などが広く用いられている。これらの増幅回路では、トランジスタのコレクタ、配線、追加回路などの寄生容量により帯域が劣化し、周波数特性の不足（高域不足）、アイ波形の立ち上がり/立ち下がり不十分となるとともに、ジッタ増加等により高速化できない。

【0003】

20

高速化対策として、帰還型的高速増幅回路（たとえば、下記非特許文献 1 の Fig. 2 参照。）が開示されている。この回路は帰還回路により信号から低速成分を減算し、広帯域化、高速化を図ろうとするものである。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献 1】Justin Abbott, Calvin Plett, John W. M. Rogers, 「A 15 GHz, 1.8 V, Variable-Gain, Modified Cherry-Hooper Amplifier」, IEEE 2005 CUSTOM INTEGRATED CIRCUITS CONFERENCE, 22-5-1 ~ 22-5-4, p. 645 ~ p. 648

30

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかし、帰還型的高速増幅回路においても、追加した帰還回路が有する寄生容量により、帯域の劣化やジッタ増加が追加されることになるため、十分に高速化できない。高速化を阻害する要因は、帰還回路による寄生容量（上記非特許文献 1 の式（5）内の C_2 ）の増加であり、主に帰還回路のトランジスタのベース寄生容量が劣化の要因となっている。また、帰還回路により主信号から減算を行って高速化を行っているが、この構成では低速成分の減算だけでなく、高速成分の減算も行っている。そのため、高速成分もさらに劣化し、高速化、広帯域化を達成できていない。

40

【0006】

一つの側面では、本発明は、信号増幅を広帯域化および高速化できることを目的とする。

【課題を解決するための手段】

【0007】

一つの案では、入力信号を増幅するエミッタ接地の増幅回路と、前記増幅回路の出力線に、コレクタを接続するとともに、前記出力線とベースとの間を抵抗を介して接続したトランジスタを有するエミッタ接地の帰還回路と、を有し、前記増幅回路は、 一對のトランジスタを有し、同相と逆相の一對の出力線を有する差動増幅回路であり、前記帰還回路は

50

、一对のトランジスタと、一对の抵抗とを有し、一对の前記出力線のうち正相に接続した一方のトランジスタのコレクタには、当該一方のトランジスタのベースを接続し、逆相に接続した他方のトランジスタのコレクタには、当該他方のトランジスタのベースを接続し、前記抵抗は、可変抵抗、または前記帰還回路の電流を可変する可変電流源であり、所定の周波数特性に対応して前記可変抵抗の抵抗値、または前記可変電流源の電流量を調整する増幅回路が提案される。

【発明の効果】

【0008】

一つの実施形態によれば、信号増幅を広帯域化および高速化できる。

【図面の簡単な説明】

10

【0009】

【図1】図1は、実施の形態1にかかる増幅回路を示す図である。

【図2】図2は、実施の形態1にかかる増幅回路の周波数特性を示す図表である。

【図3】図3は、実施の形態1にかかる増幅回路の差動信号の時間波形（アイ開口）を示す図表である。

【図4】図4は、実施の形態2にかかる増幅回路を示す図である。

【図5】図5は、実施の形態3にかかる増幅回路を示す図である。

【図6】図6は、実施の形態4にかかる増幅回路を示す図である。

【図7】図7は、実施の形態4にかかる増幅回路の周波数特性を示す図表である（その1）。

20

【図8】図8は、実施の形態4にかかる増幅回路の周波数特性を示す図表である（その2）。

【図9】図9は、実施の形態4にかかる増幅回路の差動信号の時間波形（アイ開口）を示す図表である。

【図10】図10は、実施の形態5にかかる増幅回路を示す図である。

【図11】図11は、実施の形態6にかかる増幅回路を示す図である。

【図12】図12は、実施の形態7にかかるレーザ駆動回路を示す図である（その1）。

【図13】図13は、実施の形態7にかかるレーザ駆動回路を示す図である（その2）。

【図14】図14は、実施の形態7にかかるレーザ駆動回路を示す図である（その3）。

【発明を実施するための形態】

30

【0010】

（実施の形態1）

以下に添付図面を参照して、開示技術の好適な実施の形態を詳細に説明する。図1は、実施の形態1にかかる増幅回路を示す図である。

【0011】

この増幅回路100は、差動増幅回路101と、帰還回路102とを含む。差動増幅回路101は、一对（2個）のトランジスタ T_{r1} 、 T_{r2} 、2個の負荷（抵抗）111、112、電流源113、2個の入力端子（ in_p ）114、（ in_n ）115、2個の出力端子116、117を含む。

【0012】

40

第1のトランジスタ T_{r1} のベースは、第1の入力端子114に接続されている。第1のトランジスタ T_{r1} のコレクタは、第1の抵抗111の一端に接続されているとともに、第2の出力端子（信号線 out_n ）117に接続されている。第2のトランジスタ T_{r2} のベースは、第2の入力端子115に接続されている。第2のトランジスタ T_{r2} のコレクタは、第2の抵抗112の一端に接続されているとともに、第1の出力端子（信号線 out_p ）116に接続されている。

【0013】

第1の抵抗111および第2の抵抗112のそれぞれ他端は、電源電圧 V_{DD} が印加される電源端子118に共通接続されている。第1のトランジスタ T_{r1} および第2のトランジスタ T_{r2} のエミッタは共通接続されて、電源電圧 V_{SS} が印加される電源端子119

50

との間に設けられた電流源 113 に接続されている。

【0014】

上記構成の差動増幅回路 101 は、一对の入力端子 114, 115 に入力された信号の差分を増幅し、一对の出力端子 116, 117 から互いに異なる位相（正相と逆相）の信号を出力する。

【0015】

帰還回路 102 は、一对（2 個）の差動動作のトランジスタ Tr_3 , Tr_4 と、電流源（テール電流源）121 と、2 個の抵抗 122, 123 とを含む。トランジスタ Tr_3 , Tr_4 のコレクタは、それぞれ正相と逆相の信号線 out_p , out_n に接続される。正相の信号線 out_p に接続したトランジスタ Tr_3 のベースには、正相の信号線 out_p が抵抗 122 を介して接続される。逆相の信号線 out_n に接続したトランジスタ Tr_4 のベースには、逆相の信号線 out_n が抵抗 123 を介して接続される。これら抵抗 122, 123 は、トランジスタ Tr_3 , Tr_4 のベースと正相（逆極性）の信号線の間並列に接続される。

【0016】

帰還回路 102 のトランジスタ Tr_3 , Tr_4 は、コレクタとベースに入力する信号が同一の信号線（ out_p , out_n ）であり、そのまま差動増幅回路 101 に帰還させる構成である。このため、差動増幅回路 101 は、帰還回路 102 の非線形成分やリミッタ等の劣化影響を受けずに、入力された信号をそのまま帯域拡大し、高速動作することができる。

【0017】

上記構成によれば、帰還回路 102 に設けた抵抗 122, 123 により、帰還回路 102 のトランジスタ Tr_3 , Tr_4 のベースの寄生容量 C_2 をシールドすることができる。これにより、信号線 out_p , out_n に与える劣化を排除できるようになる。

【0018】

また、抵抗 122, 123 と、トランジスタ Tr_3 , Tr_4 のベースの寄生容量 C_2 からなる RC フィルタが得られ、低周波成分のみを帰還させて主信号（信号線）から減算する。これにより、帰還回路 102 における減算量の高速（高域）成分の低下を抑え、さらに周波数特性の広帯域化および動作の高速化を図ることができるようになる。

【0019】

また、図 1 に示した電流源 113, 121 の電流調整、および抵抗 122, 123 を抵抗可変させる構成としてもよい。この点は、後述する他の実施形態で説明するが、電流源 113, 121 の電流調整、あるいは、抵抗 122, 123 の抵抗可変により、帯域調整できるようになる。

【0020】

図 2 は、実施の形態 1 にかかる増幅回路の周波数特性を示す図表である。横軸は周波数、縦軸は増幅率である。図示のように、従来の差動増幅回路は、増幅率が高いものの、全体的に右下がり、すなわち、周波数が高くなるにつれ、増幅率が低下する周波数特性である（帯域幅 f_1 ）。また、従来の帰還型差動増幅回路は、従来の差動増幅回路に比して周波数特性は平坦であるが、高域の周波数が劣化している。

【0021】

これに対し、実施の形態の帰還型差動増幅回路は、高域成分の低下を抑え、高域の周波数特性を向上できるため、広い周波数に亘って周波数特性を平坦にすることができ、帯域幅 f_2 を有して周波数特性を広帯域化できる。帯域は、たとえば、増幅率のピークから所定レベル（3 dB）低下した増幅率までの周波数範囲で示される。

【0022】

図 3 は、実施の形態 1 にかかる増幅回路の差動信号の時間波形（アイ開口）を示す図表である。（a）に示す従来の差動増幅回路では、アイ開口 W_1 が狭く、また、ジッタの影響によりクロスポイント A1 にぶれが生じており、信号の立ち上がり、立ち下がり特性が悪い。（b）に示す従来の帰還型差動増幅回路では、アイ開口 W_2 が狭い。これに対して

10

20

30

40

50

、(c)に示す実施の形態の帰還型差動増幅回路では、ジッタ低減によりクロスポイントA1が細く明確になり、アイ開口W3が十分に開き広くでき、信号の立ち上がり、立ち下がり特性を改善できる。

【0023】

以上説明した実施の形態1によれば、差動増幅回路に追加した帰還回路のベースと信号線の間直列に抵抗を設けたため、帰還回路のベースの寄生容量は、抵抗にシールドされて寄生容量の影響を大幅に低減でき広帯域化できる。そして、直列抵抗とベースの寄生容量がRCフィルタの役割を果たすため、帰還回路が低周波成分のみ帰還および減算できるようになる。これにより、高速(高域)成分の劣化を防ぎ、低速成分のみの減算がおこなえるようになり、動作を高速化できる。

10

【0024】

また、帰還回路102は、バイポーラ型のトランジスタTr3, Tr4を用い、これらのコレクタとベースの信号は電圧が同極性であるため、バイポーラ型のトランジスタTr3, Tr4におけるベース・コレクタ間の電位逆転が生じない。

【0025】

(実施の形態2)

図4は、実施の形態2にかかる増幅回路を示す図である。実施の形態2は、増幅回路をシングル増幅のエミッタ接地構造としたものである。図4において、実施の形態1(図1)と同一の構成には同一の符号を付してあり、増幅回路および帰還回路は、差動対のうち一方だけとしている。エミッタ接地の増幅回路101であればシングル増幅であっても実施の形態1と同様に適用することができる。

20

【0026】

増幅回路101は、1個のトランジスタTr1、1個の抵抗111、1個の入力端子(in)114および1個の出力端子117とを含む。

【0027】

第1のトランジスタTr1のベースは、入力端子114に接続されている。第1のトランジスタTr1のコレクタは、抵抗111の一端に接続されるとともに、出力端子(信号線out)117に接続されている。抵抗111の他端は、電源電圧V_{DD}が印加される電源端子118に接続されている。第1のトランジスタTr1のエミッタは電源電圧V_{SS}が印加される電源端子119に接地接続されている。

30

【0028】

帰還回路102は、1個のトランジスタTr4と、1個の抵抗123とを含む。トランジスタTr4のコレクタは、信号線outに接続される。また、信号線outに接続したトランジスタTr4のベースには、信号線outが抵抗123を介して接続される。すなわち、抵抗123は、トランジスタTr4のベースと信号線の間直列に接続される。帰還回路102のトランジスタTr4は、コレクタとベースに入力する信号が同一の信号線(out)であり、そのまま増幅回路101に帰還させる構成である。

【0029】

上記構成によれば、シングル増幅の増幅回路101においても、実施の形態1と同様に帰還回路102を設けることにより、実施の形態1同様の効果を得ることができる。すなわち、帰還回路102に設けた抵抗123により、帰還回路102のトランジスタTr4のベースの寄生容量C₂をシールドすることができる。これにより、信号線outに与える劣化を排除できるようになる。

40

【0030】

また、抵抗123と、トランジスタTr4のベースの寄生容量C₂からなるRCフィルタが得られ、低周波成分のみを帰還させて主信号(信号線)から減算する。これにより、帰還回路102における減算量の高速(高域)成分の低下を抑え、さらに周波数特性の広帯域化および動作の高速化を図ることができるようになる。

【0031】

(実施の形態3)

50

図5は、実施の形態3にかかる増幅回路を示す図である。実施の形態3は、実施の形態1（図1）の構成に加えて、出力段にエミッタフォロワ回路501を追加したものである。差動増幅回路101と、帰還回路102の構成は、実施の形態1（図1）と同様であり、説明を省略する。

【0032】

差動増幅回路101のトランジスタTr1のコレクタ、および帰還回路102のトランジスタTr4のコレクタが接続される信号線onは、エミッタフォロワ回路501を構成する第5のトランジスタTr5のベースに接続される。差動増幅回路101のトランジスタTr2のコレクタ、および帰還回路102のトランジスタTr3のコレクタが接続される信号線opは、エミッタフォロワ回路501を構成する第6のトランジスタTr6のベースに接続される。

10

【0033】

エミッタフォロワ回路501を構成するトランジスタTr5、Tr6のコレクタは、電源電圧 V_{DD} が印加される電源端子118に接続されている。また、エミッタは、電源電圧 V_{SS} が印加される電源端子119との間に設けられた電流源502、503にそれぞれ接続されている。また、第5のトランジスタTr5のエミッタは、第2の出力端子（outn）117に接続されるとともに、電源電圧 V_{SS} が印加される電源端子119との間に設けられた電流源502に接続されている。第6のトランジスタTr6のエミッタは、第1の出力端子（outp）116に接続されるとともに、電源電圧 V_{SS} が印加される電源端子119との間に設けられた電流源503に接続されている。

20

【0034】

そして、帰還回路102のトランジスタTr3のベースは、抵抗122を介して正相の信号線（outp）に接続される。帰還回路102のトランジスタTr4のベースは、抵抗123を介して逆相の信号線（outn）に接続される。

【0035】

以上説明した実施の形態3によれば、出力段に設けたエミッタフォロワ回路は電圧利得は持たず、信号波形を維持したまま信号成分の非線形成分やリミッタなどの影響を受けずに、帯域拡大、高速化が可能となる。

【0036】

（実施の形態4）

図6は、実施の形態4にかかる増幅回路を示す図である。実施の形態4は、周波数特性を可変する構成例であり、実施の形態3（図5）に示した電流源121、あるいは抵抗122、123を可変構成にしている。

30

【0037】

ここで、上述した各実施の形態の増幅回路100は、信号系の差動増幅回路101と、帰還系の帰還回路102とが独立して設けられているため、帰還回路102における帰還量の調整を容易におこなうことができる。

【0038】

図7は、実施の形態4にかかる増幅回路の周波数特性を示す図表である。帰還回路102のトランジスタTr3、Tr4の電流源121を可変電流源とすることにより、帰還回路102の低周波領域の帰還量、すなわち低域の強度（レベル）を調整することができる。これにより、相対的に高域の強度を強化することができる。帰還回路102の電流源121の電流量を小さくすれば低域の強度が大きくなり、電流源121の電流量を大きくすれば低域の強度が小さくなり、相対的に高域の強度を大きくできる。

40

【0039】

図8は、実施の形態4にかかる増幅回路の周波数特性を示す他の図表である。帰還回路102のトランジスタTr3、Tr4のベースに直列に接続した抵抗122、123を可変抵抗とする。これにより、トランジスタTr3、Tr4のベースに直列に接続した抵抗122、123とベースの寄生容量 C_2 により形成されるRC回路のパラメータを変更でき、帰還量の低周波領域を調整できる。これにより、相対的に高域の強度を調整すること

50

ができる。図 8 に示すように、抵抗 1 2 2 , 1 2 3 の抵抗値が大きければ低域の強度が大きくなり、抵抗 1 2 2 , 1 2 3 の抵抗値を小さくすれば低域の強度が小さくなり、相対的に高域の強度を大きくできる。ここで、図 8 に示すように、抵抗 1 2 2 , 1 2 3 の抵抗値を可変することにより、周波数特性のピークが周波数方向にシフトし(図 8 中 p)、抵抗値の可変に基づいて、平坦な周波数特性を得ることができるようになる。

【 0 0 4 0 】

図 9 は、実施の形態 4 にかかる増幅回路の差動信号の時間波形(アイ開口)を示す図表である。上述したように、電流源 1 2 1、あるいは抵抗 1 2 2 , 1 2 3 を可変する構成とすることにより、強度補償をおこなう高域の帯域を調整することができるようになる。たとえば、周波数特性を調整するイコライザとして機能する。これにより、実施の形態(図 3 の(c)参照)のアイ開口 W 3 に比べて、さらに広げたアイ開口 W 3 1 を得ることができるようになる。

10

【 0 0 4 1 】

(実施の形態 5)

図 10 は、実施の形態 5 にかかる増幅回路を示す図である。実施の形態 5 は、実施の形態 3 (図 5)の構成に加えて、帰還回路 1 0 2 の一對のトランジスタ Tr 3 , Tr 4 のエミッタ間に抵抗 6 0 1 を接続している。トランジスタ Tr 3 , Tr 4 のコレクタは、それぞれ電流源 1 2 1 a、1 2 1 b を介して電源電圧 V_{SS} が印加される電源端子 1 1 9 に接続されている。

【 0 0 4 2 】

20

上記構成によれば、帰還回路 1 0 2 の一對のトランジスタ Tr 3 , Tr 4 のエミッタ間に設けた抵抗 6 0 1 により、帰還信号の線形性を向上でき、信号成分の非線形成分やリミッタなどの影響を抑制することができるようになる。そして、入力されるエンファシス信号なども波形を維持したまま帯域拡大および高速化を図ることができる。

【 0 0 4 3 】

(実施の形態 6)

図 11 は、実施の形態 6 にかかる増幅回路を示す図である。実施の形態 6 は、実施の形態 5 (図 10)の構成に加えて、加算回路 1 1 0 1 を追加して設けたものである。加算回路 1 1 0 1 の構成は、上述した差動増幅回路 1 0 1 と同様の構成を有する。差動増幅回路 1 0 1 側の各部の符号には、添字 a を付し、加算回路 1 1 0 1 側の各部の符号には、添字 b を付してある。

30

【 0 0 4 4 】

そして、加算回路 1 1 0 1 は、一對の入力端子 (in 2 p) 1 1 4 b , (in 2 n) 1 1 5 b を有している。この加算回路 1 1 0 1 のトランジスタ Tr 1 b のコレクタは、信号線 on および抵抗 1 1 1 に接続され、トランジスタ Tr 2 b のコレクタは、信号線 op および抵抗 1 1 2 に接続されている。

【 0 0 4 5 】

このような構成においても、帰還回路 1 0 2 のトランジスタ Tr 3 , Tr 4 のエミッタ間に設けた抵抗 6 0 1 により、帰還信号成分の非線形成分、リミッタなどを抑制できる。特に、加算回路 1 1 0 1 を用いてエンファシス信号を生成した構成とした場合、エミッタ間の抵抗 6 0 1 により線形性向上の効果により、エンファシス信号を維持した状態で信号を帰還できるため、このエンファシス信号なども波形を維持したまま、帯域拡大でき、高速化を図ることができるようになる。

40

【 0 0 4 6 】

(実施の形態 7)

図 12 ~ 図 14 は、実施の形態 7 にかかるレーザ駆動回路を示す図である。上述した増幅回路 1 0 0 は、たとえば、出力信号により LD 等のレーザ素子を発光駆動するレーザ駆動回路に適用できる。

【 0 0 4 7 】

図 12 に示す回路は、実施の形態 1 (図 1)の増幅回路 1 0 0 の一方の出力(out p

50

)をレーザ素子1201のカソードに接続し、アノードは外部の電源端子1202に接続する。図13に示す回路は、図12に示す回路にエミッタフォロワ回路501を追加した構成である。図14に示す回路は、エミッタフォロワ回路501を一对のトランジスタTr5, Tr6とし、トランジスタTr5に電流源502を設け、トランジスタTr6のエミッタを出力としたものである。これらのエミッタフォロワ回路501により、レーザ素子1201の駆動電流を供給できる。

【0048】

これらの図12～図14に示すように、増幅回路100によりレーザ素子1201を発光駆動する構成においても、帰還回路102のトランジスタTr3, Tr4のベースに直列に接続した抵抗122, 123がこのトランジスタTr3, Tr4のベース容量をシールドする。これにより、帰還用のトランジスタTr3, Tr4による帯域劣化を抑制でき、レーザ素子1201を高速駆動することができるようになる。

10

【0049】

また、エミッタフォロワ回路501を設けることにより、出力する信号波形を維持したまま信号成分の非線形成分やリミッタなどの影響を受けずに、レーザ素子1201に対して帯域拡大し、高速化した駆動信号を供給できる。

【0050】

以上説明した各実施の形態によれば、帰還回路のトランジスタのベースに直列に抵抗を接続した構成としたので、この抵抗のシールドにより寄生容量 C_2 を抑制する効果が得られる。また、この抵抗は、トランジスタのベースの寄生容量とによりRCフィルタとして機能し、帰還による減算量の高域成分を減らすという効果も同時に得ることができる。

20

【0051】

そして、帰還系に抵抗というパッシブなデバイスを用いているため、他のアクティブ回路を介さずに信号帰還させるため、リミッタ回路や、非線形回路の影響を受けにくく、信号波形を維持した高速増幅を可能にする。

【0052】

また、上述した各実施の形態では、バイポーラ型トランジスタを用いる例を説明したが、これに限らず他の半導体素子、たとえば、FETを用いる構成としてもよい。FETを用いた場合においても、ゲートとドレイン間に抵抗を接続する構成として、ゲートの寄生容量を相殺することができ、広帯域化と高速化を達成できる。

30

【0053】

上述した各実施の形態に関し、さらに以下の付記を開示する。

【0054】

(付記1) 入力信号を増幅するエミッタ接地の増幅回路と、前記増幅回路の出力線に、コレクタを接続するとともに、前記出力線とベースとの間を抵抗を介して接続したトランジスタを有するエミッタ接地の帰還回路と、を有することを特徴とする増幅回路。

【0055】

(付記2) 前記増幅回路は、一对のトランジスタを有し、同相と逆相の一对の出力線を有する差動増幅回路であり、前記帰還回路は、一对のトランジスタと、一对の抵抗とを有し、一对の前記出力線のうち正相に接続した一方のトランジスタのコレクタには、当該一方のトランジスタのベースを接続し、逆相に接続した他方のトランジスタのコレクタには、当該他方のトランジスタのベースを接続したことを特徴とする付記1に記載の増幅回路。

40

【0056】

(付記3) 前記抵抗を可変抵抗としたことを特徴とする付記1または2に記載の増幅回路。

【0057】

(付記4) 前記帰還回路の電流源を可変電流源としたことを特徴とする付記2に記載の増幅回路。

50

【 0 0 5 8 】

(付記 5) 前記帰還回路の一对のトランジスタのエミッタ間を抵抗を介して接続したことを特徴とする付記 2 ~ 4 のいずれか一つに記載の増幅回路。

【 0 0 5 9 】

(付記 6) 前記出力線の出力段にエミッタフォロワ回路を設け、

前記エミッタフォロワ回路の入力を、前記増幅回路の前記トランジスタのコレクタに接続し、前記エミッタフォロワ回路の出力を前記帰還回路の前記トランジスタのベースに帰還接続したことを特徴とする付記 1 ~ 5 のいずれか一つに記載の増幅回路。

【 0 0 6 0 】

(付記 7) 前記出力線の出力端子に接続されるレーザ素子を備え、

前記増幅回路により前記レーザ素子を発光駆動することを特徴とする付記 1 ~ 6 のいずれか一つに記載の増幅回路。

10

【 0 0 6 1 】

(付記 8) 前記出力線の出力端子に接続されるレーザ素子を備え、

前記エミッタフォロワ回路により、前記レーザ素子を直接発光駆動することを特徴とする付記 6 に記載の増幅回路。

【 0 0 6 2 】

(付記 9) 前記増幅回路として、入力信号を増幅する加算回路を有することを特徴とする付記 1 ~ 8 のいずれか一つに記載の増幅回路。

【 0 0 6 3 】

(付記 10) 前記増幅回路および前記帰還回路に F E T を用いたことを特徴とする付記 1 ~ 9 のいずれか一つに記載の増幅回路。

20

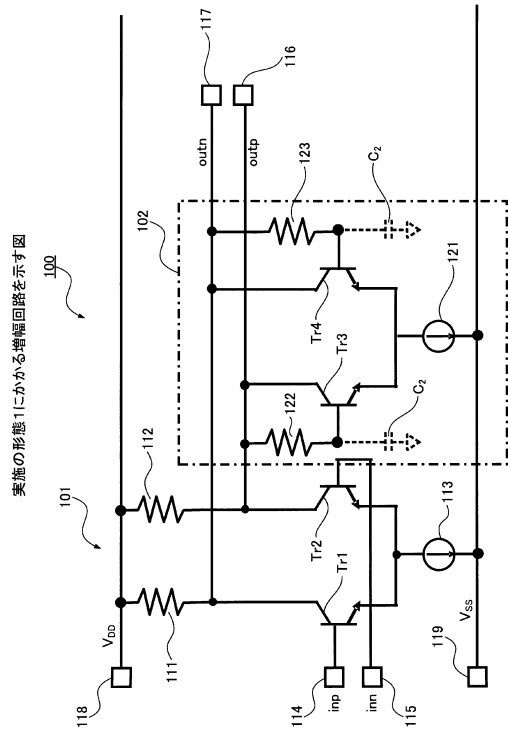
【 符号の説明 】

【 0 0 6 4 】

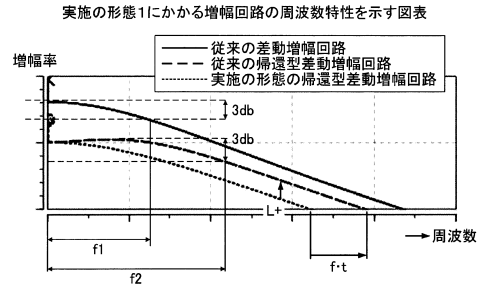
- 1 0 0 増幅回路
- 1 0 1 差動増幅回路
- 1 0 2 帰還回路
- 1 1 1 , 1 1 2 抵抗
- 1 1 3 , 1 2 1 電流源
- 1 1 4 , 1 1 5 入力端子
- 1 1 6 , 1 1 7 出力端子
- 1 1 8 , 1 1 9 電源端子
- 1 2 2 , 1 2 3 抵抗
- 5 0 1 エミッタフォロワ回路
- 5 0 2 , 5 0 3 電流源
- 6 0 1 抵抗
- 1 1 0 1 加算回路
- 1 2 0 1 レーザ素子

30

【図1】

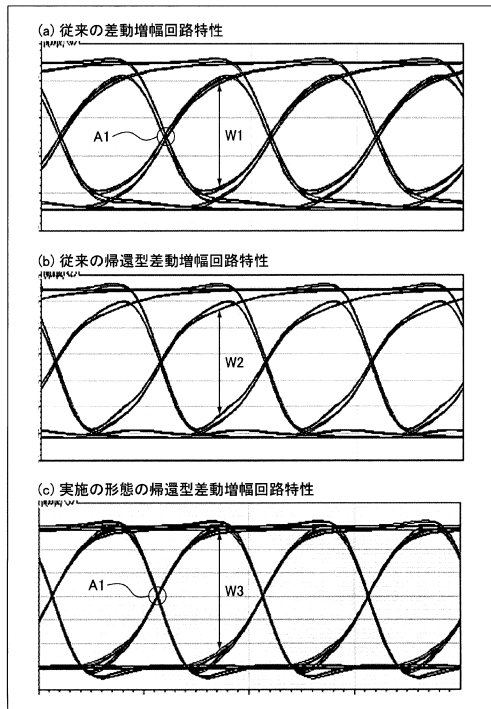


【図2】



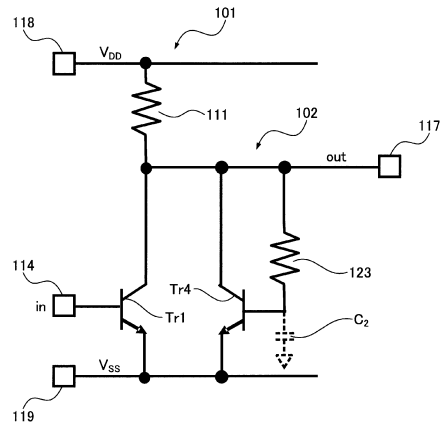
【図3】

実施の形態1にかかる増幅回路の差動信号の時間波形(アイ開口)を示す図表

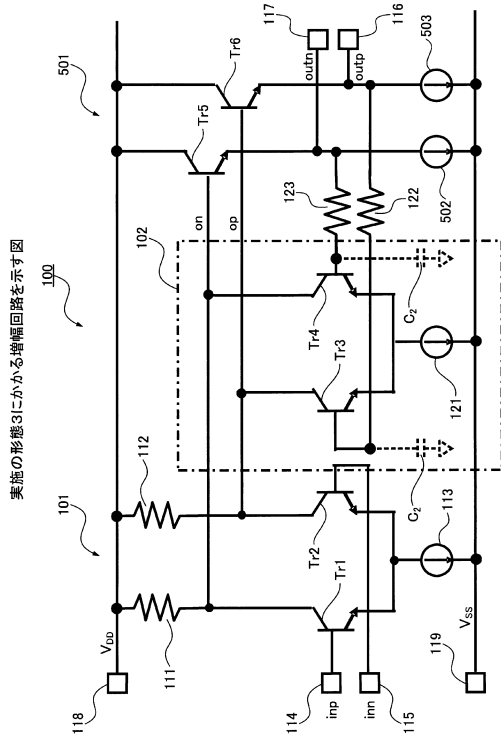


【図4】

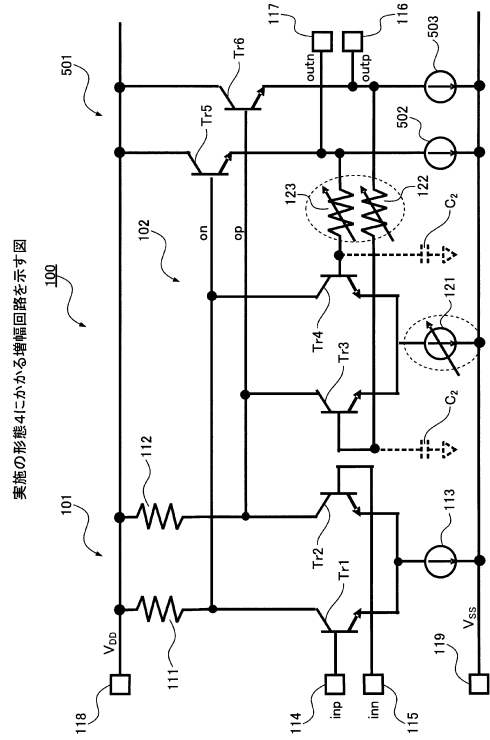
実施の形態2にかかる増幅回路を示す図



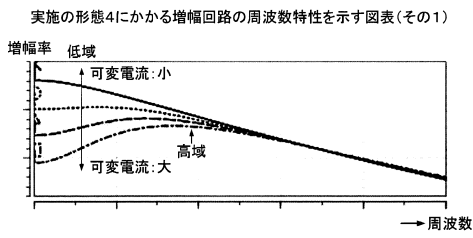
【図5】



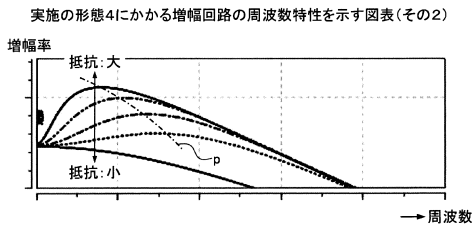
【図6】



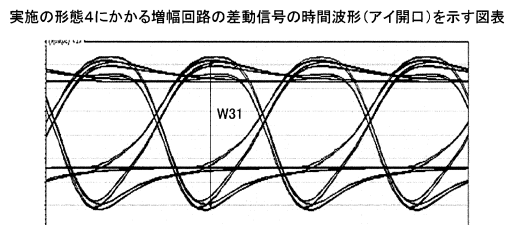
【図7】



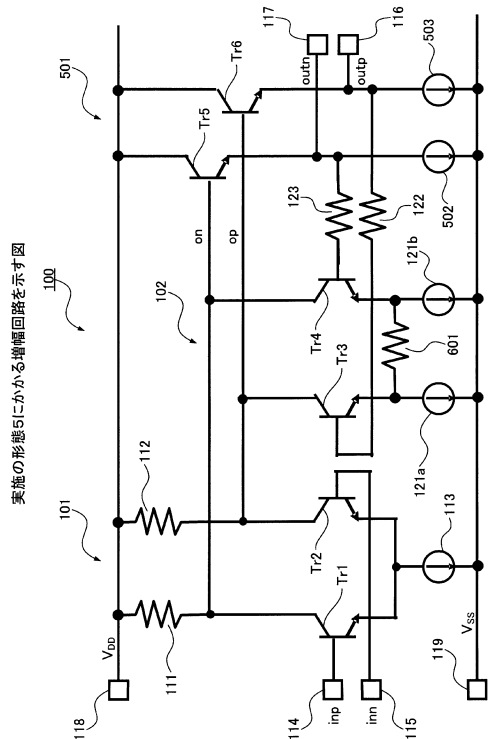
【図8】



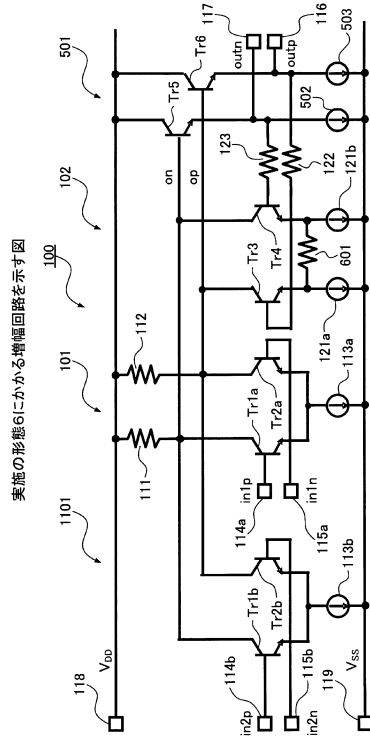
【図9】



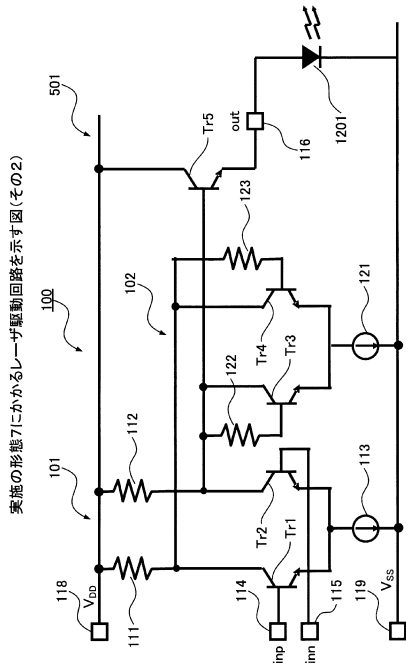
【図10】



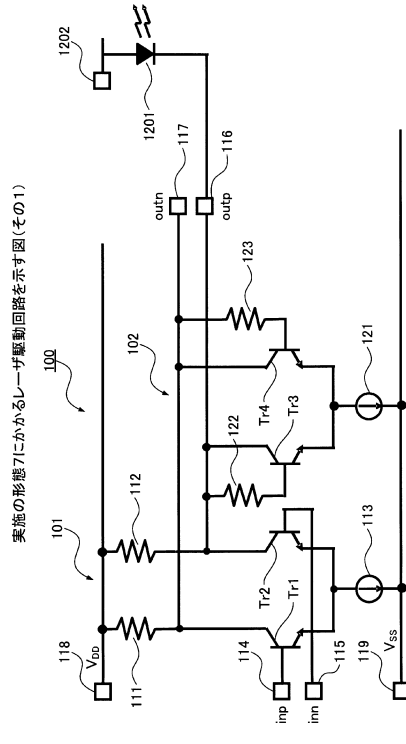
【図 1 1】



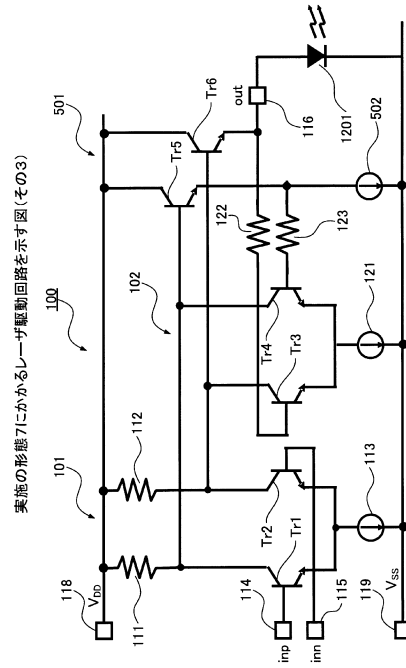
【図 1 3】



【図 1 2】



【図 1 4】



フロントページの続き

- (56)参考文献 米国特許出願公開第2002/0105369 (US, A1)
特開昭62-051812 (JP, A)
特開平01-098305 (JP, A)
特開2009-290516 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03F 1/00 - 3/45、3/50 - 3/52、
3/62 - 3/64、3/68 - 3/72