

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6588229号  
(P6588229)

(45) 発行日 令和1年10月9日(2019.10.9)

(24) 登録日 令和1年9月20日(2019.9.20)

(51) Int.Cl.		F I			
HO2H	5/04	(2006.01)	HO2H	5/04	140
HO1L	21/822	(2006.01)	HO1L	27/04	H
HO1L	27/04	(2006.01)			

請求項の数 10 (全 13 頁)

(21) 出願番号	特願2015-96464 (P2015-96464)	(73) 特許権者	000116024 ローム株式会社 京都府京都市右京区西院溝崎町2-1番地
(22) 出願日	平成27年5月11日(2015.5.11)	(74) 代理人	110001933 特許業務法人 佐野特許事務所
(65) 公開番号	特開2016-213981 (P2016-213981A)	(72) 発明者	結城 浩文 京都市右京区西院溝崎町2-1番地 ローム株式会社内
(43) 公開日	平成28年12月15日(2016.12.15)	(72) 発明者	高橋 俊太郎 京都市右京区西院溝崎町2-1番地 ローム株式会社内
審査請求日	平成30年4月16日(2018.4.16)	審査官	田中 慎太郎

最終頁に続く

(54) 【発明の名称】 過熱保護回路並びにこれを用いた半導体集積回路装置及び車両

(57) 【特許請求の範囲】

【請求項1】

NPNトランジスタと、  
電源電圧が印加される電源端子と、  
前記電源端子から電流源を經由せずに前記NPNトランジスタのコレクタに前記電源電圧を伝送する伝送経路と、  
基準電圧を分圧比で分圧して前記基準電圧の分圧を生成する分圧部と、  
前記NPNトランジスタのエミッタ電圧と前記分圧部から出力される前記基準電圧の分圧とを比較して、出力電圧を通常状態から過熱状態に及びその逆に切り替える比較部と、  
を有し、  
前記分圧部は、前記分圧比を可変するスイッチを含み、  
前記スイッチは、前記出力電圧の前記通常状態と前記過熱状態との間での切り替わりに応じてオンとオフが切り替わって前記分圧比を可変し、  
前記電源端子に寄生トランジスタのコレクタが接続され、前記電源端子に前記寄生トランジスタのエミッタが接続されず、前記寄生トランジスタのエミッタに前記電源電圧と異なる電圧が印加されることを特徴とする過熱保護回路。

【請求項2】

前記NPNトランジスタのエミッタに接続される電流源を有することを特徴とする請求項1に記載の過熱保護回路。

【請求項3】

前記NPNトランジスタのベースに前記基準電圧が印加されることを特徴とする請求項1または請求項2に記載の過熱保護回路。

【請求項4】

パワー素子と、  
請求項1～3のいずれか一項に記載の過熱保護回路と、  
を有することを特徴とする半導体集積回路装置。

【請求項5】

前記NPNトランジスタと前記パワー素子とが同一の半導体基板に形成されることを特徴とする請求項4に記載の半導体集積回路装置。

【請求項6】

前記NPNトランジスタと前記パワー素子とが互いに隣接するように配置されていることを特徴とする請求項5に記載の半導体集積回路装置。

【請求項7】

前記パワー素子の周囲を囲むガードリング領域が前記半導体基板に形成されていることを特徴とする請求項6に記載の半導体集積回路装置。

【請求項8】

前記パワー素子がMOSトランジスタであり、  
前記MOSトランジスタのオン/オフ制御信号を生成する制御部と、  
前記オン/オフ制御信号の入力を受けて前記MOSトランジスタのゲート電圧を生成するブリドライバと、を有し、

前記過熱保護回路が前記MOSトランジスタと前記制御部及び前記ブリドライバとの間の位置に配置されていることを特徴とする請求項4～請求項7のいずれか一項に記載の半導体集積回路装置。

【請求項9】

前記電源電圧が前記半導体集積回路装置の外部から前記半導体集積回路装置に供給され、  
前記基準電圧が前記半導体集積回路装置の内部で生成されることを特徴とする請求項4～8のいずれか一項に記載の半導体集積回路装置。

【請求項10】

請求項4～9のいずれか一項に記載の半導体集積回路装置を有することを特徴とする車両。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、過熱状態を検出する過熱保護回路並びにこれを用いた半導体集積回路装置及び車両に関する。

【背景技術】

【0002】

従来より、温度特性のフラットな基準電圧の抵抗による分圧と、NPNトランジスタのベース-エミッタ間電圧の温度特性とにより過熱状態を検出する過熱保護回路が知られている(例えば特許文献1参照)。

【0003】

図9は従来の過熱保護回路の一構成例を示す図である。図9に示す従来の過熱保護回路は、温度特性のフラットな基準電圧 $V_{REF}$ の抵抗による分圧 $V_{DIV}$ を温度検出用のNPNトランジスタQ1のベースに印加し、NPNトランジスタQ1のベース-エミッタ間電圧 $V_{BE}$ の温度特性を利用して過熱状態を検出する回路である。

【0004】

図10に示す通り、通常状態であれば、図9に示す従来の過熱保護回路の出力電圧 $V_{TSD}$ がLowレベルとなり、過熱状態であれば、図9に示す従来の過熱保護回路の出力電圧 $V_{TSD}$ がHighレベルとなる。

10

20

30

40

50

## 【先行技術文献】

## 【特許文献】

【0005】

【特許文献1】特開2009-294841号公報(段落0040)

## 【発明の概要】

## 【発明が解決しようとする課題】

【0006】

しかしながら、図9に示す従来の過熱保護回路では、監視対象パワー素子の出力端(例えば出力パワーMOSトランジスタのオープンドレイン)に負電流が印加された際に、NPNトランジスタQ1のコレクタと監視対象パワー素子の出力端との間に形成される寄生トランジスタP1を介して、NPNトランジスタQ1のコレクタから監視対象パワー素子の出力端に電流 $I_{P1}$ が引かれ、NPNトランジスタQ1のコレクタが電圧降下してしまう。NPNトランジスタQ1のコレクタが電圧降下してしまうと、NPNトランジスタQ1のベース-エミッタ間電圧 $V_{BE}$ が小さい場合であっても出力電圧 $V_{TSD}$ がHighレベルになってしまう。

10

【0007】

すなわち、図9に示す従来の過熱保護回路では、監視対象パワー素子の出力端(例えば出力パワーMOSトランジスタのオープンドレイン)に負電流が印加された際に、通常状態であるにも関わらず、過熱状態であると誤検出してしまう。

【0008】

20

このように図9に示す従来の過熱保護回路は、監視対象パワー素子の出力端に印加される負電流に対する耐性が低いため、ノイズ耐量が弱くなる傾向にあった。

【0009】

本発明は、上記の状況に鑑み、監視対象パワー素子の出力端に負電流が印加された際の誤動作を防止することができる過熱保護回路並びにこれを用いた半導体集積回路装置及び車両を提供することを目的とする。

## 【課題を解決するための手段】

【0010】

上記目的を達成するために、本発明に係る過熱保護回路は、NPNトランジスタと、電源電圧が印加される電源端子と、前記電源端子から電流源を経由せずに前記NPNトランジスタのコレクタに前記電源電圧を伝送する伝送経路と、前記NPNトランジスタのベース-エミッタ間電圧に応じた出力電圧を生成する出力電圧生成部と、を有する構成(第1の構成)とされている。

30

【0011】

また、上記第1の構成から成る過熱保護回路において、前記NPNトランジスタのエミッタに接続される電流源を有する構成(第2の構成)にするとよい。

【0012】

また、上記第1または第2の構成から成る過熱保護回路において、基準電圧を分圧する分圧部を有し、前記NPNトランジスタのベースに前記基準電圧が印加され、前記出力電圧生成部が前記NPNトランジスタのエミッタ電圧と前記分圧部から出力される前記基準電圧の分圧とを比較する比較部を含む構成(第3の構成)にするとよい。

40

【0013】

また、本発明に係る半導体集積回路装置は、パワー素子と、上記第1~第3のいずれかの構成から成る過熱保護回路と、を有する構成(第4の構成)とされている。

【0014】

また、上記第4の構成から成る半導体集積回路装置において、前記NPNトランジスタと前記パワー素子とが同一の半導体基板に形成される構成(第5の構成)にするとよい。

【0015】

また、上記第5の構成から成る半導体集積回路装置において、前記NPNトランジスタと前記パワー素子とが互いに隣接するように配置されている構成(第6の構成)にすると

50

よい。

【0016】

また、上記第6の構成から成る半導体集積回路装置において、前記パワー素子の周囲を囲むガードリング領域が前記半導体基板に形成されている構成（第7の構成）にするとよい。

【0017】

また、上記第4～第7のいずれかの構成から成る半導体集積回路装置において、前記パワー素子がMOSトランジスタであり、前記MOSトランジスタのオン/オフ制御信号を生成する制御部と、前記オン/オフ制御信号の入力を受けて前記MOSトランジスタのゲート電圧を生成するプリドライバと、を有し、前記過熱保護回路が前記MOSトランジスタと前記制御部及び前記プリドライバとの間の位置に配置されている構成（第8の構成）にするとよい。

10

【0018】

また、上記第4～第8のいずれかの構成から成る半導体集積回路装置において、前記電源電圧が前記半導体集積回路装置の外部から前記半導体集積回路装置に供給され、前記基準電圧が前記半導体集積回路装置の内部で生成される構成（第9の構成）にするとよい。

【0019】

また、本発明に係る車両は、上記第4～第9のいずれかの構成から成る半導体集積回路装置を有する構成（第10の構成）とされている。

【発明の効果】

20

【0020】

本発明によれば、監視対象パワー素子の出力端に負電流が印加された際の誤動作を防止することができる過熱保護回路並びにこれを用いた半導体集積回路装置及び車両を提供することができる。

【図面の簡単な説明】

【0021】

【図1】過熱保護回路の一構成例を示す図

【図2】過熱保護回路の出力電圧と過熱保護回路の周辺温度との関係を示す図

【図3】半導体集積回路装置の一構成例を示す図

【図4】過熱保護回路を図1に示す過熱保護回路とした場合の図3に示す半導体集積回路装置の出力電圧測定結果を示す図

30

【図5A】過熱保護回路を図9に示す従来の過熱保護回路とした場合の図3に示す半導体集積回路装置の出力電圧測定結果を示す図

【図5B】過熱保護回路を図9に示す従来の過熱保護回路とした場合の図3に示す半導体集積回路装置の出力電圧測定結果を示す図

【図6】半導体チップの端部周辺の回路レイアウトを示す図

【図7】半導体基板の縦断面構造図

【図8】車両の外観を示す図

【図9】従来の過熱保護回路の一構成例を示す図

【図10】過熱保護回路の出力電圧と検出状態との関係を示す図

40

【発明を実施するための形態】

【0022】

< 過熱保護回路 >

図1は、過熱保護回路の一構成例を示す図である。図1に示す過熱保護回路は、電源端子1と、基準電圧端子2と、オペアンプ3と、バッファ4と、出力端子5と、NPNトランジスタQ1と、MOSトランジスタQ2と、抵抗R1～R4と、を備える。

【0023】

電源端子1には電源電圧 $V_{DD}$ が印加される。電源電圧 $V_{DD}$ は、図1に示す過熱保護回路を含む半導体集積回路装置の外部から供給される電圧であって、当該半導体集積回路装置の電源電圧として用いられる。

50

## 【 0 0 2 4 】

基準電圧端子 2 には基準電圧  $V_{REF}$  が印加される。基準電圧  $V_{REF}$  は温度特性のフラットな電圧であって、例えば図 1 に示す過熱保護回路を含む半導体集積回路装置の内部に設けられるバンドギャップ基準電圧源によって生成されるバンドギャップ基準電圧を用いることができる。

## 【 0 0 2 5 】

電源端子 1 は、NPN トランジスタ  $Q_1$  のコレクタ、オペアンプ 3 の電源端、及びバッファ 4 の電源端に接続されている。また、オペアンプ 3 及びバッファ 4 の各接地端は接地電位に保持されている。オペアンプ 3 及びバッファ 4 はそれぞれ電源電圧  $V_{DD}$  と接地電位との差を駆動電圧として用いて駆動する。

10

## 【 0 0 2 6 】

基準電圧端子 2 は、NPN トランジスタ  $Q_1$  のベース及び抵抗  $R_1$  の一端に接続されている。抵抗  $R_1$  の他端は抵抗  $R_2$  の一端に接続され、抵抗  $R_2$  の他端は抵抗  $R_3$  の一端に接続され、抵抗  $R_3$  の他端は接地電位に保持される。抵抗  $R_1$  と抵抗  $R_2$  との接続ノードにはオペアンプ 3 の反転入力端が接続されている。また、抵抗  $R_3$  に対して MOS トランジスタ  $Q_2$  が並列接続されている。

## 【 0 0 2 7 】

NPN トランジスタ  $Q_1$  のエミッタは抵抗  $R_4$  の一端に接続され、抵抗  $R_4$  の他端は接地電位に保持される。これにより、抵抗  $R_4$  は NPN トランジスタ  $Q_1$  に対して電流源として機能する。NPN トランジスタ  $Q_1$  と抵抗  $R_4$  との接続ノードにはオペアンプ 3 の非反転入力端が接続されている。

20

## 【 0 0 2 8 】

オペアンプ 3 の出力端はバッファ 4 の入力端に接続され、バッファ 4 の出力端子は出力端子 5 及び MOS トランジスタ  $Q_2$  のゲートに接続されている。

## 【 0 0 2 9 】

上記構成から成る過熱保護回路の動作について図 2 及び図 10 を参照して説明する。図 2 は過熱保護回路の出力電圧  $V_{TSD}$  と過熱保護回路の周辺温度  $T_a$  との関係を示す図である。

## 【 0 0 3 0 】

NPN トランジスタ  $Q_1$  のベース - エミッタ間電圧  $V_{BE}$  は正の温度特性を有しているので、過熱保護回路の周辺温度  $T_a$  が大きいほど、NPN トランジスタ  $Q_1$  のコレクタ電流が大きくなり、オペアンプ 3 の非反転入力端に印加される電圧が大きくなる。

30

## 【 0 0 3 1 】

抵抗  $R_1 \sim R_3$  及び MOS トランジスタ  $Q_2$  によって構成される分圧回路は基準電圧  $V_{REF}$  の分圧  $V_{DIV}$  を生成する。分圧回路によって生成された分圧  $V_{DIV}$  はオペアンプ 3 の反転入力端に印加される。MOS トランジスタ  $Q_2$  がオン状態であれば、抵抗  $R_1$  の抵抗値と抵抗  $R_2$  の抵抗値との比で定まる分圧比で分圧  $V_{DIV}$  が生成される。一方、MOS トランジスタ  $Q_2$  がオフ状態であれば、抵抗  $R_1$  の抵抗値と抵抗  $R_2$  及び  $R_3$  の合成抵抗値との比で定まる分圧比で分圧  $V_{DIV}$  が生成される。これにより、MOS トランジスタ  $Q_2$  がオフ状態のときは MOS トランジスタ  $Q_2$  がオン状態のときに比べて分圧  $V_{DIV}$  の値が大きくなる。

40

## 【 0 0 3 2 】

本実施形態においては、MOS トランジスタ  $Q_2$  がオフ状態であって過熱保護回路の周辺温度  $T_a$  が  $T_2$  (例えば  $175 [ \quad ]$ ) であるときに、オペアンプ 3 の非反転入力端に印加される電圧とオペアンプ 3 の反転入力端に印加される電圧 (分圧  $V_{DIV}$ ) とが等しくなり、MOS トランジスタ  $Q_2$  がオン状態であって過熱保護回路の周辺温度  $T_a$  が  $T_2$  より低い  $T_1$  (例えば  $150 [ \quad ]$ ) であるときに、オペアンプ 3 の非反転入力端に印加される電圧とオペアンプ 3 の反転入力端に印加される電圧 (分圧  $V_{DIV}$ ) とが等しくなるように、NPN トランジスタ  $Q_1$  及び抵抗  $R_1 \sim R_4$  の各回路定数を設定している。

## 【 0 0 3 3 】

50

オペアンプ3は、非反転入力端に印加される電圧が反転入力端に印加される電圧以上である場合にHighレベルの電圧を出力端から出力し、非反転入力端に印加される電圧が反転入力端に印加される電圧未満である場合にLowレベルの電圧を出力端から出力する。

【0034】

バッファ4は、オペアンプ3の出力電圧を入力し、オペアンプ3の出力電圧の論理レベルを維持した電圧 $V_{TSD}$ を出力端子5及びMOSトランジスタQ2のゲートに出力する。MOSトランジスタQ2は、電圧 $V_{TSD}$ がLowレベルであるときにオフ状態になり、電圧 $V_{TSD}$ がHighレベルであるときにオン状態になる。

【0035】

したがって、過熱保護回路の周辺温度 $T_a$ が $T_2$ を超えて上昇する場合には、過熱保護回路の周辺温度 $T_a$ が $T_2$ に達した時点で電圧 $V_{TSD}$ がLowレベルからHighレベルに切り替わる。そして、電圧 $V_{TSD}$ が一端Highレベルに切り替わった後は、過熱保護回路の周辺温度 $T_a$ が $T_1$ 未満にならない限り電圧 $V_{TSD}$ はHighレベルのままであり、過熱保護回路の周辺温度 $T_a$ が $T_1$ 未満になると電圧 $V_{TSD}$ がHighレベルからLowレベルに切り替わる。

【0036】

その結果、図10に示す通り、通常状態であれば、図1に示す過熱保護回路の出力電圧 $V_{TSD}$ がLowレベルとなり、過熱状態であれば、図1に示す過熱保護回路の出力電圧 $V_{TSD}$ がHighレベルとなる。また、過熱状態の検出にヒステリシス特性を持たせることができる。

【0037】

図1に示す過熱保護回路においても、図9に示す従来の過熱保護回路と同様に、監視対象パワー素子の出力端（例えば出力パワーMOSトランジスタのオープンドレイン）に負電流が印加された際に、NPNトランジスタQ1のコレクタと監視対象パワー素子の出力端との間に形成される寄生トランジスタP1を介して、NPNトランジスタQ1のコレクタから監視対象パワー素子の出力端に電流 $I_{P1}$ が引かれる。

【0038】

しかしながら、半導体集積回路装置の電源電圧 $V_{DD}$ を生成する電源の電流能力は、図9に示す従来の過熱保護回路においてNPNトランジスタQ1に対して電流源として機能する抵抗R5及びR6の電流能力よりも遙かに高い。このため、図1に示す過熱保護回路では、NPNトランジスタQ1のコレクタが電圧降下することを防ぐことができる。

【0039】

これにより、監視対象パワー素子の出力端に負電流が印加された際に、通常状態であるにも関わらず、過熱状態であると誤検出してしまうことを防止することができる。また、図1に示す過熱保護回路は、監視対象パワー素子の出力端に印加され得る負電流に対する耐性が高くなるため、BCI（Bulk Current Injection）試験法などによって測定されるノイズ耐量も強くなる。

【0040】

<半導体集積回路装置>

上述した効果を確認するための測定を図3に示す半導体集積回路装置を用いて行った。図3に示す半導体集積回路装置は、8ch出力の半導体集積回路装置であって、パワーMOSトランジスタ12\_\_1～12\_\_8のオン/オフ制御信号を生成する制御部10と、パワーMOSトランジスタ12\_\_nのオン/オフ制御信号の入力を受けてパワーMOSトランジスタ12\_\_nのゲート電圧を生成するブリドライバ11\_\_n（nは1以上8以下の自然数）と、パワーMOSトランジスタ12\_\_nのドレインと電氣的に接続されている出力ピン13\_\_n（nは1以上8以下の自然数）と、パワーMOSトランジスタ12\_\_nの過熱を監視する過熱保護回路14\_\_n（nは1以上8以下の自然数）と、を備えている。また、図3に示す半導体集積回路装置は、基準電圧 $V_{REF}$ を生成するバンドギャップ基準電圧源、第1ch～第8chの過電流保護回路、第1ch～第8chのオープンロード検出

10

20

30

40

50

回路なども備えている。

【0041】

図3に示す半導体集積回路装置では、過熱保護回路の出力電圧を直接測定することできないため、次のような測定を行った。まず、図3に示すように第4chの出力ピン13\_\_4に負電流 $I_L$ を印加し、第1～第3, 第5～第8chの出力ピン13\_\_1～13\_\_3, 13\_\_5～13\_\_8それぞれに負荷抵抗の一端を接続し、負荷抵抗の他端に定電圧(5[V])を印加した。さらに、第4chのパワーMOSトランジスタ12\_\_4のみをオフ状態とし、第1～第3, 第5～第8chのパワーMOSトランジスタ12\_\_1～12\_\_3, 12\_\_5～12\_\_8をオン状態とした。そして、負電流 $I_L$ の値を変えながら、第3chの出力ピン13\_\_3から出力される電圧 $V_{OUT3}$ 及び第5chの出力ピン13\_\_5から出力される電圧 $V_{OUT5}$ を測定した。ここで、第3chの出力ピン13\_\_3から出力される電圧 $V_{OUT3}$ 及び第5chの出力ピン13\_\_5から出力される電圧 $V_{OUT5}$ を測定した理由は、第4chの出力ピン13\_\_4には負電流が印加されており第4chの出力ピン13\_\_4から出力される電圧を測定するには手間がかかるため、近接する第3, 第5chの各出力電圧 $V_{OUT3}$ 及び $V_{OUT5}$ を測定することにしたためである。

10

【0042】

図3に示す半導体集積回路装置において、過熱保護回路14\_\_1～14\_\_8それぞれを図1に示す過熱保護回路とした場合の測定結果を図4に示す。図4に示す通り、第4chの出力ピン13\_\_4に印加する負電流 $I_L$ を1000[mA]まで増加させても、第3chの出力ピン13\_\_3から出力される電圧 $V_{OUT3}$ 及び第5chの出力ピン13\_\_5から出力される電圧 $V_{OUT5}$ は略零であることから、第3, 第5chのパワーMOSトランジスタ12\_\_3, 12\_\_5はオン状態を維持しており、過熱保護回路14\_\_3, 14\_\_5が誤動作していないことが確認できた。

20

【0043】

ここで、比較例として、図3に示す半導体集積回路装置において、過熱保護回路14\_\_1～14\_\_8それぞれを図9に示す従来の過熱保護回路とした場合の測定結果を図5A及び図5Bに示す。

【0044】

図5Aに示す通り、第4chの出力ピン13\_\_4に印加する負電流 $I_L$ が100[mA]まで増加すると、第5chの出力ピン13\_\_5から出力される電圧 $V_{OUT5}$ が5[V]まで増加していることから、第5chのパワーMOSトランジスタ12\_\_5がオン状態からオフ状態に遷移しており、過熱保護回路14\_\_5が誤動作していることが確認できた。また、図5Bに示す通り、第4chの出力ピン13\_\_4に印加する負電流 $I_L$ が200[mA]まで増加すると、第3chの出力ピン13\_\_3から出力される電圧 $V_{OUT3}$ が5[V]まで増加していることから、第3chのパワーMOSトランジスタ12\_\_3がオン状態からオフ状態に遷移しており、過熱保護回路14\_\_3が誤動作していることが確認できた。

30

【0045】

<半導体チップの回路レイアウト>

図6は、半導体チップの端部周辺の回路レイアウトを示す図である。当該半導体チップは、過熱保護回路14\_\_1～14\_\_8それぞれを図1に示す過熱保護回路とした構成の図3に示す半導体集積回路装置の内部に設けられている。

40

【0046】

半導体チップ20の周縁部には第1～第8chの出力パッド21\_\_1～21\_\_8が形成されている。第nchの出力パッド21\_\_n(nは1以上8以下の自然数)は図3に示す第nchの出力ピン13\_\_n(nは1以上8以下の自然数)にボンディングワイヤによって接続されている。

【0047】

第nchの出力パッド21\_\_n(nは1以上8以下の自然数)と第nchの過熱保護回路14\_\_n(nは1以上8以下の自然数)との間には、第nchのパワーMOSトランジスタ12\_\_n(nは1以上8以下の自然数)が配置されている。第1～第8chのパワー

50

MOSトランジスタ12\_\_1~12\_\_8はそれぞれガードリング領域22によって囲まれている。

【0048】

また、第nchの過電流保護回路等23\_\_n(nは1以上8以下の自然数)が、第nchの過熱保護回路14\_\_n(nは1以上8以下の自然数)から見て第nchのパワーMOSトランジスタ12\_\_n(nは1以上8以下の自然数)とは反対側に配置されている。図6において不図示の制御部10も同様に、第nchの過熱保護回路14\_\_n(nは1以上8以下の自然数)から見て第nchのパワーMOSトランジスタ12\_\_n(nは1以上8以下の自然数)とは反対側に配置されている。また、過電流保護回路等23\_\_n(nは1以上8以下の自然数)は図6において不図示のブリドライバ11\_\_n(nは1以上8以下の自然数)を含んでいる。

10

【0049】

上記のような回路レイアウトによって、過熱保護回路内の温度検出用NPNトランジスタQ1を、発熱源となるパワーMOSトランジスタの近くに配置することができる。これにより、発熱源となるパワーMOSトランジスタが通常状態であるか過熱状態であるかを検出する検出精度を高くすることができる。

【0050】

しかしながら、過熱保護回路を、発熱源となるパワーMOSトランジスタの近くに配置すればするほど、過熱保護回路内の温度検出用NPNトランジスタQ1とパワーMOSトランジスタのドレインとの間に形成される寄生トランジスタP1のhパラメータhfeが大きくなり、寄生トランジスタP1を介して電流が流れやすくなる。

20

【0051】

この点に関して、図1に示す過熱保護回路は、寄生トランジスタP1を介して過熱保護回路内の温度検出用NPNトランジスタQ1からパワーMOSトランジスタのドレインに電流が流れても誤動作を防止することができるので、寄生トランジスタP1のhパラメータhfeが大きくなっても問題ない。したがって、過熱保護回路を、発熱源となるパワーMOSトランジスタの近くに配置しても、ノイズ耐量を強くすることができる。

【0052】

また、図6に示す回路レイアウトでは、第1~第8chのパワーMOSトランジスタ12\_\_1~12\_\_8それぞれをガードリング領域22によって囲っているため、寄生トランジスタP1のhパラメータhfeが大きくなることを抑制することができる。これにより、ノイズ耐量をより一層強くすることができる。

30

【0053】

<半導体基板の縦断面構造>

図7は、図6に示す半導体チップ20のパワーMOSトランジスタ、ガードリング領域22、及び過熱保護回路内の温度検出用NPNトランジスタが形成されている領域における半導体基板の縦断面構造を示す図である。P型半導体基板30上にN型エピタキシャル成長層31が形成されている。

【0054】

N型エピタキシャル成長層31内に高濃度N型層であるコレクタウォール32が形成されており、コレクタウォール32上に温度検出用NPNトランジスタのコレクタとなる高濃度N型領域33が形成されている。

40

【0055】

また、N型エピタキシャル成長層31内に高濃度N型領域33と水平方向に間隔を空けてP型ウェル34が形成されている。そして、P型ウェル34内に温度検出用NPNトランジスタのベースとなる高濃度P型領域35と温度検出用NPNトランジスタのエミッタとなる高濃度N型領域36とが形成されている。

【0056】

N型エピタキシャル成長層31内には、ガードリング領域となるP型ウェル37も形成されている。P型ウェル37内には高濃度P型領域38が形成され、高濃度P型領域38

50



は接地電位に保持される。

【 0 0 5 7 】

上面視においてP型ウェル37によって環状に囲まれているN型エピタキシャル成長層31内の領域にパワーMOSトランジスタのドレインとなる高濃度N型領域39と、低濃度P型ウェル40と、が形成されている。低濃度P型ウェル40内にはパワーMOSトランジスタのソースとなる高濃度N型領域41及び高濃度P型領域42が形成されている。

【 0 0 5 8 】

N型エピタキシャル成長層31上の高濃度N型領域39と高濃度N型領域41との間の位置にゲート酸化膜及びゲート電極が形成され、図7に示す接続経路を構成するためのアルミ配線層及び絶縁層もN型エピタキシャル成長層31上に形成されている。

10

【 0 0 5 9 】

図7中に示している電圧 $V_g$ が負に振れると、パワーMOSトランジスタのドレインに負電流が印加されることになり、寄生トランジスタP1を介して、温度検出用NPNトランジスタのコレクタからパワーMOSトランジスタのドレインに電流が流れることになる。

【 0 0 6 0 】

しかしながら、上述したように、図1に示す過熱保護回路は、寄生トランジスタP1を介して過熱保護回路内の温度検出用NPNトランジスタQ1からパワーMOSトランジスタのドレインに電流が流れても誤動作を防止することができる。

【 0 0 6 1 】

20

<用途>

上述した半導体集積回路装置は、例えば、図8で示す車両X10に搭載される各種ECU (Electronic Control Unit)、民生機器、産業機器などで使用されるリレー、ソレノイド、DCモーターなどの誘導負荷を駆動するローサイドスイッチとして好適に用いることができる。

【 0 0 6 2 】

また、図1に示す過熱保護回路は、ローサイドスイッチのみならず、出力端子に負電流が印加される可能性がある半導体集積回路装置全般に適用することができる。

【 0 0 6 3 】

<その他>

30

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。例えば、過熱保護回路の出力信号における論理レベルを反転させることができる。すなわち、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

【符号の説明】

【 0 0 6 4 】

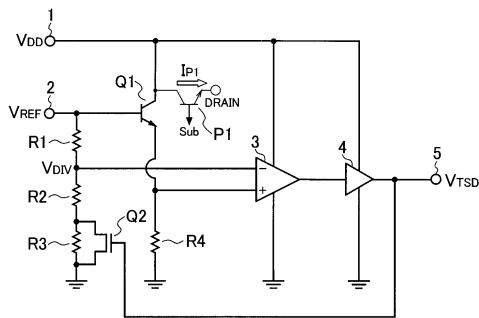
- 1 電源端子
- 2 基準電圧端子
- 3 オペアンプ
- 4 バッファ
- 5 出力端子
- 10 制御部
- 11 \_\_ 1 ~ 11 \_\_ 8 プリドライバ
- 12 \_\_ 1 ~ 12 \_\_ 8 パワーMOSトランジスタ
- 13 \_\_ 1 ~ 13 \_\_ 8 出力ピン
- 14 \_\_ 1 ~ 14 \_\_ 8 過熱保護回路
- 20 半導体チップ

40

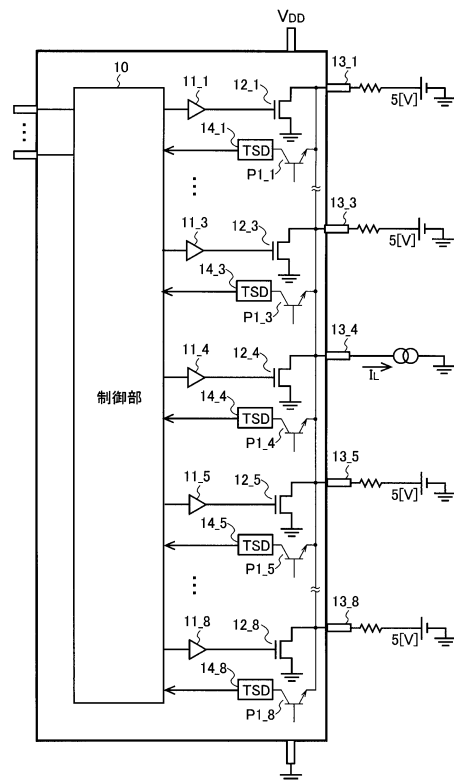
50

- 2 1 \_ 1 ~ 2 1 \_ 8 出力パッド
- 2 2 ガードリング領域
- 2 3 \_ 1 ~ 2 3 \_ 8 過電流保護回路等
- 3 0 P型半導体基板
- 3 1 N型エピタキシャル成長層
- 3 2 コレクタウォール
- 3 3、3 6、3 9、4 1 高濃度N型領域
- 3 4、3 7 P型ウェル
- 3 5、3 8、4 2 高濃度P型領域
- 3 7 P型ウェル
- 4 0 低濃度P型ウェル
- Q 1 NPNトランジスタ
- Q 2 MOSトランジスタ
- R 1 ~ R 4 抵抗
- X 1 0 車両

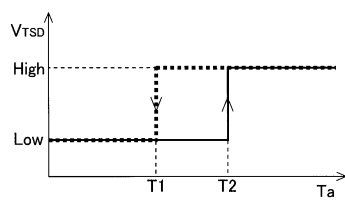
【 図 1 】



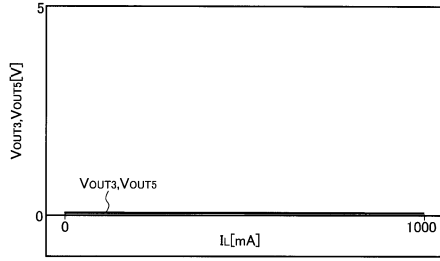
【 図 3 】



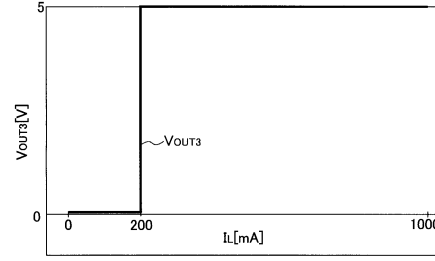
【 図 2 】



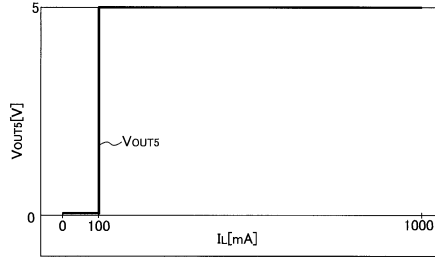
【 図 4 】



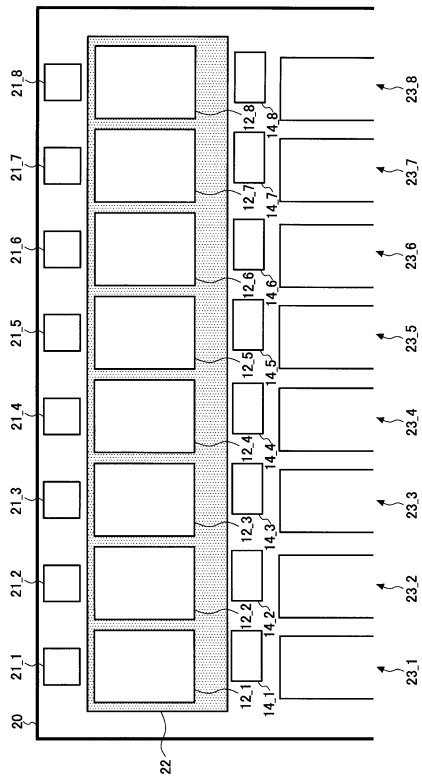
【 図 5 B 】



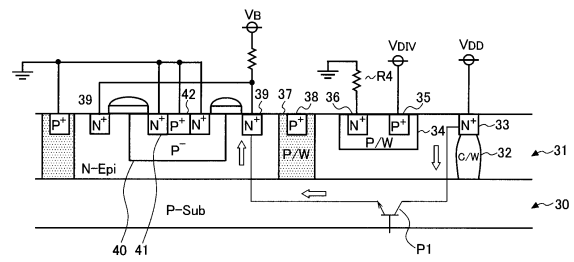
【 図 5 A 】



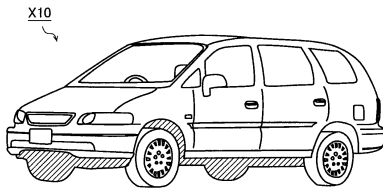
【 図 6 】



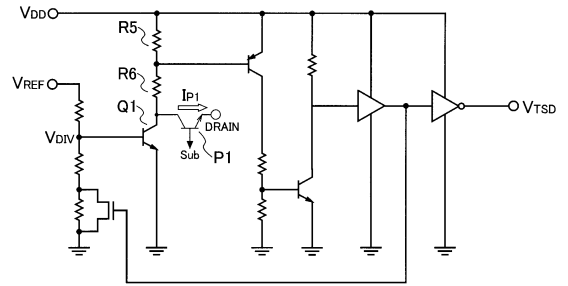
【 図 7 】



【 図 8 】



【 図 9 】



【 図 10 】

V <sub>TSD</sub>	状態
Low	通常状態
High	過熱状態

---

フロントページの続き

- (56)参考文献 特開2005-268703(JP,A)  
特開平06-324092(JP,A)  
特開2001-077682(JP,A)  
特開2004-140094(JP,A)  
米国特許第04165642(US,A)  
特開2004-253936(JP,A)  
特開2014-086953(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02H 5/04  
H01L 21/822  
H01L 27/04