



<9> 종래에는 워드라인을 부트스트래핑 함에 있어, 한번의 부트스트래핑에 의해 원하는 전압 레벨을 얻게 된다. 그러나, 이러한 종래의 부트스트랩 회로는 사용되는 전원전압(Vcc)이 2V 이하의 저전압인 경우 읽기 동작에 필요한 전압을 얻기가 불가능하고, 그 이하의 전압 레벨이라 할지라도 도달하는 데 걸리는 시간 길어지게 되는 단점이 있다.

### 발명이 이루고자 하는 기술적 과제

- <10> 따라서, 본 발명은 저전압으로 동작하는 플래쉬 메모리에서 읽기 동작시 일정한 시간 간격을 두고 연속적으로 더블 부트스트래핑을 수행함으로써, 상기한 단점을 해결할 수 있는 워드라인 부트스트랩 회로를 제공하는 데 그 목적이 있다.
- <11> 상술한 목적을 달성하기 위한 본 발명에 따른 워드라인 부트스트랩 회로는 저전위 전원전압을 사용하는 플래쉬 메모리의 읽기 동작시 로우 디코더의 출력에 따라 선택된 워드라인으로 고전압을 공급하는 워드라인 부트스트랩 회로에 있어서, 제 1 내지 제 3 클럭신호를 생성하기 위한 클럭 발생 회로와, 프리차지 전압을 공급하는 프리차지 회로와, 상기 클럭 발생 회로로부터 생성된 제 3 클럭신호에 따라 상기 프리차지 회로의 출력 전압을 부트스트래핑 하기 위한 제 1 부트스트랩 수단과, 상기 클럭 발생 회로로부터 생성된 제 1 및 제 2 클럭신호와 상기 프리차지 회로의 출력 전압에 따라 구동되는 전압 드라이버 수단과, 상기 전압 드라이버 수단의 출력 전압에 따라 출력단을 부트스트래핑 하기 위한 제 2 부트스트랩 수단과, 상기 클럭 발생 회로로부터 생성된 제 3 클럭신호에 따라 상기 출력단을 부트스트래핑 하기 위한 제 3 부트스트랩 수단과, 상기 출력단을 프리차지 하기 위한 프리차지 수단을 포함하여 구성된 것을 특징으로 한다.
- <12> 본 발명은 저전압으로 동작하는 플래쉬 메모리에서 읽기 동작시 부트스트랩 회로를 사용할 때, 부트스트래핑이 요구되는 노드에 2개의 부트스트랩 캐패시터를 접속하고, 상기 부트스트랩 캐패시터 각각을 일정한 시간 간격을 두고 연속적으로 부트스트래핑을 수행하게 된다. 이때, 상기 첫 번째 부트스트랩 캐패시터가 두 번째 부트스트랩 캐패시터의 부트스트래핑 동작시 부하 캐패시터로 작용하지 않도록 출력이 플로팅(Floating) 되도록 함으로써, 스위칭 회로를 사용하지 않고도 효율적인 부트스트래핑 동작을 수행할 수 있게 된다.

### 발명의 구성 및 작용

- <13> 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.
- <14> 도 1은 본 발명에 따른 워드라인 부트스트랩 회로도이다.
- <15> 서브-어레이 스위칭 수단(3), VPPX 전압 스위칭 수단(4) 및 부하 캐패시터( $C_L$ )에 의해 출력단은 프리 차지(Pre charge) 된다. 상기 출력단에는 제 1 및 제 2 부트스트랩 캐패시터( $C_{B1}$  및  $C_{B2}$ )가 접속된다. 클럭 발생 회로(1)에서는 제 1 내지 제 3 클럭신호(CK1 내지 CK3)를 생성하게 된다. 전압 드라이버 수단(5)은 상기 클럭 발생 회로(1)에서 생성된 제 1 및 제 2 클럭신호(CK1 및 CK2)에 따라 상기 제 1 캐패시터( $C_{B1}$ )를 구동시켜 차지 펌핑을 수행하게 된다. 상기 제 2 부트스트랩 캐패시터( $C_{B2}$ )는 인버터(12)를 경유한 상기 제 3 클럭신호(CK3)에 의해 부트스트래핑 된다.
- <16> 상기 제 1 부트스트랩 캐패시터( $C_{B1}$ )를 구동시키기 위한 전압 드라이버 수단(5)은 전원단자(Vcc) 및 접지 단자(Vss)간에 상기 제 1 클럭신호(CK1)를 각각 입력으로 하는 풀업 및 풀다운 트랜지스터인 제 1 PMOS 및 제 1 NMOS 트랜지스터(P1 및 N1)가 직렬로 접속되고, 상기 제 1 PMOS 및 제 1 NMOS 트랜지스터(P1 및 N1)간에는 프리차지 회로(2)의 출력 전압 및 인버터(11)를 경유한 상기 제 2 클럭신호(CK2)가 제 3 캐패시터( $C_{B3}$ )를 구동시켜 차지 펌핑된 전압을 입력으로 하는 제 2 NMOS 트랜지스터(N2)가 접속된다.
- <17> 상술한 바와 같이 구성된 본 발명에 따른 워드라인 부트스트랩 회로의 동작을 설명하면 다음과 같다.
- <18> 먼저, 부트스트랩 노드인 제 1 노드(K1)는 초기에 프리차지 회로(2)에 의해 Vcc 전압 레벨까지 프리차지 되어 있다가 제 1 클럭신호(CK1)에 의해 일차적으로 부트스트래핑이 일어나게 된다. 이때, 부트스트래핑 레벨은 이론적으로 3.6V를 넘을 수 없게 된다. 그러나, 플래쉬 메모리에 있어서 적절한 읽기 동작 마진을 확보하기 위해서는 최대 소거 문턱전압(Maximum erase Vt)이 약 2V 전압 수준이며, 최소 프로그램 문턱전압(Mimum program Vt)은 5.5V로 되어야 한다. 따라서, 읽기 동작시 원하는 속도(Speed)를 얻기 위하여 워드라인에 인가되어야 할 최소한의 전압을 4V로 설정하였다. 이때, 기존의 싱글 부트스트래핑(Single bootstrapping) 회로의 경우, 이론적인 최대 전압이 3.6V 이므로, 상승 시간(Rising time)이 매우 느리게 된다. 그러나, 본 발명에서 사용한 캐패시터의 비에 의하면 첫 번째 클럭 발생에 의해 2.7V 전압 즉, 150%의 부트스트래핑이 발생되도록 하였다. 이때, 로드 캐패시터( $C_L$ )와 두 번째 클럭 발생을 위한 제 2 캐패시터( $C_{B2}$ )의 합이 바로 차지 분배(Charge sharing) 대상의 캐패시터스가 된다. 한편, 첫 번째 클럭 발생 시 턴온된 제 1 PMOS 트랜지스터(P1)와 출력단 사이에 위치한 제 2 NMOS 트랜지스터(N2)의 게이트는 프리차지 회로에 의해 전원전압(Vcc)으로 충전되게 된다. 따라서, 첫 번째 클럭 발생에 사용되는 전압 드라이버 회로(5)의 출력 노드인 제 1 노드(K1)의 전압은 Vcc-Vtn으로 된다. 이러한, 문턱전압(Vtn)의 드롭(Drop) 현상을 보상하기 위해 상기 제 2 NMOS 트랜지스터(N2)의 게이트 전압을 부트스트래핑 하였다. 이때, 상기 제 2 NMOS 트랜지스터(N2)의 게이트 전압이 전원전압(Full Vcc)보다 훨씬 높게 되어 전압 드라이버 회로(5)의 출력 노드인 제 1 노드(K1)로 최대 전원전압(Full Vcc)을 공급할 수 있게 된다. 따라서, 부트스트래핑 효율이 떨어지는 것을 방지할 수 있을 뿐만 아니라 제 2 부트스트래핑이 일어날 때는 다시 전원전압(Vcc) 레벨까지 떨어지게 함으로써, 제 2 부트스트랩 캐패시터( $C_{B2}$ )에서의 로딩 캐패시터스 중에서 제 1 부트스트랩 캐패시터( $C_{B1}$ )의 로딩 캐패시터스를 없애주기 위한 것이다. 왜냐하면, 제 1 노드(K1)가 전원전압(Vcc) 레벨로 복원되면, 상기 제 1 NMOS 트랜지스터(N1)의 게이트 소오스간 전압(Vgs)이 0V 전압으로 되어 차단되고, 또한, 상기 제 1 NMOS 트랜지스터(N1)가 차단되어 있으므로, 결국 제 1 노드(K1)가 플로팅(Floating) 되기 때문이다. 즉, 도 3에 나타난 바와 같이 상기 제 1 노드(K1)는 두 번째 부트스트래핑이 일어날 때 발생하는 전압  $\Delta V$  만큼 커플링이 일어나게 됨을 알 수 있다. 그러므로, 상기 제 2 부트스

트랩 캐패시터( $C_{B2}$ )의 로딩 캐패시턴스를 줄여 상기 제 2 부트스트랩 캐패시터( $C_{B2}$ )의 캐패시턴스 또한 줄일 수 있게 된다.

<19> 그러므로, 두 번째 부트스트래핑시에는 첫 번째 부트스트래핑 레벨인 2.7V의 전압으로부터 4.1V의 전압으로 상승되게 된다.

<20> 도 2는 본 발명에 따른 워드라인 부트스트랩 회로를 설명하기 위해 도시한 입출력 파형도로서, 클럭 발생 회로로부터 출력되는 제 1 내지 제 3 클럭신호(CK1 내지 CK3)에 따라 워드라인(W/L) 전압이 연속적으로 부트스트래핑 됨을 알 수 있다.

### 발명의 효과

<21> 상술한 바와 같이 본 발명에 의하면 저전압으로 동작하는 플래쉬 메모리에서 읽기 동작시 일정한 시간 간격을 두고 연속적으로 더블 부트스트래핑을 수행함으로써, 읽기 마진과 속도를 개선할 수 있는 탁월한 효과가 있다.

### (57) 청구의 범위

#### 청구항 1

저전위 전원전압을 사용하는 플래쉬 메모리의 읽기 동작시 로우 디코더의 출력에 따라 선택된 워드라인으로 고전압을 공급하는 워드라인 부트스트랩 회로에 있어서,

제 1 내지 제 3 클럭신호를 생성하기 위한 클럭 발생 회로와,

프리차지 전압을 공급하는 프리차지 회로와,

상기 클럭 발생 회로로부터 생성된 제 3 클럭신호에 따라 상기 프리차지 회로의 출력 전압을 부트스트래핑 하기 위한 제 1 부트스트랩 수단과,

상기 클럭 발생 회로로부터 생성된 제 1 및 제 2 클럭신호와 상기 프리차지 회로의 출력 전압에 따라 구동되는 전압 드라이버 수단과,

상기 전압 드라이버 수단의 출력 전압에 따라 출력단을 부트스트래핑 하기 위한 제 2 부트스트랩 수단과,

상기 클럭 발생 회로로부터 생성된 제 3 클럭신호에 따라 상기 출력단을 부트스트래핑 하기 위한 제 3 부트스트랩 수단과,

상기 출력단을 프리차지 하기 위한 프리차지 수단을 포함하여 구성된 것을 특징으로 하는 워드라인 부트스트랩 회로.

#### 청구항 2

제 1 항에 있어서,

상기 전압 드라이버 수단은 전원단자 및 접지단자간에 직렬로 접속되며, 상기 제 1 클럭신호를 각각 입력으로 하는 풀업 및 풀다운 트랜지스터와,

상기 풀업 및 풀다운 트랜지스터간에 접속되며, 상기 프리차지 회로의 출력 전압 및 상기 제 1 부트스트랩 수단에 의해 펌핑된 전압을 입력으로 하는 NMOS 트랜지스터를 포함하여 구성된 것을 특징으로 하는 워드라인 부트스트랩 회로.

#### 청구항 3

제 2 항에 있어서,

상기 풀업 트랜지스터는 PMOS 트랜지스터로 구성된 것을 특징으로 하는 워드라인 부트스트랩 회로.

#### 청구항 4

제 2 항에 있어서,

상기 풀다운 트랜지스터는 NMOS 트랜지스터로 구성된 것을 특징으로 하는 워드라인 부트스트랩 회로.

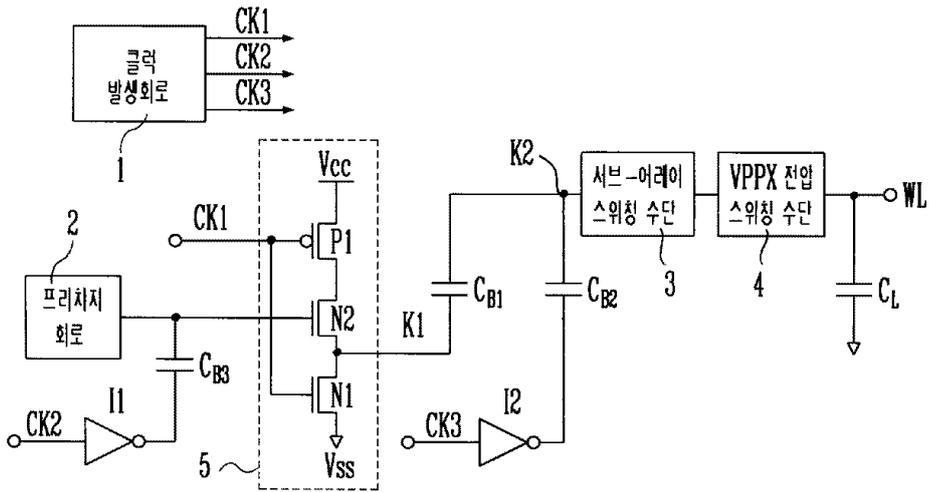
#### 청구항 5

제 1 항에 있어서,

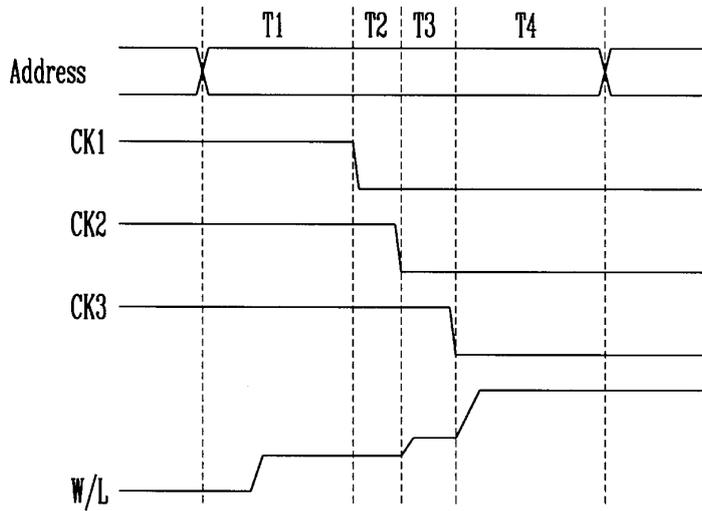
상기 프리차지 수단은 서브-어레이 스위칭 수단, VPPX 전압 스위칭 수단 및 부하 캐패시터를 포함하여 구성된 것을 특징으로 하는 워드라인 부트스트랩 회로.

### 도면

도면1



도면2



도면3

