



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년03월02일
(11) 등록번호 10-1497456
(24) 등록일자 2015년02월24일

(51) 국제특허분류(Int. Cl.)
G11C 29/04 (2006.01) G11C 16/34 (2006.01)
(21) 출원번호 10-2008-0039835
(22) 출원일자 2008년04월29일
심사청구일자 2013년04월23일
(65) 공개번호 10-2009-0114067
(43) 공개일자 2009년11월03일
(56) 선행기술조사문헌
KR1020020033955 A*
KR1020070116551 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
최현수
경기도 수원시 영통구 삼성로320번길 62, WEST동 1101호 (영통동, 영통아이파크)
성낙우
경기도 용인시 수지구 진산로 90, 519동 1501호 (풍덕천동, 진산마을삼성5차아파트)
(74) 대리인
박영우

전체 청구항 수 : 총 15 항

심사관 : 권영학

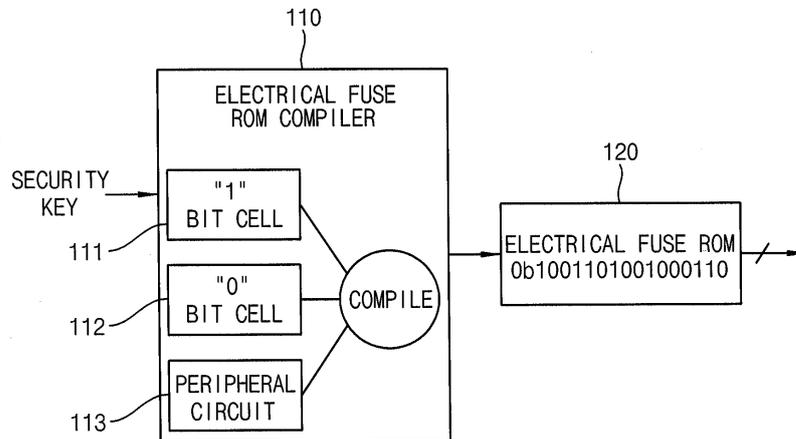
(54) 발명의 명칭 전기퓨즈 회로를 갖는 보안 회로 및 보안 키 프로그램 방법

(57) 요약

집적회로의 설계 단계에서 보안 키에 따라 전기 퓨즈 롬을 프로그램하는 보안 회로가 개시된다. 보안 회로는 전기 퓨즈 롬 및 전기 퓨즈 롬 컴파일러를 포함한다. 전기 퓨즈 롬 컴파일러는 전기 퓨즈 롬이 포함된 집적회로의 설계 단계에서, 보안 키에 응답하여 보안 키의 비트들 각각에 대응하는 전기 퓨즈 롬 내부에 있는 비트 셀들을 선택하고 선택된 비트 셀들을 배열한다. 따라서, 보안 회로를 포함하는 반도체 장치는 테스트 시간과 테스트 비용을 줄일 수 있고 생산 수율을 증가시킬 수 있다.

대표도 - 도4

100



특허청구의 범위

청구항 1

전기 퓨즈 롬; 및

상기 전기 퓨즈 롬이 포함된 집적회로의 설계 단계에서, 보안 키에 응답하여 상기 보안 키의 비트들 각각에 대응하는 상기 전기 퓨즈 롬 내부에 있는 비트 셀들을 선택하고 선택된 비트 셀들을 배열하는 전기 퓨즈 롬 컴파일러를 포함하고,

상기 전기 퓨즈 롬은,

상기 보안 키의 비트들 각각에 대응하는 전기 퓨즈부들을 포함하며,

상기 전기 퓨즈부들 각각은

프로그램 인에이블 신호가 인가되는 제 1 단자를 갖는 마스터 퓨즈;

상기 마스터 퓨즈의 제 2 단자에 결합되고, 마스터 퓨즈 블로잉 인에이블 신호에 응답하여 상기 마스터 퓨즈를 절단하는 마스터 퓨즈 블로잉 회로;

상기 마스터 퓨즈 블로잉 회로의 출력신호에 응답하여 퓨즈 블로잉 인에이블 신호를 발생시키는 구동부; 및

상기 퓨즈 블로잉 인에이블 신호에 응답하여 프로그램되는 비트 셀 퓨즈 회로를 포함하는 보안 회로.

청구항 2

제 1 항에 있어서, 상기 전기 퓨즈 롬 컴파일러는

상기 보안 키의 비트들 각각을 위한 주변회로를 선택하는 것을 특징으로 하는 보안 회로.

청구항 3

제 1 항에 있어서, 상기 보안 회로는

상기 집적회로가 설계된 웨이퍼가 팝아웃된 후, 상기 전기 퓨즈 롬 컴파일러를 상기 전기 퓨즈 롬과 전기적으로 분리하는 것을 특징으로 하는 보안 회로.

청구항 4

제 1 항에 있어서, 상기 보안 회로는

상기 집적회로가 설계된 웨이퍼가 팝아웃된 후, 보안 키 갱신이 필요할 때 갱신된 보안 키를 상기 전기 퓨즈 롬에 입력하는 것을 특징으로 하는 보안 회로.

청구항 5

제 4 항에 있어서, 상기 보안 회로는

갱신된 보안 키를 상기 전기 퓨즈 롬에 입력한 후, 상기 전기 퓨즈 롬 컴파일러를 상기 전기 퓨즈 롬과 전기적으로 분리하는 것을 특징으로 하는 보안 회로.

청구항 6

삭제

청구항 7

삭제

청구항 8

제 1 항에 있어서, 상기 마스터 퓨즈 블로잉 회로는

상기 마스터 퓨즈의 제 2 단자와 접지전압 사이에 결합되고 마스터 퓨즈 블로잉 인에이블 신호에 응답하여 상기 마스터 퓨즈의 제 2 단자를 상기 접지전압의 전위로 유지하는 MOS 트랜지스터;

상기 마스터 퓨즈 블로잉 인에이블 신호를 반전시키는 인버터; 및

상기 마스터 퓨즈의 제 2 단자에 결합된 제 1 단자, 상기 구동부에 결합된 제 2 단자를 가지며, 상기 인버터의 출력신호에 응답하여 동작하는 스위치를 포함하는 것을 특징으로 하는 보안 회로.

청구항 9

제 1 항에 있어서, 상기 구동부는

상기 마스터 퓨즈 블로잉 회로의 출력신호가 인가되는 게이트, 접지전압에 결합된 소스, 및 상기 퓨즈 블로잉 인에이블 신호가 출력되는 드레인을 갖는 제 1 MOS 트랜지스터; 및

상기 제 1 MOS 트랜지스터의 게이트에 연결된 드레인, 상기 접지전압에 결합된 소스, 및 전원전압이 인가되는 게이트를 갖는 제 2 MOS 트랜지스터를 포함하는 것을 특징으로 하는 보안 회로.

청구항 10

제 1 항에 있어서, 상기 비트 셀 퓨즈 회로는

상기 비트 셀 퓨즈 회로를 구성하는 비트 셀 퓨즈를 절단하여 상기 비트 셀 퓨즈 회로를 프로그램하는 것을 특징으로 하는 보안 회로.

청구항 11

제 1 항에 있어서, 상기 비트 셀 퓨즈 회로는

비트 셀 퓨즈를 갖는 비트 셀; 및

상기 퓨즈 블로잉 인에이블 신호에 응답하여 고 전압을 상기 비트 셀에 제공하여 상기 비트 셀 퓨즈를 절단하는 블로잉부를 포함하는 것을 특징으로 하는 보안 회로.

청구항 12

제 11 항에 있어서, 상기 비트 셀은

접지 전압에 결합된 제 1 단자를 갖는 제 1 저항;

전원 전압과 상기 제 1 저항의 제 2 단자 사이에 결합된 제 2 저항;

상기 접지 전압과 제 1 노드 사이에 결합된 상기 비트 셀 퓨즈;

상기 제 1 노드와 상기 전원 전압 사이에 결합된 제 3 저항; 및

상기 제 1 저항의 상기 제 2 단자에 결합된 반전 입력단자 및 상기 제 1 노드에 결합된 비반전 입력단자를 갖고, 상기 반전 입력단자의 전압과 상기 비반전 입력단자의 전압의 차이를 증폭하여 상기 보안 키의 하나의 비트에 대응하는 데이터 비트 "0"을 출력하는 센스 앰프를 포함하는 것을 특징으로 하는 보안 회로.

청구항 13

제 11 항에 있어서, 상기 비트 셀은

접지 전압에 결합된 제 1 단자를 갖는 상기 비트 셀 퓨즈;

전원 전압과 상기 비트 셀 퓨즈의 제 2 단자 사이에 결합된 제 1 저항;

상기 접지 전압과 제 1 노드 사이에 결합된 제 2 저항;

상기 제 1 노드와 상기 전원 전압 사이에 결합된 제 3 저항; 및

상기 비트 셀 퓨즈의 상기 제 2 단자에 결합된 반전 입력단자 및 상기 제 1 노드에 결합된 비반전 입력단자를 갖고, 상기 반전 입력단자의 전압과 상기 비반전 입력단자의 전압의 차이를 증폭하여 상기 보안 키의 하나의 비트에 대응하는 데이터 비트 "1"을 출력하는 센스 앰프를 포함하는 것을 특징으로 하는 보안 회로.

청구항 14

제 11 항에 있어서, 상기 비트 셀은

접지 전압에 결합된 제 1 단자를 갖는 제 1 저항;

전원 전압과 상기 제 1 저항의 제 2 단자 사이에 결합된 제 2 저항;

상기 접지 전압과 제 1 노드 사이에 결합된 상기 비트 셀 퓨즈;

상기 제 1 노드와 상기 전원 전압 사이에 결합된 제 3 저항;

상기 제 1 저항의 상기 제 2 단자에 결합된 반전 입력단자 및 상기 제 1 노드에 결합된 비반전 입력단자를 갖고, 상기 반전 입력단자의 전압과 상기 비반전 입력단자의 전압의 차이를 증폭하는 센스 앰프; 및

상기 센스 앰프의 출력을 반전하고 상기 보안 키의 하나의 비트에 대응하는 데이터 비트 "1"을 출력하는 인버터를 포함하는 것을 특징으로 하는 보안 회로.

청구항 15

제 11 항에 있어서, 상기 비트 셀은

로직 "0"인 데이터가 인가되는 게이트, 전원 전압이 인가되는 소스, 및 제 1 노드에 결합된 드레인을 갖는 PMOS 트랜지스터;

상기 제 1 노드와 접지 전압 사이에 결합된 상기 비트 셀 퓨즈;

상기 제 1 노드의 전압을 반전시키는 제 1 인버터; 및

상기 제 1 인버터의 출력전압을 반전시키고, 상기 보안 키의 하나의 비트에 대응하는 데이터 비트 "0"을 출력하는 제 2 인버터를 포함하는 것을 특징으로 하는 보안 회로.

청구항 16

제 11 항에 있어서, 상기 비트 셀은

로직 "0"인 데이터가 인가되는 게이트, 전원 전압이 인가되는 소스, 및 제 1 노드에 결합된 드레인을 갖는 PMOS 트랜지스터;

상기 제 1 노드와 접지 전압 사이에 결합된 상기 비트 셀 퓨즈;

상기 제 1 노드의 전압을 반전시키고, 상기 보안 키의 하나의 비트에 대응하는 데이터 비트 "0"을 출력하는 인버터를 포함하는 것을 특징으로 하는 보안 회로.

청구항 17

제 11 항에 있어서, 상기 블로잉부는

상기 퓨즈 블로잉 인에이블 신호를 반전시키는 인버터; 및

상기 인버터의 출력신호가 인가되는 게이트, 상기 고 전압이 인가되는 드레인, 및 상기 비트 셀 퓨즈에 연결된 소스를 갖는 NMOS 트랜지스터를 포함하는 것을 특징으로 하는 보안 회로.

명세서

발명의 상세한 설명

기술분야

본 발명은 보안 회로에 관한 것으로서, 특히 전기퓨즈 회로를 갖는 보안 회로 및 보안 키 프로그램 방법에 관한 것이다.

배경기술

[0001]

- [0002] 최근에 생산되는 반도체 집적회로가 내장된 반도체 장치는 전기 퓨즈 롬(electric fuse ROM)을 포함한다. 전기 퓨즈 롬은 반도체 칩의 식별자(identifier) 저장 장치, 리던던시(redundancy) 메모리 셀 어레이의 페일 어드레스(fail address) 저장 장치, 또는 보안 키(security key)를 저장하는 장치로서 사용된다.
- [0003] 보안 키를 저장하는 장치로 사용되는 전기 퓨즈 롬은 반도체 장치가 생산될 때 전기 퓨즈 롬을 구성하는 모든 셀이 "0" 또는 "1"의 값을 유지하다가, 펌 아웃(fab-out)된 이후 EDS 단계나 패키징 이후 단계에서 칩 사용자가 원하는 보안 키에 따라 프로그램된다.
- [0004] 도 1은 전기 퓨즈 롬을 사용하여 보안 키를 프로그램하는 종래의 방법을 나타내는 블록도이다. 도 1을 참조하면, 종래의 보안 키 프로그램 방법은 집적회로를 설계하는 단계(10) 및 집적회로가 펌 아웃된 이후 전기 퓨즈 롬(20)에 보안 키를 프로그램하는 단계를 포함한다. 프로그램하기 전의 전기 퓨즈 롬(20)은 모두 로직 "0"의 값을 갖고, 프로그램된 이후의 전기 퓨즈 롬(30)은 보안 키에 대응하는 값을 갖는다.
- [0005] 이와 같은 종래의 보안 키 프로그램 방법은 보안 키를 모두 프로그램해야 하기 때문에 많은 테스트 시간과 비용이 요구되며 제품의 수율 저하가 발생할 수 있다.

발명의 내용

해결 하고자하는 과제

- [0006] 본 발명의 목적은 집적회로의 설계 단계에서 보안 키에 따라 전기 퓨즈 롬을 프로그램하는 보안 회로를 제공하는 것이다.
- [0007] 본 발명의 다른 목적은 상기 보안 회로의 보안 키 프로그램 방법을 제공하는 것이다.

과제 해결수단

- [0008] 상기 목적을 달성하기 위하여 본 발명의 하나의 실시형태에 따른 보안 회로는 전기 퓨즈 롬 및 전기 퓨즈 롬 컴파일러를 포함한다.
- [0009] 전기 퓨즈 롬 컴파일러는 상기 전기 퓨즈 롬이 포함된 집적회로의 설계 단계에서, 보안 키에 응답하여 상기 보안 키의 비트들 각각에 대응하는 상기 전기 퓨즈 롬 내부에 있는 비트 셀들을 선택하고 선택된 비트 셀들을 배열한다.
- [0010] 본 발명의 하나의 실시예에 의하면, 상기 전기 퓨즈 롬 컴파일러는 상기 보안 키의 비트들 각각을 위한 주변회로를 선택할 수 있다.
- [0011] 본 발명의 하나의 실시예에 의하면, 상기 보안 회로는 상기 집적회로가 설계된 웨이퍼가 펌아웃된 후, 상기 전기 퓨즈 롬 컴파일러를 상기 전기 퓨즈 롬과 전기적으로 분리할 수 있다.
- [0012] 본 발명의 하나의 실시예에 의하면, 상기 집적회로가 설계된 웨이퍼가 펌아웃된 후, 보안 키 갱신이 필요할 때 갱신된 보안 키를 상기 전기 퓨즈 롬에 입력할 수 있다.
- [0013] 본 발명의 하나의 실시예에 의하면, 상기 보안 회로는 갱신된 보안 키를 상기 전기 퓨즈 롬에 입력한 후, 상기 전기 퓨즈 롬 컴파일러를 상기 전기 퓨즈 롬과 전기적으로 분리할 수 있다.
- [0014] 본 발명의 하나의 실시예에 의하면, 상기 전기 퓨즈 롬은 상기 보안 키의 비트들 각각에 대응하는 전기 퓨즈부들을 포함할 수 있다.
- [0015] 본 발명의 하나의 실시예에 의하면, 상기 전기 퓨즈부들 각각은 마스터 퓨즈, 마스터 퓨즈 블로잉 회로, 구동부 및 비트 셀 퓨즈 회로를 포함할 수 있다.
- [0016] 마스터 퓨즈는 프로그램 인에이블 신호가 인가되는 제 1 단자를 갖는다. 마스터 퓨즈 블로잉 회로는 상기 마스터 퓨즈의 제 2 단자에 결합되고, 마스터 퓨즈 블로잉 인에이블 신호에 응답하여 상기 마스터 퓨즈를 절단한다. 구동부는 상기 마스터 퓨즈 블로잉 회로의 출력신호에 응답하여 퓨즈 블로잉 인에이블 신호를 발생시킨다. 비트 셀 퓨즈 회로는 상기 퓨즈 블로잉 인에이블 신호에 응답하여 프로그램된다.
- [0017] 본 발명의 하나의 실시예에 의하면, 상기 마스터 퓨즈 블로잉 회로는 MOS 트랜지스터, 인버터 및 스위치를 포함할 수 있다.
- [0018] MOS 트랜지스터는 상기 마스터 퓨즈의 제 2 단자와 접지전압 사이에 결합되고 마스터 퓨즈 블로잉 인에이블 신

호에 응답하여 상기 마스터 퓨즈의 제 2 단자를 상기 접지전압의 전위로 유지한다. 인버터는 상기 마스터 퓨즈 블로잉 인에이블 신호를 반전시킨다. 스위치는 상기 마스터 퓨즈의 제 2 단자에 결합된 제 1 단자, 상기 구동부에 결합된 제 2 단자를 가지며, 상기 인버터의 출력신호에 응답하여 스위칭 동작을 한다.

[0019] 본 발명의 하나의 실시예에 의하면, 상기 구동부는 제 1 MOS 트랜지스터 및 제 2 MOS 트랜지스터를 포함할 수 있다.

[0020] 제 1 MOS 트랜지스터는 상기 마스터 퓨즈 블로잉 회로의 출력신호가 인가되는 게이트, 접지전압에 결합된 소스, 및 상기 퓨즈 블로잉 인에이블 신호가 출력되는 드레인을 갖는다. 제 2 MOS 트랜지스터는 상기 제 1 MOS 트랜지스터의 게이트에 연결된 드레인, 상기 접지전압에 결합된 소스, 및 전원전압이 인가되는 게이트를 갖는다.

[0021] 본 발명의 하나의 실시예에 의하면, 상기 비트 셀 퓨즈 회로는 상기 비트 셀 퓨즈 회로를 구성하는 비트 셀 퓨즈를 절단하여 상기 비트 셀 퓨즈 회로를 프로그램할 수 있다.

[0022] 본 발명의 하나의 실시예에 의하면, 상기 비트 셀 퓨즈 회로는 비트 셀 퓨즈를 갖는 비트 셀, 및 상기 퓨즈 블로잉 인에이블 신호에 응답하여 고 전압을 상기 비트 셀에 제공하여 상기 비트 셀 퓨즈를 절단하는 블로잉부를 포함할 수 있다.

[0023] 본 발명의 하나의 실시예에 의하면, 상기 블로잉부는 인버터 및 NMOS 트랜지스터를 포함할 수 있다.

[0024] 인버터는 상기 퓨즈 블로잉 인에이블 신호를 반전시킨다. NMOS 트랜지스터는 상기 인버터의 출력신호가 인가되는 게이트, 상기 고 전압이 인가되는 드레인, 및 상기 비트 셀 퓨즈에 연결된 소스를 갖는다.

[0025] 본 발명의 하나의 실시형태에 따른 보안 키 프로그램 방법은 전기 퓨즈 회로에 보안 키를 입력하는 단계, 상기 전기 퓨즈 회로가 포함된 집적회로를 설계하는 단계, 상기 집적회로가 설계된 웨이퍼를 펌인하는 단계, 상기 집적회로가 설계된 웨이퍼를 펌아웃하는 단계, 보안 키 갱신이 필요한지 판단하는 단계, 보안 키 갱신이 필요한 경우, 갱신할 보안 키를 전기 퓨즈 롬에 입력하는 단계를 포함할 수 있다.

[0026] 본 발명의 다른 하나의 실시형태에 따른 보안 키 프로그램 방법은 전기 퓨즈 롬에 보안 키를 입력하는 단계, 상기 전기 퓨즈 롬이 포함된 집적회로를 설계하는 단계, 상기 집적회로가 설계된 웨이퍼를 펌인하는 단계, 상기 집적회로가 설계된 웨이퍼를 펌아웃하는 단계, 보안 키 갱신이 필요한지 판단하는 단계, 보안 키 갱신이 필요하지 않은 경우, 마스터 퓨즈를 블로잉하는 단계, 보안 키 갱신이 필요한 경우, 갱신할 보안 키를 전기 퓨즈 롬에 입력하는 단계, 및 보안 키 갱신이 필요한 경우, 상기 마스터 퓨즈를 블로잉하는 단계를 포함할 수 있다.

효 과

[0027] 본 발명에 따른 보안 회로는 집적회로의 설계 단계에서 보안 키에 따라 전기 퓨즈 롬을 프로그램하기 때문에 집적회로가 펌 아웃된 이후에 보안 키의 변경이 없는 경우는 전기 퓨즈 롬을 블로잉을 할 필요가 없다. 또한, 본 발명에 따른 보안 회로는 집적회로가 펌 아웃된 이후에 보안 키의 변경이 있는 경우는 변경된 보안 키에 따라 전기 퓨즈 롬을 프로그램할 수 있다. 또한, 본 발명에 따른 보안 회로는 마스터 퓨즈를 구비함으로써 패키지 핀을 통한 보안 키의 원치 않는 변경을 방지할 수 있다. 따라서, 본 발명에 따른 보안 회로를 포함하는 반도체 장치는 테스트 시간과 테스트 비용을 줄일 수 있고 생산 수율을 증가시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0028] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안 된다.

[0029] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0030] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0031] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에

직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0032] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0033] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0034] 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.

[0035] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.

[0036] 도 2는 본 발명의 하나의 실시예에 따른 전기 퓨즈 롬을 사용한 보안 키 프로그램 방법을 나타내는 흐름도이다.

[0037] 도 2를 참조하면, 보안 키 프로그램 방법은 전기 퓨즈 회로에 보안 키를 입력하고, 전기 퓨즈 회로가 포함된 집적회로를 설계하는 단계(S1), 집적회로가 설계된 웨이퍼를 펌인(fab-in)하는 단계(S2), 집적회로가 설계된 웨이퍼를 펌아웃(fab-out)하는 단계, 보안 키 갱신이 필요한지 판단하는 단계(S4), 보안 키 갱신이 필요한 경우, 갱신할 보안 키를 전기 퓨즈 롬에 입력하는 단계(S5)를 포함한다.

[0038] 도 2에 도시된 보안 키 프로그램 방법은 종래의 방법과 달리 집적회로의 설계 단계에서 보안 키에 따라 전기 퓨즈 롬을 프로그램한다. 따라서 집적회로가 펌 아웃된 이후에 보안 키의 변경이 없는 경우는 전기 퓨즈 롬을 블로잉을 할 필요가 없다. 또한, 집적회로가 펌 아웃된 이후에 보안 키의 변경이 있는 경우는 변경된 보안 키에 따라 전기 퓨즈 롬을 프로그램할 수 있다.

[0039] 도 3은 본 발명의 다른 하나의 실시예에 따른 전기 퓨즈 롬을 사용한 보안 키 프로그램 방법을 나타내는 흐름도이다.

[0040] 도 3을 참조하면, 보안 키 프로그램 방법은 전기 퓨즈 롬에 보안 키를 입력하고, 전기 퓨즈 롬이 포함된 집적회로를 설계하는 단계(S1), 집적회로가 설계된 웨이퍼를 펌인하는 단계(S2), 집적회로가 설계된 웨이퍼를 펌아웃하는 단계(S3), 보안 키 갱신이 필요한지 판단하는 단계(S4), 보안 키 갱신이 필요하지 않은 경우, 마스터 퓨즈를 블로잉하는 단계(S6), 보안 키 갱신이 필요한 경우, 갱신할 보안 키를 전기 퓨즈 롬에 입력하는 단계(S5), 및 보안 키 갱신이 필요한 경우, 마스터 퓨즈를 블로잉하는 단계(S6)를 포함한다.

[0041] 도 3에 도시된 보안 키 프로그램 방법은 마스터 퓨즈를 사용하여 패키지 핀을 통한 보안 키의 원치 않는 변경을 방지할 수 있다.

[0042] 도 4는 본 발명의 하나의 실시예에 따른 보안 회로(100)를 나타내는 회로도이다. 도 4를 참조하면, 보안 회로(100)는 전기 퓨즈 롬 컴파일러(110) 및 전기 퓨즈 롬(120)을 포함한다.

[0043] 전기 퓨즈 롬 컴파일러(110)는 전기 퓨즈 롬(120)이 포함된 집적회로의 설계 단계에서, 보안 키(SEcurity KEY)에 응답하여 보안 키의 비트들 각각에 대응하는 전기 퓨즈 롬 내부에 있는 비트 셀들을 선택하고, 선택된 비트 셀들을 배열한다. 전기 퓨즈 롬 컴파일러(110)는 보안 키(SEcurity KEY)에 응답하여 데이터 비트 "1"을 갖는 비트 셀들(111) 및 데이터 비트 "0"을 갖는 비크 셀들(112)을 선택하여 배열한다. 또한, 전기 퓨즈 롬 컴파일러(110)는 보안 키(SEcurity KEY)의 비트들 각각을 위한 주변회로들(113)을 선택하여 배열한다. 보안키의 각 비트들에 대응하는 전기 퓨즈 롬(120)의 출력 데이터들은 중앙처리장치(CPU) 등에서 사용된다.

- [0044] 도 4에 도시된 보안 회로(100)는 전기 퓨즈 롬 컴파일러(110)를 사용하여 집적회로의 설계 단계에서 보안 키 (SECURITY KEY)에 따라 전기 퓨즈 롬(120)을 프로그램한다. 상기한 바와 같이 집적회로가 펌 아웃된 이후에 보안 키의 변경이 없는 경우는 전기 퓨즈 롬을 블로잉을 할 필요가 없다. 또한, 본 발명에 따른 보안 회로는 집적 회로가 펌 아웃된 이후에 보안 키의 변경이 있는 경우는 변경된 보안 키에 따라 전기 퓨즈 롬을 프로그램할 수 있다. 또한, 본 발명에 따른 보안 회로는 마스터 퓨즈를 구비함으로써 패키지 핀을 통한 보안 키의 원치 않는 변경을 방지할 수 있다. 따라서, 본 발명에 따른 보안 회로를 포함하는 반도체 장치는 테스트 시간과 테스트 비용을 줄일 수 있고 생산 수율을 증가시킬 수 있다.
- [0045] 도 5a 내지 도 5c는 차동형(differential type) 전기 퓨즈 셀의 예들을 나타내는 회로도들이다.
- [0046] 도 5a를 참조하면, 차동형 전기 퓨즈 셀은 제 1 저항(R2), 제 2 저항(R1), 비트 셀 퓨즈(F1), 제 3 저항(R3) 및 센스 앰프(S/A)를 포함한다.
- [0047] 제 1 저항(R2)은 접지 전압(VDD)에 결합된 제 1 단자를 가지며, 제 2 저항(R1)은 접지 전압(GND)과 제 1 저항(R2)의 제 2 단자 사이에 결합된다. 접지 전압(GND)은 제 1 노드(N11)에 인가된다. 비트 셀 퓨즈(F1)는 접지 전압(GND)과 제 2 노드(N12) 사이에 결합되고, 제 3 저항(R3)은 제 2 노드(N12)와 전원 전압(VDD) 사이에 결합된다. 센스 앰프(S/A)는 제 1 저항(R2)의 제 2 단자에 결합된 반전 입력단자(-) 및 제 2 노드(N12)에 결합된 비반전 입력단자(+)를 갖고, 반전 입력단자(-)의 전압과 비반전 입력단자(+)의 전압의 차이를 증폭하여 보안 키의 하나의 비트에 대응하는 데이터 비트 "0"을 출력한다.
- [0048] 도 5b를 참조하면, 차동형 전기 퓨즈 셀은 비트 셀 퓨즈(F2), 제 4 저항(R4), 제 5 저항(R5), 제 6 저항(R6) 및 센스 앰프(S/A)를 포함한다.
- [0049] 비트 셀 퓨즈(F2)는 접지 전압(GND)에 결합된 제 1 단자를 가지며, 제 5 저항(R5)은 전원 전압(VDD)과 비트 셀 퓨즈(F2)의 제 2 단자 사이에 결합된다. 접지 전압(GND)은 제 3 노드(N13)에 인가된다. 제 4 저항(R4)은 접지 전압(GND)과 제 4 노드(N14) 사이에 결합되고, 제 6 저항(R6)은 제 4 노드(N14)와 전원 전압(VDD) 사이에 결합된다. 센스 앰프(S/A)는 비트 셀 퓨즈(F2)의 제 2 단자에 결합된 반전 입력단자(-) 및 제 4 노드(N14)에 결합된 비반전 입력단자(+)를 갖고, 반전 입력단자(-)의 전압과 비반전 입력단자(+)의 전압의 차이를 증폭하여 보안 키의 하나의 비트에 대응하는 데이터 비트 "1"을 출력한다.
- [0050] 도 5c를 참조하면, 차동형 전기 퓨즈 셀은 제 7 저항(R7), 제 8 저항(R8), 제 9 저항(R9), 비트 셀 퓨즈(F3), 센스 앰프(S/A), 및 제 1 인버터(INV1)를 포함한다.
- [0051] 제 7 저항(R7)은 접지 전압(GND)에 결합된 제 1 단자를 가지며, 제 8 저항(R8)은 전원 전압(VDD)과 제 7 저항(R7)의 제 2 단자 사이에 결합된다. 접지 전압(GND)은 제 5 노드(N15)에 인가된다. 비트 셀 퓨즈(F3)는 접지 전압(GND)과 제 6 노드(N16) 사이에 결합되고, 제 9 저항(R9)은 제 6 노드(N16)와 전원 전압(VDD) 사이에 결합된다. 센스 앰프(S/A)는 제 7 저항(R7)의 제 2 단자에 결합된 반전 입력단자(-) 및 제 6 노드(N16)에 결합된 비반전 입력단자(+)를 갖고, 반전 입력단자(-)의 전압과 비반전 입력단자(+)의 전압의 차이를 증폭한다. 제 1 인버터(INV1)는 센스 앰프(S/A)의 출력을 반전하고 보안 키의 하나의 비트에 대응하는 데이터 비트 "1"을 출력한다.
- [0052] 이하, 도 5a 내지 도 5c를 참조하여 차동형 전기 퓨즈 셀들의 동작에 대해 설명한다.
- [0053] 도 5a 내지 도 5c는 차동형 전기 퓨즈 셀로서 센스 앰프(S/A)의 두 입력단자의 전위차에 따라 데이터 "0" 또는 데이터 "1"을 출력한다.
- [0054] 예를 들어, 도 5a에서, 비트 셀 퓨즈(F1)가 블로잉 되지 않았을 때, 센스 앰프(S/A)의 반전 입력단자(-)의 전압이 비반전 입력단자(+)의 전압보다 높으므로, 차동형 전기 퓨즈 셀은 데이터 "0"을 출력한다. 또한, 도 5a에서, 비트 셀 퓨즈(F1)가 절단 되었을 때, 센스 앰프(S/A)의 반전 입력단자(-)의 전압이 비반전 입력단자(+)의 전압보다 낮으므로, 차동형 전기 퓨즈 셀은 데이터 "1"을 출력한다.
- [0055] 도 5b에서, 비트 셀 퓨즈(F2)가 블로잉 되지 않았을 때, 센스 앰프(S/A)의 반전 입력단자(-)의 전압이 비반전 입력단자(+)의 전압보다 낮으므로, 차동형 전기 퓨즈 셀은 데이터 "1"을 출력한다. 또한, 도 5b에서, 비트 셀 퓨즈(F2)가 절단 되었을 때, 센스 앰프(S/A)의 반전 입력단자(-)의 전압이 비반전 입력단자(+)의 전압보다 높으므로, 차동형 전기 퓨즈 셀은 데이터 "0"을 출력한다.
- [0056] 도 5c에서, 비트 셀 퓨즈(F3)가 블로잉 되지 않았을 때, 센스 앰프(S/A)의 반전 입력단자(-)의 전압이 비반전 입력단자(+)의 전압보다 높으므로, 센스 앰프(S/A)의 출력은 로직 '로우'가 되고 차동형 전기 퓨즈 셀은 데이터 "1"을 출력한다. 또한, 도 5c에서, 비트 셀 퓨즈(F3)가 절단 되었을 때, 센스 앰프(S/A)의 반전 입력단자(-)의

전압이 비반전 입력단자(+)의 전압보다 낮으므로, 센스 앰프(S/A)의 출력은 로직 '하이'가 되고 차동형 전기 퓨즈 셀은 데이터 "0"을 출력한다.

- [0057] 도 5a에 도시된 차동형 전기 퓨즈 셀은 비트 셀 퓨즈가 블로잉 되지 않았을 때 데이터 "0"을 출력하는 퓨즈 셀이고, 도 5b 및 도 5c에 도시된 차동형 전기 퓨즈 셀은 비트 셀 퓨즈가 블로잉 되지 않았을 때 데이터 "1"을 출력하는 퓨즈 셀이다.
- [0058] 도 6a 및 도 6b는 싱글형(single-ended type) 전기 퓨즈 셀의 예들을 나타내는 회로도들이다.
- [0059] 도 6a를 참조하면, 싱글형 전기 퓨즈 셀은 제 1 PMOS 트랜지스터(MP1), 비트 셀 퓨즈(F4), 제 2 인버터(INV2) 및 제 3 인버터(INV3)를 포함한다.
- [0060] 제 1 PMOS 트랜지스터(MP1)는 로직 "0"인 데이터가 인가되는 게이트, 전원 전압(VDD)이 인가되는 소스, 및 제 7 노드(N17)에 결합된 드레인을 갖는다. 비트 셀 퓨즈(F4)는 제 7 노드(N17)와 접지 전압(GND) 사이에 결합된다. 제 2 인버터(INV2)는 제 7 노드(N17)의 전압을 반전시킨다. 제 3 인버터(INV3)는 제 2 인버터(INV2)의 출력전압을 반전시키고 보안 키의 하나의 비트에 대응하는 데이터 비트 "0"을 출력한다.
- [0061] 도 6b를 참조하면, 싱글형 전기 퓨즈 셀은 제 2 PMOS 트랜지스터(MP2), 비트 셀 퓨즈(F5), 제 4 인버터(INV2)를 포함한다.
- [0062] 제 2 PMOS 트랜지스터(MP2)는 로직 "0"인 데이터가 인가되는 게이트, 전원 전압(VDD)이 인가되는 소스, 및 제 8 노드(N18)에 결합된 드레인을 갖는다. 비트 셀 퓨즈(F5)는 제 8 노드(N18)와 접지 전압(GND) 사이에 결합된다. 제 4 인버터(INV4)는 제 8 노드(N18)의 전압을 반전시키고 보안 키의 하나의 비트에 대응하는 데이터 비트 "1"을 출력한다.
- [0063] 이하, 도 6a 및 도 6b를 참조하여 싱글형 전기 퓨즈 셀들의 동작에 대해 설명한다.
- [0064] 도 6a 및 도 6b는 싱글형 전기 퓨즈 셀로서 도 6a의 전기 퓨즈 셀은 데이터 "0"을 출력하고, 도 6b의 전기 퓨즈 셀은 데이터 "1"을 출력한다.
- [0065] 예를 들어, 도 6a에서, 비트 셀 퓨즈(F4)가 블로잉 되지 않았을 때, 제 7 노드(N17)의 전압은 로직 "로우"이고 싱글형 전기 퓨즈 셀은 데이터 "0"을 출력한다. 또한, 도 6a에서, 비트 셀 퓨즈(F4)가 절단 되었을 때, 로직 "0"인 데이터가 제 1 PMOS 트랜지스터(MP1)의 게이트에 인가되면 제 7 노드(N17)의 전압은 로직 "하이"이고 싱글형 전기 퓨즈 셀은 데이터 "1"을 출력한다.
- [0066] 도 6b에서, 비트 셀 퓨즈(F5)가 블로잉 되지 않았을 때, 제 8 노드(N18)의 전압은 로직 "로우"이고 싱글형 전기 퓨즈 셀은 데이터 "1"을 출력한다. 또한, 도 6a에서, 비트 셀 퓨즈(F5)가 절단 되었을 때, 로직 "0"인 데이터가 제 1 PMOS 트랜지스터(MP1)의 게이트에 인가되면 제 8 노드(N18)의 전압은 로직 "하이"이고 싱글형 전기 퓨즈 셀은 데이터 "0"을 출력한다.
- [0067] 도 6a에 도시된 싱글형 전기 퓨즈 셀은 비트 셀 퓨즈가 블로잉 되지 않았을 때 데이터 "0"을 출력하는 퓨즈 셀이고, 도 6b에 도시된 싱글형 전기 퓨즈 셀은 비트 셀 퓨즈가 블로잉 되지 않았을 때 데이터 "1"을 출력하는 퓨즈 셀이다.
- [0068] 도 7은 도 4의 보안 회로에 포함된 전기 퓨즈 롬(120)의 하나의 예를 나타내는 회로도이다. 실제로, 도 7의 회로는 도 4에 있는 전기 퓨즈 롬(120)을 구성하는 복수의 전기 퓨즈부의 하나를 나타낸다. 전기 퓨즈 롬(120)은 보안 키의 각 비트에 대응하는 복수의 전기 퓨즈부로 구성된다.
- [0069] 도 7을 참조하면, 전기 퓨즈 롬(120)은 마스터 퓨즈(MF), 마스터 퓨즈 블로잉 회로(125), 구동부(126) 및 비트 셀 퓨즈 회로(127)를 포함한다.
- [0070] 마스터 퓨즈(MF)는 프로그램 인에이블 신호(PE)가 인가되는 제 1 단자를 갖는다. 마스터 퓨즈 블로잉 회로(125)는 마스터 퓨즈(MF)의 제 2 단자에 결합되고, 마스터 퓨즈 블로잉 인에이블 신호(PE)에 응답하여 마스터 퓨즈(MF)를 절단한다. 구동부(126)는 마스터 퓨즈 블로잉 회로(125)의 출력신호에 응답하여 퓨즈 블로잉 인에이블 신호(FBE)를 발생시킨다. 비트 셀 퓨즈 회로(127)는 퓨즈 블로잉 인에이블 신호(FBE)에 응답하여 프로그램되고, 데이터 "0" 또는 데이터 "1"을 출력한다.
- [0071] 마스터 퓨즈 블로잉 회로(125)는 제 1 NMOS 트랜지스터(MN2), 인버터(INV5) 및 스위치(SW)를 포함한다.
- [0072] 제 1 NMOS 트랜지스터(MN2)는 마스터 퓨즈(MF)의 제 2 단자와 접지전압(GND) 사이에 결합되고 마스터 퓨즈 블로

인 인에이블 신호(MFBE)에 응답하여 상기 마스터 퓨즈의 제 2 단자를 상기 접지전압(GND)의 전위로 유지한다. 인버터(INV5)는 마스터 퓨즈 블로잉 인에이블 신호(MFBE)를 반전시킨다. 스위치(SW)는 마스터 퓨즈(MF)의 제 2 단자에 결합된 제 1 단자, 구동부(126)에 결합된 제 2 단자를 가지며, 인버터(INV5)의 출력신호에 응답하여 스위칭 동작을 한다.

- [0073] 구동부(126)는 제 2 NMOS 트랜지스터(MN3) 및 제 3 NMOS 트랜지스터(MN4)를 포함한다.
- [0074] 제 2 NMOS 트랜지스터(MN3)는 마스터 퓨즈 블로잉 회로(125)의 출력신호가 인가되는 게이트, 접지전압(GND)에 결합된 소스, 및 퓨즈 블로잉 인에이블 신호(FBE)가 출력되는 드레인을 갖는다. 제 3 NMOS 트랜지스터(MN4)는 제 2 MOS 트랜지스터의 게이트에 연결된 드레인, 접지전압(GND)에 결합된 소스, 및 전원전압(VDD)이 인가되는 게이트를 갖는다.
- [0075] 도 8은 도 7의 전기 퓨즈 롬(120)에 포함된 비트 셀 퓨즈 회로(127)의 하나의 예를 나타내는 회로도이다.
- [0076] 도 8을 참조하면, 비트 셀 퓨즈 회로(127)는 블로잉부(128), 및 비트 셀 퓨즈를 갖는 비트 셀(129)을 포함한다. 블로잉부(128)는 인버터(INV6) 및 NMOS 트랜지스터(MN5)를 포함할 수 있다. 인버터(INV6)는 퓨즈 블로잉 인에이블 신호(FBE)를 반전시킨다. NMOS 트랜지스터(MN5)는 상기 인버터의 출력신호가 인가되는 게이트, 상기 고 전압이 인가되는 드레인, 및 상기 비트 셀 퓨즈에 연결된 소스를 갖는다.
- [0077] 이하, 도 7 및 도 8을 참조하여 전기 퓨즈 롬(120)의 동작에 대해 설명한다.
- [0078] 도 8을 참조하면, 도 7의 비트 셀 퓨즈 회로(127)는 블로잉부(128) 및 비트 셀(129)을 포함한다. 비트 셀(129)은 도 5a, 도 5b, 도 5c, 도 6a, 또는 도 6b에 도시된 전기 퓨즈 셀들 중 하나의 구조를 가질 수 있다. 블로잉부(128)는 퓨즈 블로잉 인에이블 신호(FBE)에 응답하여 비트 셀(129)에 포함된 비트 셀 퓨즈(BC FUSE)를 절단하는 기능을 한다. 예를 들면, 전원전압(VDD)이 1.2V일 때 비트 셀 퓨즈(BC FUSE)를 절단하기 위해 NMOS 트랜지스터(MN5)의 드레인에 인가되는 고 전압(VA)은 2.5~3.5V일 수 있다.
- [0079] 도 7에서, 마스터 퓨즈(MF)는 패키지 핀을 통한 보안 키의 원치 않는 변경을 방지하는 기능을 한다. 마스터 퓨즈(MF)를 절단하면, 비트 셀 퓨즈 회로(127)는 더 이상 프로그램할 수 없다. 마스터 퓨즈(MF)를 절단할 때 프로그램 인에이블 신호(PE)가 로직 "하이"상태이고 마스터 퓨즈 블로잉 인에이블 신호(MFBE)는 로직 "하이" 상태이다. 이 때, 스위치(SW)는 열려 있으며 NMOS 트랜지스터(MN2)는 온된다. 따라서, 마스터 퓨즈(MF)와 스위치(SW)가 연결되는 노드는 접지전압의 전압 레벨을 가지며, 마스터 퓨즈(MF)는 구동부(126)와 전기적으로 분리된다.
- [0080] 프로그램 인에이블 신호(PE)가 로직 "하이"상태이고, 마스터 퓨즈 블로잉 인에이블 신호(MFBE)가 로직 "로우" 상태이면, 스위치(SW)는 닫혀 있게 되며 구동부(126)의 NMOS 트랜지스터(MN3)의 게이트에는 로직 "하이"인 신호가 인가된다. 따라서 NMOS 트랜지스터(MN3)는 턴온되고 퓨즈 블로잉 인에이블 신호(FBE)는 로직 "로우"상태를 갖는다. 퓨즈 블로잉 인에이블 신호(FBE)는 로직 "로우"상태이면, 도 8에서 NMOS 트랜지스터(MN5)가 턴온되며 비트 셀 퓨즈(BC FUSE)에 고전압(VA)이 공급되어 비트 셀 퓨즈(BC FUSE)는 절단(blowing)된다.
- [0081] 프로그램 인에이블 신호(PE)가 로직 "로우"상태이고, 마스터 퓨즈 블로잉 인에이블 신호(MFBE)가 로직 "로우" 상태이면, 스위치(SW)는 닫혀 있게 되며 구동부(126)의 NMOS 트랜지스터(MN3)의 게이트에는 로직 "로우"인 신호가 인가된다. 따라서 NMOS 트랜지스터(MN3)는 턴오프되고 퓨즈 블로잉 인에이블 신호(FBE)는 플로팅 상태가 된다. 퓨즈 블로잉 인에이블 신호(FBE)는 로직 "로우"상태가 아니면, 도 8에서 NMOS 트랜지스터(MN5)가 턴오프되며 비트 셀 퓨즈(BC FUSE)에 고전압(VA)이 공급되지 않는다. 따라서 비트 셀 퓨즈(BC FUSE)는 절단(blowing)되지 않고 원래 비트 셀(129)의 데이터를 출력한다.
- [0082] 구동부(126) 내에 있는 NMOS 트랜지스터(MN4)는 NMOS 트랜지스터(MN3)의 게이트에 로직 "로우"인 신호가 인가될 때 NMOS 트랜지스터(MN3)를 빠르게 오프시키는 기능을 한다. 따라서, NMOS 트랜지스터(MN4)는 NMOS 트랜지스터(MN3)에 비해 작은 크기를 갖는 것이 바람직하다.
- [0083] 상기와 같이, 본 발명의 실시예에 따른 보안 회로는 집적회로의 설계단계에서 전기 퓨즈 회로를 프로그램할 수 있으며, 패키지 핀을 통한 보안 키의 원치 않는 변경을 방지할 수 있다.

산업이용 가능성

- [0084] 본 발명은 전자 시스템에 적용이 가능하며, 특히 보안 키가 필요한 컴퓨터 시스템 등의 전자 시스템에 적용이 가능하다.
- [0085] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특

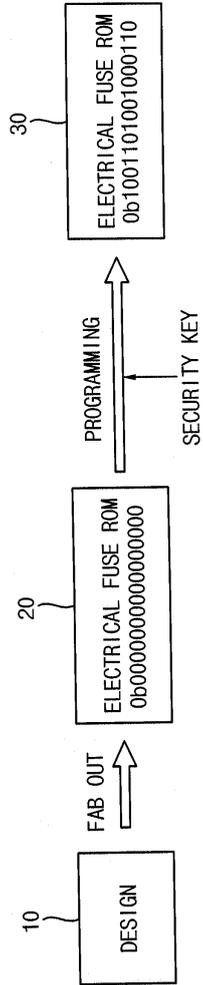
허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

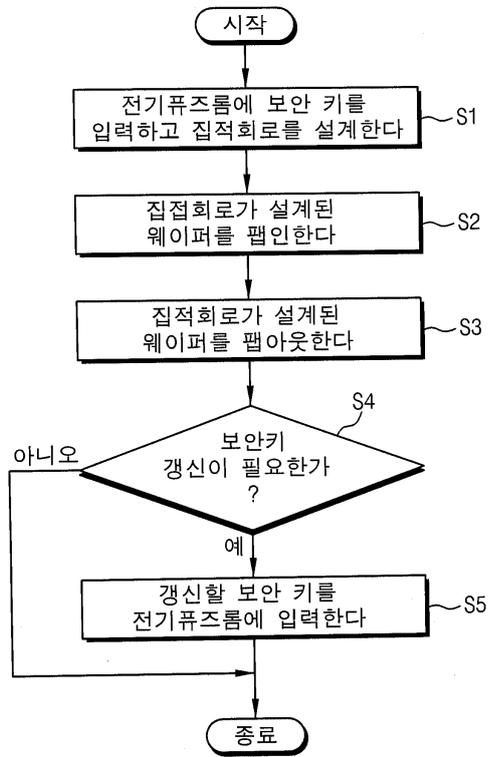
- [0086] 도 1은 전기 퓨즈 롬을 사용하여 보안 키를 프로그램하는 종래의 방법을 나타내는 블록도이다.
- [0087] 도 2는 본 발명의 하나의 실시예에 따른 전기 퓨즈 롬을 사용한 보안 키 프로그램 방법을 나타내는 흐름도이다.
- [0088] 도 3은 본 발명의 다른 하나의 실시예에 따른 전기 퓨즈 롬을 사용한 보안 키 프로그램 방법을 나타내는 흐름도이다.
- [0089] 도 4는 본 발명의 하나의 실시예에 따른 보안 회로를 나타내는 회로도이다.
- [0090] 도 5a 내지 도 5c는 차동형(differential type) 전기 퓨즈 셀의 예들을 나타내는 회로도들이다.
- [0091] 도 6a 및 도 6b는 싱글형(single-ended type) 전기 퓨즈 셀의 예들을 나타내는 회로도들이다.
- [0092] 도 7은 도 4의 보안 회로에 포함된 전기 퓨즈 롬의 하나의 예를 나타내는 회로도이다.
- [0093] 도 8은 도 7의 전기 퓨즈 롬에 포함된 비트 셀 퓨즈 회로의 하나의 예를 나타내는 회로도이다.
- [0094] <도면의 주요부분에 대한 부호의 설명>
- [0095] 110 : 전기 퓨즈 롬 컴파일러
- [0096] 111, 112, 113 : 비트 셀
- [0097] 120 : 전기 퓨즈 롬
- [0098] 125 : 마스터 퓨즈 블로잉 회로
- [0099] 126 : 구동부
- [0100] 127 : 비트 셀 퓨즈 회로
- [0101] 128 : 블로잉부

도면

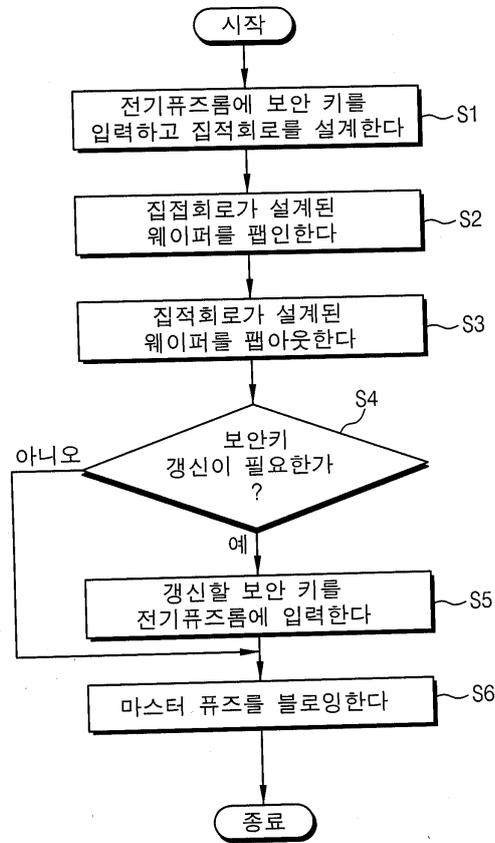
도면1



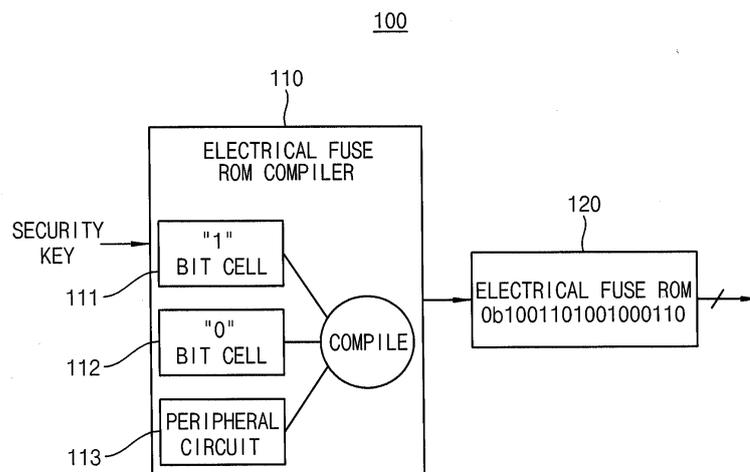
도면2



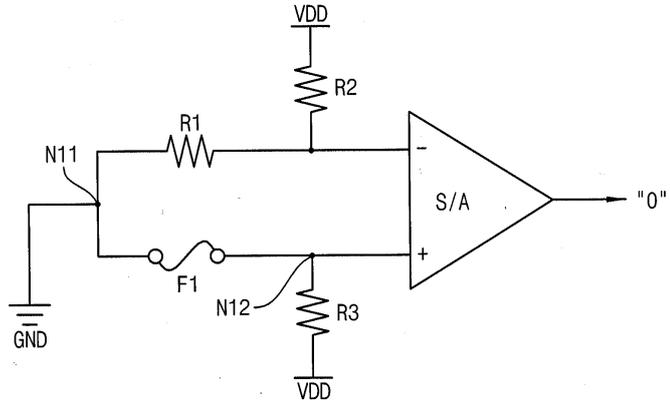
도면3



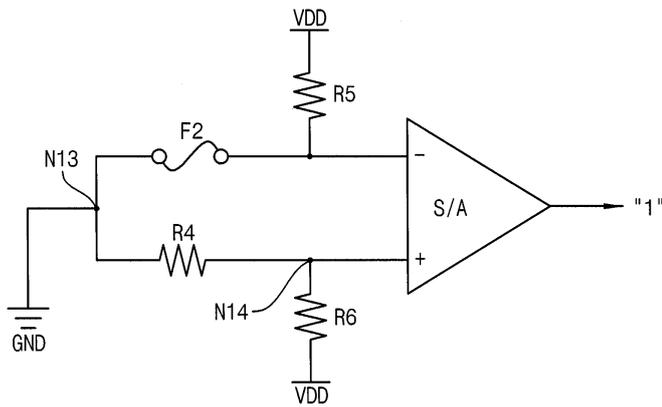
도면4



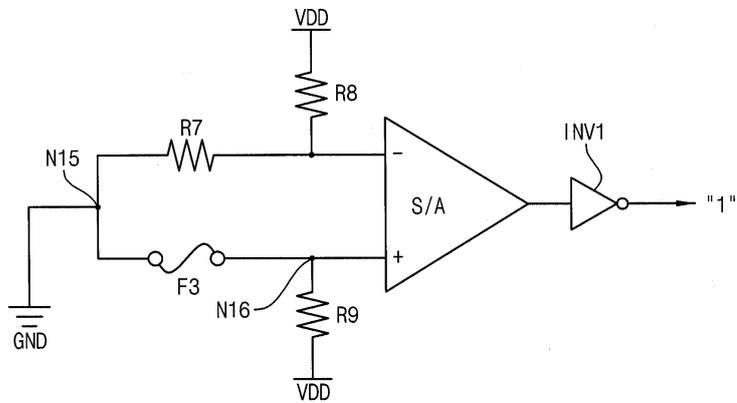
도면5a



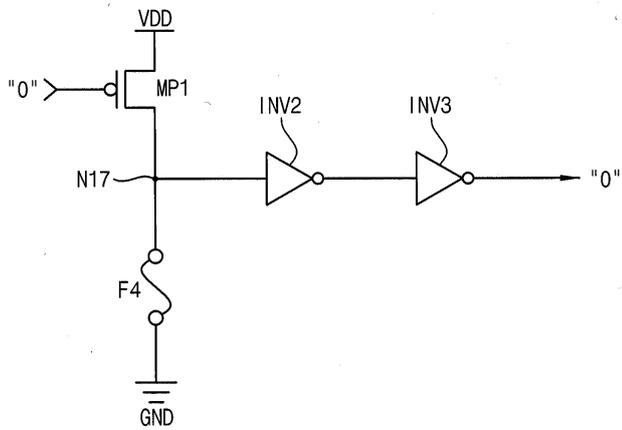
도면5b



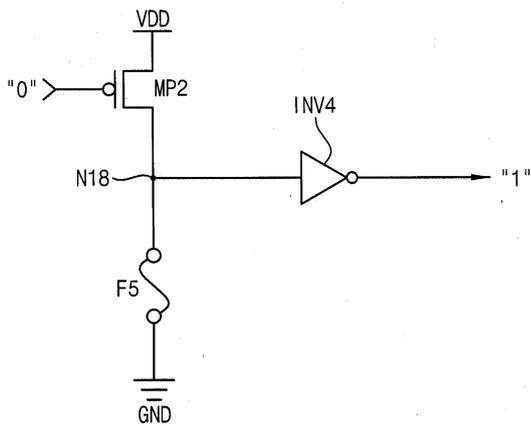
도면5c



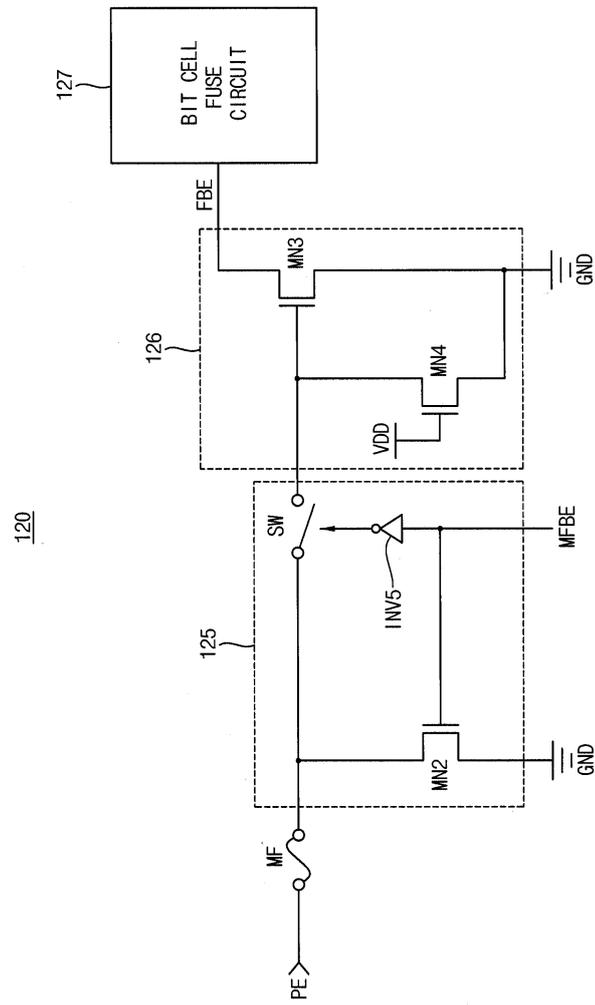
도면6a



도면6b



도면7



도면8

