



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년02월10일
 (11) 등록번호 10-1361424
 (24) 등록일자 2014년02월04일

(51) 국제특허분류(Int. Cl.)
 H01L 21/336 (2006.01) H01L 29/78 (2006.01)
 (21) 출원번호 10-2012-7001715
 (22) 출원일자(국제) 2009년06월26일
 심사청구일자 2012년01월20일
 (85) 번역문제출일자 2012년01월20일
 (65) 공개번호 10-2012-0024991
 (43) 공개일자 2012년03월14일
 (86) 국제출원번호 PCT/JP2009/002970
 (87) 국제공개번호 WO 2010/150324
 국제공개일자 2010년12월29일
 (56) 선행기술조사문헌
 JP07221297 A*
 JP2009111214 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 가부시끼가이샤 도시바
 일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고
 (72) 발명자
 이께다 게이지
 일본 1058001 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가부시끼가이샤 도시바 지적재산부 내
 (74) 대리인
 이중희, 장수길, 박충범

전체 청구항 수 : 총 4 항

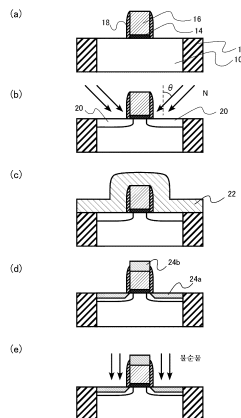
심사관 : 이상돈

(54) 발명의 명칭 **반도체 장치의 제조 방법**

(57) 요약

소스·드레인 익스텐션이 되는 금속 반도체 화합물층의 성장을 제어하고, 높은 전류 구동력 및 단채널 효과 내성을 갖는 MISEFET를 구비하는 반도체 장치의 제조 방법을 제공한다. MISFET를 구비하는 반도체 장치의 제조 방법이며, 반도체 기판 상에 게이트 절연막을 형성하고, 게이트 절연막 상에 게이트 전극을 형성하고, 게이트 전극 각각의 측면에 대하여 외측으로부터 내측을 향하는 방향으로, 경사 이온 주입에 의해 상기 반도체 기판 중에 $5.0 \times 10^{14} \text{atoms/cm}^2$ 이상 $1.5 \times 10^{15} \text{atoms/cm}^2$ 이하의 질소를 주입하고, 게이트 전극의 양측의 상기 반도체 기판 상에 니켈을 포함하는 금속막을 퇴적하고, 금속막과 반도체 기판을 반응시켜 금속 반도체 화합물층을 형성하는 제1 열처리를 행하는 것을 특징으로 하는 반도체 장치의 제조 방법이다.

대표도 - 도1



특허청구의 범위

청구항 1

MISFET를 구비하는 반도체 장치의 제조 방법으로서,
반도체 기판 상에 게이트 절연막을 형성하고,
상기 게이트 절연막 상에 게이트 전극을 형성하고,
상기 게이트 전극 각각의 측면에 대하여 외측으로부터 내측을 향하는 방향으로, 경사 이온 주입에 의해 상기 게이트 전극의 양측의 상기 반도체 기판 내에 $5.0 \times 10^{14} \text{atoms/cm}^2$ 이상 $1.5 \times 10^{15} \text{atoms/cm}^2$ 이하의 질소를 주입하고,
상기 게이트 전극의 양측의 상기 반도체 기판의, 질소가 주입된 영역 상에 니켈을 포함하는 금속막을 퇴적하고,
상기 금속막과 상기 영역을 반응시켜, 금속 반도체 화합물층을 형성하는 제1 열 처리를 행하고,
상기 제1 열 처리 후, 미반응의 상기 금속막을 약액 처리에 의해 제거하고, 상기 제1 열 처리의 온도보다 고온에서 제2 열 처리를 행하고,
상기 제1 열 처리의 온도가 275°C 이상 350°C 이하이고,
상기 제2 열 처리 후의 상기 금속 반도체 화합물층이 NiSi(니켈모노실리사이드)상(相)으로 형성되고, 채널 영역과의 접합부에는 파셋트면(facet surface)이 형성되어 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에 있어서, 상기 MISFET가 FinFET 또는 SOI MISFET인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6

MISFET를 구비하는 반도체 장치의 제조 방법으로서,
SOI 기판 상에 게이트 절연막을 형성하고,
상기 게이트 절연막 상에 게이트 전극을 형성하고,
상기 게이트 전극 각각의 측면에 대하여 외측으로부터 내측을 향하는 방향으로, 경사 이온 주입에 의해 상기 게이트 전극의 양측의 상기 SOI 기판 내에 $5.0 \times 10^{14} \text{atoms/cm}^2$ 이상 $1.5 \times 10^{15} \text{atoms/cm}^2$ 이하의 질소를 주입하고,
상기 게이트 전극 양측의 상기 SOI 기판의, 질소가 주입된 영역 상에 니켈을 포함하는 금속막을 퇴적하고,
상기 금속막과 상기 영역을 반응시켜, 금속 반도체 화합물층을 형성하는 제1 열 처리를 행하고,
상기 제1 열 처리 후, 미반응의 상기 금속막을 약액 처리에 의해 제거하고, 상기 제1 열 처리의 온도보다 고온에서 제2 열 처리를 행하고,
상기 제1 열 처리의 온도가 275°C 이상 350°C 이하이고,
상기 제2 열 처리 후의 상기 금속 반도체 화합물층이 NiSi(니켈모노실리사이드)상으로 형성되고, 채널 영역과의 접합부에는 파셋트면이 형성되어 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 7

FinFET를 구비하는 반도체 장치의 제조 방법으로서,
 반도체로 형성되는 Fin 구조의 양쪽 측면 상에 게이트 절연막을 형성하고,
 상기 게이트 절연막 상에 게이트 전극을 형성하고,
 상기 Fin 구조의 양측면 상에 형성되는 상기 게이트 전극 각각의 측면에 대하여 외측으로부터 내측을 향하는 방향으로, 경사 이온 주입에 의해 상기 게이트 전극의 양측의 상기 Fin 구조 내에 $5.0 \times 10^{14} \text{atoms/cm}^2$ 이상 $1.5 \times 10^{15} \text{atoms/cm}^2$ 이하의 질소를 주입하고,
 상기 게이트 전극의 양측의 상기 Fin 구조의, 질소가 주입된 영역 상에 니켈을 포함하는 금속막을 퇴적하고,
 상기 금속막과 상기 영역을 반응시켜, 금속 반도체 화합물층을 형성하는 제1 열 처리를 행하고,
 상기 제1 열 처리 후, 미반응의 상기 금속막을 약액 처리에 의해 제거하고, 상기 제1 열 처리의 온도보다 고온에서 제2 열 처리를 행하고,
 상기 제1 열 처리의 온도가 275℃ 이상 350℃ 이하이고,
 상기 제2 열 처리 후의 상기 금속 반도체 화합물층이 NiSi(니켈모노실리사이드)상으로 형성되고, 채널 영역과의 접합부에는 파셋트면이 형성되어 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

명세서

기술분야

[0001] 본 발명은, MISFET를 구비하는 반도체 장치에 관한 것이다.

배경기술

[0002] 종래 보고되어 있는 메탈 S/D(소스·드레인) MISFET(Metal Insulator Semiconductor Device)에서는, 소스·드레인 및 그 익스텐션부를 금속 반도체 화합물, 예를 들어 실리사이드에 의해 형성한다. 그러나, 이들 메탈 S/D MISFET의 전류 구동력 및 단채널 효과 내성을 결정하는 익스텐션부와 게이트 전극과의 오버랩 길이는, 그 중요성에도 불구하고 적극적인 제어가 이루어져 있지 않았다. 특히, 게이트 길이가 30nm 이하가 되는 같은 미세 MISFET의 경우 이 제어는, 극히 중요하다.

[0003] 익스텐션부가 실리사이드층으로 형성되는 메탈 S/D MISFET인 경우, 오버랩 길이의 제어에는, 게이트 단부에서의 실리사이드층의 막 두께 및 가로 방향 성장의 정확한 제어가 필요 불가결하게 된다.

[0004] 여기서, 니켈실리사이드층을 예로 들면, 니켈실리사이드층의 막 두께를 제어하기 위해서는, 초기 퇴적 니켈 막 두께와 니켈실리사이드 형성 시의 열 처리의 온도 및 시간을 제어한다. 그러나, 니켈막의 퇴적량의 편차, 반응 시의 온도 격차 등의 영향에 의해 니켈의 확산을 충분히 제어하는 것은 곤란하다.

[0005] 특히, 극박 SOI(Silicon On Insulator) 상의 MISFET나, 좁은 게이트 폭의 MISFET, 혹은 FinFET, Nano-wire MISFET와 같은 입체 구조 소자와 같이, 실리사이드화되는 실리콘의 체적이 반응시키는 금속에 대하여 상대적으로 적어지는 계에 있어서는, 실리콘의 세션부의 니켈실리사이드화가 촉진되어 이상 성장한다. 이 이상 성장이 발생하면, MISFET의 채널 영역 방향으로의 실리사이드화가 진행되게 되어, 오버랩 길이의 제어가 한층 곤란해진다.

[0006] 또한, SOI 기판을 사용한 계에서는, BOX(Buried OXide)층의 낮은 열전도율에 기인하는 열 구배에 수반하는 실리사이드의 이상 성장, 응집이 국소적으로 일어나, 게이트 오버랩 길이의 제어가 더 곤란해진다.

[0007] 특허문헌 1에는, 니켈실리사이드층의 이상 성장을 억제하기 위해서, 실리콘 기판 중에 실리사이드화의 반응 저해층을 형성하는 기술이 개시되어 있다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 일본 특허 공개 제 2007-19205호 공보

발명의 내용

해결하려는 과제

[0009] 본 발명은, 상기 사정을 고려하여 이루어진 것이며, 그 목적으로 하는 점은, 소스·드레인 익스텐션이 되는 금속 반도체 화합물층의 성장을 제어하고, 높은 전류 구동력 및 단채널 효과 내성을 갖는 MISEFET를 구비하는 반도체 장치의 제조 방법을 제공하는 것에 있다.

과제의 해결 수단

[0010] 본 발명의 일 형태의 반도체 장치의 제조 방법은, MISFET를 구비하는 반도체 장치의 제조 방법으로서, 반도체 기판 상에 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 게이트 전극을 형성하고, 상기 게이트 전극 각각의 측면에 대하여 외측으로부터 내측을 향하는 방향으로, 경사 이온 주입에 의해 상기 게이트 전극의 양측의 상기 반도체 기판 내에 $5.0 \times 10^{14} \text{atoms/cm}^2$ 이상 $1.5 \times 10^{15} \text{atoms/cm}^2$ 이하의 질소를 주입하고, 상기 게이트 전극의 양측의 상기 반도체 기판의, 질소가 주입된 영역 상에 니켈을 포함하는 금속막을 퇴적하고, 상기 금속막과 상기 영역을 반응시켜, 금속 반도체 화합물층을 형성하는 제1 열 처리를 행하고, 상기 제1 열 처리 후, 미반응의 상기 금속막을 약액 처리에 의해 제거하고, 상기 제1 열 처리의 온도보다 고온에서 제2 열 처리를 행하고, 상기 제1 열 처리의 온도가 275°C 이상 350°C 이하이고, 상기 제2 열 처리 후의 상기 금속 반도체 화합물층이 NiSi(니켈 모노실리사이드)상(相)으로 형성되고, 채널 영역과의 접합부에는 파셋트면(facet surface)이 형성되어 있는 것을 특징으로 한다.

발명의 효과

[0011] 본 발명에 따르면, 소스·드레인 익스텐션이 되는 금속 반도체 화합물층의 성장을 제어하고, 높은 전류 구동력 및 단채널 효과 내성을 갖는 MISEFET를 구비하는 반도체 장치의 제조 방법을 제공하는 것이 가능하게 된다.

도면의 간단한 설명

[0012] 도 1은 제1 실시 형태의 제조 방법을 도시하는 공정 단면도이다.
 도 2는 소스·드레인 익스텐션의 단면 TEM상이다.
 도 3은 도 2의 (a)의 실리사이드층의 투과 전자선 회절 관찰 결과를 도시하는 도면이다.
 도 4는 실리사이드/실리콘 계면의 평면 TEM상이다.
 도 5는 실리사이드/실리콘 계면의 평면 TEM상이다.
 도 6은 질소 이온 주입 도우즈량과 실리사이드층의 시트 저항의 관계를 도시하는 도면이다.
 도 7은 실리사이드층의 단면 TEM상과 투과 전자선 회절 관찰 결과를 도시하는 도면이다.
 도 8은 제2 실시 형태의 제조 방법을 도시하는 공정 단면도이다.
 도 9a는 제3 실시 형태의 제조 방법을 도시하는 공정 단면도이다.
 도 9b는 제3 실시 형태의 제조 방법을 도시하는 공정 단면도이다.
 도 9c는 제3 실시 형태의 제조 방법을 도시하는 공정 단면도이다.
 도 9d는 제3 실시 형태의 제조 방법을 도시하는 공정 단면도이다.
 도 9e는 제3 실시 형태의 제조 방법을 도시하는 공정 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 도면을 사용하여 실시 형태를 설명한다. 본 명세서 중, 반도체 기판이란, MISFET의 제조에 사용하는 웨이퍼 등의 기판에 있어서, MISFET를 형성하는 최상층의 반도체 영역을 의미한다. 예를 들어 SOI 기판의 경우,

반도체 기판이라 함은 SOI층을 나타내는 것으로 한다. 또한, 메탈 S/D(소스·드레인) MISFET라 함은, 소스·드레인과 반도체 기판과의 접합이 쇼트키 접합인 MISFET를 의미하는 것으로 한다.

- [0014] 발명자들은, 게이트 전극의 측면으로부터 N(질소)을 반도체 기판 중에 경사 이온 주입할 때에, 적절한 조건을 선택하면, 소스·드레인 익스텐션이 되는 금속 반도체 화합물층의 막 두께 및 가로 방향의 성장의 안정된 제어가 가능하게 되는 것을 발견했다. 또한, 상기 적절한 조건에 의하면, 소스·드레인 익스텐션 단부의 측면 형상을, 반도체 기판 표면으로부터 깊이 방향에 향하여 채널 영역으로부터 멀어지는 방향으로 경사를 갖는 평면 형상으로 형성할 수 있는 것도 발견했다. 이하, 도면을 사용하여 실시 형태를 설명한다.
- [0015] (제1 실시 형태)
- [0016] 본 실시 형태의 반도체 장치의 제조 방법은, MISFET를 구비하는 반도체 장치의 제조 방법이며, 반도체 기판 상에 게이트 절연막을 형성하고, 게이트 절연막 상에 게이트 전극을 형성하며, 게이트 전극 각각의 측면에 대하여 외측으로부터 내측을 향하는 방향으로, 경사 이온 주입에 의해 반도체 기판 중에 $5.0 \times 10^{14} \text{atoms/cm}^3$ 이상 $1.5 \times 10^{15} \text{atoms/cm}^3$ 이하의 질소를 주입하고, 게이트 전극의 양측의 반도체 기판 상에 니켈을 포함하는 금속막을 퇴적하고, 금속막과 반도체 기판을 반응시켜, 소스·드레인 익스텐션이 되는 금속 반도체 화합물층을 형성하는 제 1 열 처리를 행한다. 또한, 본 실시 형태의 MISFET는, 메탈 S/D MISFET이며, 플래너형의 Bulk MISFET이다.
- [0017] 도 1은, 본 실시 형태의 제조 방법을 도시하는 공정 단면도이다. 도 1은, MISFET의 게이트 폭 방향에 수직인 단면도이다.
- [0018] 우선, 도 1의 (a)에 도시한 바와 같이 벌크 실리콘 기판(이하, 간단히 실리콘 기판이라고도 한다)(10)에 공지의 방법에 의해, STI(Shallow Trench Isolation)에 의한 소자 분리층(12)을 형성한다. 계속해서, 게이트 절연막(14)을 실리콘 기판(10) 상에 형성한다. 게이트 절연막(14)으로서는, 예를 들어 SiO_2 , SiON , HfO_2 , Al_2O_3 , HfAl_xO_y , HfLaO , La_xO_y 등의 막, 또는 이들 중 어느 하나를 조합한 적층막 등을 적용할 수 있다.
- [0019] 이어서, 게이트 절연막(14) 상에 게이트 전극(16)을 형성한다. 게이트 전극(16)은, 예를 들어 폴리실리콘, 금속, 혹은, 폴리실리콘과 금속 혹은 금속끼리의 적층 구조로 구성된다. 금속으로서는, 예를 들어 TiN , TaN , NiSi , NiSi_2 , Mo , W 를 적용할 수 있다. 또한, 게이트 전극은 RIE(Reactive Ion Etching)법에 의해 형성되는 것에 한정되지 않고, 예를 들어 다마신법에 의해, TiN , Al , W 등을 재료로 하여 형성되는 것이어도 상관없다. 여기에서는, 게이트 전극으로서 폴리실리콘의 상부를 실리사이드화한 전극을 적용하는 경우를 예로 들어 설명한다. 게이트 길이는, 예를 들어 20nm이며, 5nm 이상 30nm 이하인 것이 바람직하다.
- [0020] 이어서, 게이트 전극(14)의 양측면에, 예를 들어 CVD(Chemical Vapor Deposition)법에 의한 막 퇴적과, RIE법에 의한 에칭에 의해 게이트 측벽(18)을 형성한다. 게이트 측벽(18)은, 예를 들어 실리콘 산화막, 실리콘 질화막, 혹은 이것들의 적층막으로 형성된다. 게이트 측벽(18)의 막 두께는 예를 들어, 5nm이며, 2nm 이상 12nm 이하인 것이 바람직하다.
- [0021] 게이트 측벽(18) 형성 후에, 쇼트 채널 효과 내성을 향상시키기 위한 halo 이온 주입을 행해도 상관없다. nMISFET의 경우에는 예를 들어, B, BF_2 또는 In 등의 불순물을 경사 이온 주입에 의해 주입한다. pMISFET의 경우에는, 예를 들어 P, As 또는 Sb 등의 불순물을 경사 이온 주입에 의해 주입한다. 이온 주입 시의 불순물의 도우즈량은, 예를 들어 $1.0 \times 10^{12} \text{atoms/cm}^2$ 이상 $5.0 \times 10^{14} \text{atoms/cm}^2$ 이하의 범위이다.
- [0022] 이어서, 도 1의 (b)에 도시한 바와 같이, 경사 이온 주입에 의해 실리콘 기판(10) 중에, $5.0 \times 10^{14} \text{atoms/cm}^3$ 이상 $1.5 \times 10^{15} \text{atoms/cm}^3$ 이하의 도우즈량으로 질소(N)를 주입한다. 경사 이온 주입은, 게이트 전극(16) 각각의 측면, 즉, 도 1중에서는 좌우의 2개의 측면에 대하여 외측으로부터 내측을 향하는 방향으로, 이온 빔을 경사지게 함으로써 행한다. 이후, 도 1의 (b)에 도시한 바와 같이, 게이트 전극 측면에 대한 이온 주입의 경사 각도를 경사 각 θ 로 한다. 이 경사 이온 주입에 의해, 후에 소스·드레인 익스텐션이 되는 금속 반도체 화합물층의 형성을 제어하는 고농도 질소층(20)이 게이트 전극(16)의 양측의 실리콘 기판(10) 중에 형성된다.
- [0023] 여기서, 예를 들어 게이트 전극이, 웨이퍼의 노치 방향에 대하여 직교 및 평행하는 방향의 게이트 길이를 갖도록, 웨이퍼 표면에 형성되는 것으로 하자. 이온 주입은, 예를 들어 상기 범위의 도우즈량을, 틸트각 45° 로, 로 텐션각 23° , 113° , 203° , 293° 로 4분할하여 행한다. 또한, 틸트각이라 함은 웨이퍼 표면의 법선 벡터에 대한 이온 주입의 경사각이며, 로 텐션각은, 노치 방향을 0° 로 하여, 이온 주입의 회전 각도를 나타내는 각도이다. 또한, 예를 들어 상기 범위의 도우즈량을, 틸트각 45° 로 회전 이온 주입에 의해 주입해도 상관없다.

- [0024] 또한, 틸트각이나 가속 에너지는 MISFET의 설계상, 요구되는 실리사이드막 두께나 오버랩 길이를 고려하여 적절한 값을 설정하면 된다. 예를 들어, 실리사이드막 두께를 30nm로 하고자 하는 경우, 이온 주입의 Rp(Projected Range)가 27nm로, 거의 목적의 실리사이드막 두께와 동등하게 10kev, 틸트각 30° 로 하면 된다. 또한, 예를 들어 실리사이드막 두께를 15nm로 하고자 하는 경우, 이온 주입의 Rp(Projected Range)가 15nm가 되는 5kev, 틸트각 30° 로 하면 된다.
- [0025] 여기서, 경사각 θ 는, 게이트 전극의 기하학적 배치, 틸트각 및 로테이션각으로부터 일의적으로 결정된다. 경사각 θ 는, 가로 방향의 확산을 제어하고, 쇼트 채널 효과 내성을 향상시키는 관점에서, 15° 이상 75° 이하인 것이 바람직하고, 30° 이상 60° 이하인 것이 보다 바람직하다.
- [0026] 이어서, 도 1의 (c)에 도시한 바와 같이, 게이트 전극(16)의 양측의 실리콘 기판 상에 니켈(Ni)을 포함하는 금속막으로서, 예를 들어 니켈막(22)을, 예를 들어 스퍼터법에 의해 퇴적한다. 니켈막(22)의 막 두께는, 예를 들어 30nm이다.
- [0027] 이어서, 제1 열 처리로서 RTA(Rapid Thermal Annealing)를, 예를 들어 질소 분위기나 아르곤 분위기 등의 비산화성 분위기에서, 예를 들어 325℃, 1분간 행한다. 그 후, 도 1의 (d)에 도시한 바와 같이, 공지의 약액 처리에 의해, 미반응의 니켈막(22)을 제거한다. 그리고, 그 후, 제1 열 처리의 온도보다 고온에서, 제2 열 처리를 행한다. 제2 열 처리로서 RTA(Rapid Thermal Annealing)를, 예를 들어 질소 분위기나 아르곤 분위기 등의 비산화성 분위기에서, 예를 들어 450℃, 1분간 행한다.
- [0028] 이들의 열 처리에 의해, 니켈막(22)과 실리콘 기판(10)을 반응시켜서, 소스·드레인 익스텐션이 되는 니켈실리사이드층(24a)을 형성한다. 이때, 폴리실리콘의 게이트 전극(16)과 니켈막(22)도 반응하고, 게이트 전극(16) 상에도 니켈실리사이드층(24b)이 형성된다.
- [0029] 제1 열 처리는, 니켈막(22)과 실리콘 기판(10)을 반응시켜서 니켈실리사이드층(24a)을 형성한다. 제2 열 처리는 형성된 니켈실리사이드층(24a)을, 예를 들어 Ni₂Si 상으로부터 NiSi 상으로 상전이시킴으로써 저저항화한다.
- [0030] 제1 열 처리의 온도는 275℃ 이상 350℃ 이하인 것이 바람직하다. 275℃ 미만에서는, 니켈막(22)과 실리콘 기판(10)과의 반응이 충분히 발생하지 않아, 최종적인 니켈실리사이드층(24a)의 시트 저항을 충분히 저저항으로 할 수 없을 우려가 있기 때문이다. 또한, 350℃를 초과하면, 고농도 질소층(20)에 의한 실리사이드 성장 제어가 불안정해질 우려가 있기 때문이다.
- [0031] 제2 열 처리의 온도는, 제1 열 처리의 온도보다 고온이면, 특별히 한정되는 것은 아니나, 400℃ 이상 450℃ 이하인 것이 바람직하다.
- [0032] 니켈실리사이드층(24a)은, 소스·드레인 익스텐션이 된다. 상세히 후술하는 바와 같이 고농도 질소층(20)의 존재에 의해, 니켈실리사이드층(24b)의 막 두께 및 가로 방향 성장이, 적절하게 제어된다. 즉, 고농도 질소층(20)의 존재에 의해, 니켈실리사이드의 성장이 셀프 리미팅으로 됨과 함께, 니켈실리사이드의 이상 성장이 억제되어, 막 두께 및 가로 방향의 성장이 균일화된다. 또한, 고농도 질소층(20)의 존재에 의해, 니켈실리사이드층(24a)의 측면 형상을, 실리콘 기판(10) 표면으로부터 깊이 방향을 향하여 채널 영역으로부터 멀어지는 방향으로 경사를 갖는 평면 형상으로 형성할 수 있다. 즉, 도 1의 (d)와 같이, 단면에서 보면, 채널 영역과 니켈실리사이드층(24a)의 접합부가 직선적인 경사 형상으로 된다. 이 형상은, 질소를 경사 이온 주입함으로써 형성된 고농도 질소층의 질소 농도 프로파일 또는 니켈실리사이드층(24a)의 결정 정보를 반영하여 형성된다고 생각된다.
- [0033] 이어서, 도 1의 (e)에 도시한 바와 같이, 형성된 니켈실리사이드층(24a) 너머로, 소스·드레인 불순물 이온 주입을 행한다. 이 이온 주입은, 실리콘 기판(10)과 니켈실리사이드(24a)와의 쇼트키 접합 저항을 저저항화하기 위하여 행한다. nMISFET의 경우에는 불순물로서, 예를 들어 P 또는 As를 주입한다. pMISFET의 경우에는 불순물로서, 예를 들어 B 또는 BF₂를 주입한다. 불순물의 도우즈량은, 예를 들어 1.0e15atoms/cm² 이상 1.0e16atoms/cm² 이하의 범위이다.
- [0034] 그 후, 600℃ 정도의 온도에서 활성화 어닐을 행하고, 불순물을 실리사이드 층으로 확산시켜, 실리사이드/실리콘 계면에서 활성화시킨다. 이 소스·드레인 불순물 주입 시에, 실리사이드/실리콘 계면에 형성되는 쇼트키 접합의 쇼트키 장벽 높이를 제어할 목적으로, 쇼트키 장벽 높이를 변조하는 효과를 갖는 원소, 예를 들어 S, Yb, Al 등을 함께 주입해도 상관없다.
- [0035] 상기 방법으로 제조되는 반도체 장치의 MISFET는, 고농도 질소층에 의해 소스·드레인 익스텐션의 실리사이드의

성장이 셀프 리미팅으로 된다. 또한, 동시에 이상 성장도 억제된다. 이에 의해, 게이트 전극 하부에의 소스·드레인 익스텐션의 오버랩량 Lov의, 설계값에 대한 편차 및 게이트 폭 방향에서 본 편차를 대폭 억제하는 것이 가능하게 된다. Lov의 편차는, 채널 길이의 편차로 되기 때문에, 직접 MISFET의 임계값 편차로 된다. 따라서, 이 제조 방법에 의해, MISFET의 임계값 편차의 대폭적인 저감이 가능하다.

- [0036] 또한, 채널 영역과 니켈실리사이드층(24a)과의 접합부가 직선적인 경사 형상으로 됨으로써, 채널 영역 심부에서의 소스 익스텐션과 드레인 익스텐션과의 거리를, 종래와 비교하여, 실질적으로 길게 확보하는 것이 가능하게 된다. 따라서, 채널 심부에서의 펀치 스루가 억제되어, 쇼트 채널 효과 내성이 한층 향상된다.
- [0037] 또한, 막 두께 방향에 대하여도, 고농도 질소층에 의해 실리사이드의 성장이 셀프 리미팅으로 되고, 또한, 이상 성장이 억제된다. 따라서, 소스·드레인 익스텐션의 시트 저항도 안정됨과 함께, 정션 리크가 저감된다.
- [0038] 이어서, 본 실시 형태의 작용·효과에 대해서, 실험 결과 등에 기초하여 설명한다. 도 2는, 소스·드레인 익스텐션의 단면 TEM상이다. 도 2의 (a)가 질소의 경사 이온 주입을 행한 경우, 도 2의 (b)는 질소의 경사 이온 주입을 행하고 있지 않은 경우이다.
- [0039] 도 2에 도시한 시료의 제조 조건은, 하기와 같다.
- [0040] 반도체 기판: (100) 실리콘
- [0041] 질소의 경사 이온 주입: 도우즈량 1.0e15atoms/cm², 10keV, 틸트각 45°, 로 텐션각 23°, 113°, 203°, 293°의 4분할.
- [0042] 니켈막: 막 두께 30nm, 스퍼터법.
- [0043] 제1 열 처리: RTA, 325℃, 1분
- [0044] 제2 열 처리: RTA, 450℃, 1분
- [0045] 도 2로부터, 질소의 경사 이온 주입을 행함으로써, 니켈의 실리콘 중의 확산이 제어되고, 니켈실리사이드층 저면에서의 이상 성장이 억제되어, 균일한 막 두께의 니켈실리사이드층이 형성되어 있는 것을 알았다. 또한, 가로 방향의 니켈실리사이드층의 성장도 제어되고, 특히, 니켈실리사이드층의 채널 영역과의 접합부에는, 실리콘 기판 표면으로부터 비스듬히 아래쪽으로 거의 일정한 각도로 경사진 파셋트면이 형성되어 있다.
- [0046] 도 3은, 도 2의 (a)의 실리사이드층의 투과 전자선 회절 관찰 결과를 도시하는 도면이다. 투과 전자선 회절상의 해석 결과로부터, 형성되어 있는 실리사이드는 포인트 1, 포인트 2, 포인트 3 모두, NiSi(니켈모노실리사이드)상인 것이 확인되었다. 이와 같이, 상기의 제조 방법에 의해 형성되는 실리사이드층은, NiSi₂상보다도 저저항의 NiSi상으로 형성되어 있는 것을 알았다. NiSi상과 채널 영역의 실리콘과는, 격자 정합이 없는 것이 확인되어 있다.
- [0047] 도 4는, 소스·드레인 익스텐션의 실리사이드/실리콘 계면의 평면 TEM상이다. 도 2의 (a)가 질소의 경사 이온 주입을 행한 경우, 도 2의 (b)는 질소의 경사 이온 주입을 행하고 있지 않은 경우이다. 시료의 제조 조건은 도 2의 경우와 마찬가지로이다. 또한, 계면 형상의 관찰을 위하여 HF 처리에 의해, 표면의 절연막이나 실리사이드층을 박리하고 있다.
- [0048] 도 4로부터 명백해진 바와 같이, 실리사이드/실리콘 계면의 조도가 질소의 경사 이온 주입을 행함으로써 크게 개선되고 있는 것을 알았다. 도 4의 (b)의 질소 이온 주입이 없는 경우의 에지 조도의 σ 가 14.5nm인 것에 대해, 도 4의 (a)의 질소 이온이 있는 경우의 σ 가 5.5nm로 개선되어 있다.
- [0049] 도 5는, 소스·드레인 익스텐션의 실리사이드/실리콘 계면의 평면 TEM상이다. 도 5의 (a)가 질소의 경사 이온 주입을 행한 경우, 도 5의 (b)는 질소의 경사 이온 주입을 행하고 있지 않은 경우이다. 시료의 제조 조건은 도 2, 도 4의 경우와 마찬가지로이다. 또한, 도 4과 같은 HF 처리는 행하지 않고 있다.
- [0050] 도 5의 (b)의 질소 이온 주입이 없는 경우에는, 니켈실리사이드의 입경이 크고, 보이드가 형성되어 있다. 이에 대해, 도 5의 (a)의 질소 이온 주입이 있는 경우에는, 니켈실리사이드의 입경이 작아져, 보이드의 형성도 억제된다. 이와 같이, 질소 이온 주입에 의해 보이드나 응집이 발생하지 않는 안정한 실리사이드층의 형성이 가능하게 된다.
- [0051] 도 6은, 질소 이온 주입 도우즈량과 실리사이드층의 시트 저항의 관계를 도시하는 도면이다. 시료의 제조 조건은, 질소 이온 주입의, 도우즈량을 변화시키고 있는 것, 틸트각을 7°로 하여 분할을 행하지 않고 있는 것, 제1

열 처리 온도를 325℃, 350℃, 400℃로 변화시키고 있는 것 이외에는 도 2, 도 4, 도 5의 경우와 마찬가지로이다.

- [0052] 여기서, 시트 저항값은 형성된 실리사이드층의 막 두께에 반비례한다. 질소 원자에 의한 실리콘 중에서의 니켈 원자의 확산 저해 효과에 의해, 형성되는 니켈실리사이드층의 막 두께가, 질소의 이온 주입 도우즈량이 증가함에 따라 감소하고 있는 것을 알았다.
- [0053] 도 6은, 질소 이온 주입에 의해, 적절한 질소 농도 프로파일을 형성함으로써, 형성되는 니켈실리사이드의 성장을 셀프 리미팅으로 해서, 막 두께 및 가로 방향 성장량을 제어할 수 있는 것을 나타내고 있다.
- [0054] 제1 열 처리 온도가 400℃의 경우에는, 시트 저항값의 질소 주입 도우즈량 의존성은 작아진다. 이것은, 400℃에 있어서의 실리콘 중에서의 니켈의 확산 속도가 빠르고, 이 온도에서는 질소에 의한 확산 억제 효과가 적은 것을 시사하고 있다. 이로 인해, 제1 열 처리 온도는, 275℃ 이상 350℃ 이하인 것이 바람직하다.
- [0055] 또한, 질소 이온 도우즈량이 5.0e14atoms/cm² 미만인 경우에는, 질소 이온 주입이 없을 경우와 비교하여 현저한 저항 억제 효과가 보이지 않고, 이 범위의 도우즈에서는 질소에 의한 확산 억제 효과가 적은 것을 시사하고 있다. 따라서, 질소 이온 도우즈량은 5.0e14atoms/cm² 이상인 것이 필요하다. 그리고, 1.0e15atoms/cm² 이상인 것이 보다 바람직하다.
- [0056] 도 7은, 실리사이드층의 단면 TEM상과 투과 전자선 회절 관찰 결과를 도시하는 도면이다. 시료의 제조 조건은, 도 6의 경우와 기본적으로 마찬가지로이다. 단, 질소 이온 도우즈량은 2.0e15atoms/cm²이며, 제1 열 처리 온도가 325℃이다. 도 7에 의하면, 이 도우즈량에서는, 질소가 과잉으로 되고, 니켈 원자의 확산 저해 효과가 지나치게 커서 균일한 니켈실리사이드막이 형성되어 있지 않은 것을 알았다.
- [0057] 이상의 결과로부터, 질소 이온 도우즈량은, 5.0e14atoms/cm² 이상 1.5e15atoms/cm² 이하일 필요가 있으며, 바람직하게는, 1.0e15atoms/cm² 이상 1.5e15atoms/cm² 이하이다.
- [0058] (제1 실시 형태의 변형예)
- [0059] 본 변형예는, 제1 실시 형태에 있어서, 소스·드레인 불순물을 실리사이드층 형성 후에 이온 주입하는 것 대신에, 실리사이드층 형성 전에 이온 주입하는 것 이외에는, 제1 실시 형태와 마찬가지로이다. 반도체 기판이나 반도체 화합물의 종류 혹은 프로세스 조건, MISFET의 설계에 의해, 소스·드레인 불순물을 이온 주입하는 타이밍을 적절히, 최적의 것으로 선택하면 된다. 또한, 소스·드레인 불순물을 주입하지 않는 것을 선택해도 상관없다.
- [0060] (제2 실시 형태)
- [0061] 본 실시 형태의 반도체 장치의 제조 방법은, MISFET가 SOI(Silicon On Insulator) MISFET인 것 이외에는 제1 실시 형태 및 그 변형예와 마찬가지로이다. 따라서, 제1 실시 형태 및 그 변형예와 중복하는 내용에 대해서는 기재를 생략한다.
- [0062] 도 8은, 본 실시 형태의 제조 방법을 도시하는 공정 단면도이다.
- [0063] 제1 실시 형태와 달리, 도 8의 (a)에 도시한 바와 같이, 예를 들어 실리콘의 지지 기판(30) 상에 BOX층(32)을 개재하여 SOI층(34)이 형성된, 소위 SOI 기판에 MISFET를 형성한다. 여기서, SOI층의 막 두께는, 예를 들어 20nm 이상 50nm 이하의 범위의 극박막으로 한다.
- [0064] 우선, SOI층(34)에 공지의 방법에 의해, STI(Shallow Trench Isolation)에 의한 소자 분리층(12)을 형성한다. 계속해서, 게이트 절연막(14)을 SOI층(34) 상에 형성한다.
- [0065] 그 후의, 제조 방법은 기본적으로 제1 실시 형태와 마찬가지로이다. 무엇보다, 도 8의 (b)에 있어서의 이온 주입 시에, 도 8의 (d)에 있어서 형성되는 실리사이드층(24a)의 하면이, BOX층(32)의 상면에 도달하지 않도록, 질소의 경사 이온 주입의 가속 에너지 등의 조건을 설정하는 것이 바람직하다.
- [0066] 박막 SOI 기판에 MISFET를 형성할 때에는, 소스·드레인 익스텐션의 실리사이드층이 BOX층(32)의 상면까지 실리사이드화되어버리는 것에 의한 기생 저항의 증대가 문제가 된다. 소스·드레인 익스텐션의 실리사이드층이 BOX층(32)의 상면까지 실리사이드화되어버리면, 드레인 영역의 실리사이드/실리콘 계면의 접합 면적이 감소한다. 이로 인해, 접합부에서의 저항이 증대하고, 드레인 단부의 기생 저항이 증대한다.
- [0067] 본 실시 형태의 반도체 장치의 제조 방법에 의하면, 질소 고농도층을 실리사이드화 전에 형성함으로써, 실리사이드층의 저면의 깊이 방향 위치를 제어하고, 실리사이드층이 BOX층 상면에 접하지 않도록 할 수 있다.

따라서, 기생 저항이 저감된 고구동력의 SOI MISFET를 갖는 반도체 장치를 용이하게 실현하는 것이 가능하게 된다.

- [0068] 또한, 제1 실시 형태와 마찬가지로, 임계값이 안정되고, 또한, 정션 리크가 적은 SOI MISFET를 실현할 수 있다. 상술한 바와 같이, 특히, 극박 SOI 상의 MISFET에서는, 실리콘의 세션부의 니켈실리사이드화가 촉진되어 이상 성장하는 것이 문제가 된다. 그러나, 본 실시 형태에 의하면, 실리사이드화를 제어함으로써, 이상 성장에 의해 채널부에 실리사이드가 연장되는 것도 억제하는 것이 가능하다. 따라서, 오버랩 길이 L_{ov} 의 제어가 가능하게 된다.
- [0069] 또한, 제1 실시 형태와 마찬가지로, 소스·드레인 불순물을 실리사이드층 형성 후에 이온 주입하는 것 대신에, 실리사이드층 형성 전에 이온 주입하는 제조 방법으로 해도 상관없다.
- [0070] (제3 실시 형태)
- [0071] 본 실시 형태의 반도체 장치의 제조 방법은, MISFET가 FinFET인 것 이외에는 제2 실시 형태와 마찬가지로, 따라서, 제2 실시 형태 및 그 변형예와 중복하는 내용에 대해서는 기재를 생략한다. 또한, FinFET라 함은, 판형상(Fin 형상)의 반도체 기판을 양측면에서 끼워넣도록 게이트 전극을 형성하는 MISFET이다. 게이트의 지배력이 향상되기 때문에, 게이트 길이가 짧은 미세 MISFET의 실현이 용이하게 된다.
- [0072] 도 9a 내지 도 9e는, 본 실시 형태의 제조 방법을 도시하는 공정 단면도이다. 또한, 도 9a 내지 도 9e에 있어서, 좌측 도면은, FinFET의 채널 길이 방향에 평행한 단면도이다. 그리고, 우측 도면은 좌측 도면의 A-A 단면도이다.
- [0073] 제2 실시 형태와 달리, BOX층(32) 상의 SOI층 상에, 예를 들어 질화막이나 산화막의 하드 마스크층을 형성한다. 그 후, 공지의 리소그래피 기술 및 RIE에 의해, Fin 패턴을 하드 마스크층에 전사한다. 형성된 하드 마스크층에 의한 패턴을 마스크로 하여 SOI층을 BOX층(32)의 상면까지 에칭함으로써, 도 9a에 도시한 바와 같이 실리콘의 Fin 구조(40)를 형성한다.
- [0074] 계속해서, 게이트 절연막(14) 및 게이트 전극(16)을 Fin 구조(40) 상에 형성한다. 여기에서는 도시하지 않지만, Fin 구조(40)의 양쪽 측면 상에도, 게이트 절연막(14) 및 게이트 전극(16)을 형성한다.
- [0075] 그 후의, 제조 방법은 기본적으로 제2 실시 형태와 마찬가지로, 무엇보다, 도 9b에 도시한 바와 같이 이온 주입 시에, 소스·드레인 영역의 Fin 구조(40)의 양측면의 소스·드레인 영역에도 충분히 질소가 주입되어, 고농도 질소층(20)을 형성할 수 있는 이온 주입 조건으로 하는 것이 필요하다. 또한, 도시되지 않는, Fin 구조(40)의 양측면에 형성되는 게이트 전극에 대하여도, 각각의 게이트 전극의 측면에 대하여 외측으로부터 내측을 향하는 방향으로, 소정의 경사각을 가지고 이온 주입되는 조건으로 하는 것이 필요하다.
- [0076] 일반적으로, FinFET에서는, 소스·드레인 영역의 Fin 구조(40)가 완전히 실리사이드화되어버리는 것에 의한 기생 저항의 증대가 문제가 된다. 소스·드레인 영역의 Fin 구조(40)가 완전히 실리사이드화되어버리면, 드레인 영역의 실리사이드/실리콘 계면의 접합 면적이 감소하기 때문에 접합부에서의 저항이 증대한다. 이로 인해, 드레인 단부의 기생 저항이 증대한다.
- [0077] 본 실시 형태의 반도체 장치의 제조 방법에 의하면, 질소 고농도층(20)을 실리사이드화 전에 형성함으로써, 도 9d에 도시한 바와 같이, 소스·드레인 영역의 Fin 구조(40)가 완전히 실리사이드화되는 것을 억제할 수 있다. 따라서, 기생 저항이 저감된 고구동력의 FinFET를 갖는 반도체 장치를 용이하게 실현하는 것이 가능하게 된다.
- [0078] 이와 같이, 소스·드레인 영역의 Fin 구조(40)가 완전히 실리사이드화되는 것을 억제할 수 있기 때문에, 종래, 이 문제를 피하기 위하여 사용되어 온, 엘리베이트드 소스·드레인 구조를 적용하지 않는 것도 가능하게 되어, 공정의 간략화를 도모할 수 있다. 또한, 엘리베이트드 소스·드레인 구조를 적용하지 않음으로써, 기생 용량도 저감하고, MISFET의 고속화 실현이 가능하게 된다. 또한, 엘리베이트드 소스·드레인 구조를 적용하지 않음으로써, 소스·드레인 영역의 Fin 구조(40)가 단순화되기 때문에, 바형의 콘택트 플러그를 소스·드레인 콘택트에 사용하는 것도 용이하게 된다.
- [0079] 또한, 제1 및 제2 실시 형태와 마찬가지로의 작용에 의해, 임계값이 안정되고, 또한, 정션 리크가 적은 FinFET를 실현할 수 있다. 상술한 바와 같이, 특히, 극 FinFET에서는, 실리콘의 세션부의 니켈실리사이드화가 촉진되어 이상 성장하는, 소위 세션 효과가 문제가 된다. 그러나, 본 실시 형태에 의하면, 실리사이드화를 제어함으로써, 세션 효과에 의해 채널부에 실리사이드가 연장되는 이상 성장도 억제하는 것이 가능하다. 따라

서, 오버랩 길이 Lov의 제어가 가능하게 된다.

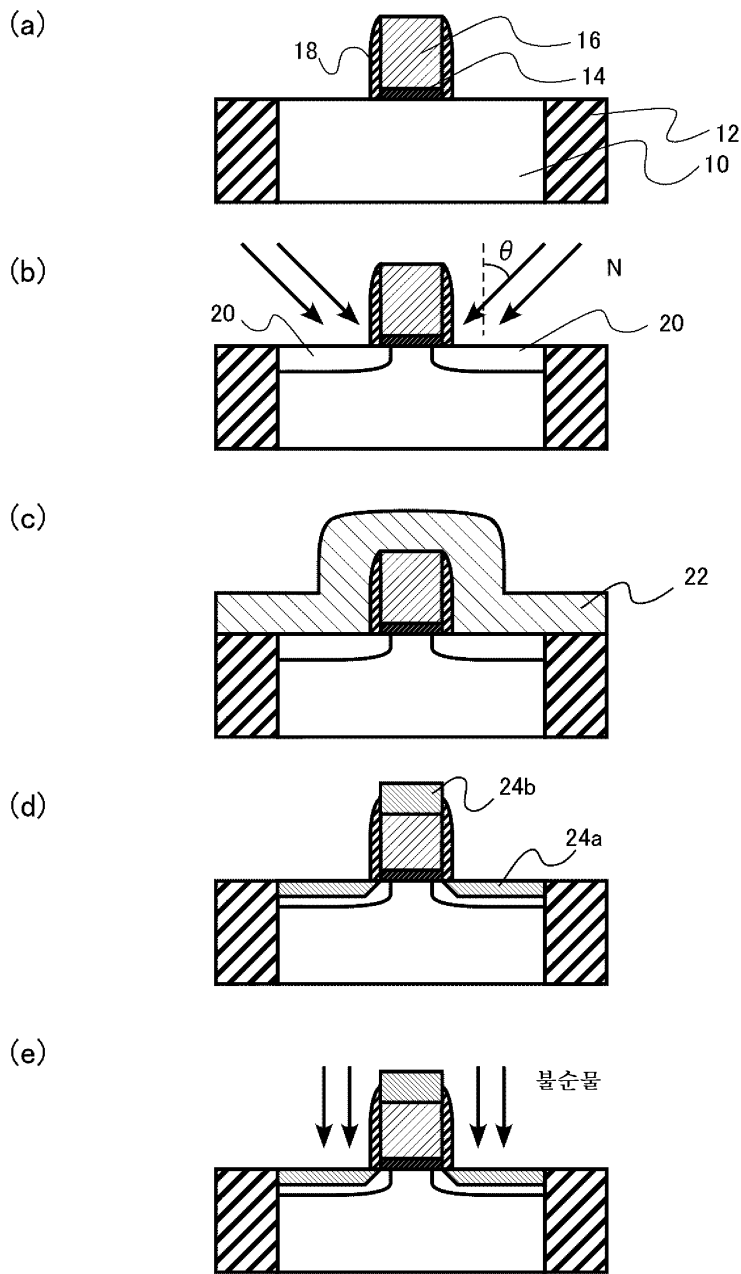
- [0080] 또한, 제1 및 제2 실시 형태와 마찬가지로, 소스·드레인 불순물을 실리사이드층 형성 후에 이온 주입하는 것 대신에, 실리사이드층 형성 전에 이온 주입하는 제조 방법으로 해도 상관없다.
- [0081] 이상, 구체예를 참조하면서 본 발명의 실시 형태에 대하여 설명했다. 상기, 실시 형태는 어디까지나, 예로서 예시하고 있는 것 뿐이며, 본 발명을 한정하는 것이 아니다. 또한, 실시 형태의 설명에 있어서는, 반도체 장치의 제조 방법 등에서, 본 발명의 설명에 직접 필요하지 않은 부분 등에 대해서는 기재를 생략했지만, 필요로 되는 반도체 장치의 제조 방법 등에 관계되는 요소를 적절히 선택하여 사용할 수 있다.
- [0082] 예를 들어, MISFET를 형성하는 반도체 기관으로서 실리콘을 예로 들어 설명했지만, 실리콘 이외에도, 게르마늄(Ge) 기관 혹은 실리콘·게르마늄($\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)) 기관이어도 상관없다.
- [0083] 또한, 니켈을 포함하는 금속막으로서, 니켈막을 예로 들어 설명했지만, 예를 들어 니켈에 백금(Pt)을 포함하는 막이나, 니켈에 팔라듐(Pd)을 포함하는 막이어도 상관없다. 니켈이 금속막에 포함되는 이상, 고농도 질소층에 의한 금속 반도체 화합물의 성장 억제 효과를 기대할 수 있기 때문이다. 또한, 금속 반도체 화합물층에 대해서도, 니켈실리사이드에 한정되지 않고, 예를 들어 니켈플라티나 실리사이드 또는 니켈팔라듐 실리사이드이어도 상관없다.
- [0084] 또한, 입체 구조 소자로서, 실시 형태에서는, Tri-gate의 FinFET를 예로 들어 설명했지만, 이 구조에 한정되지 않고, 예를 들어 Double-gate의 FinFET나 Nano-wire MISFET이어도 상관없다.
- [0085] 그 외, 본 발명의 요소를 구비하고, 당업자가 적절히 설계 변경할 수 있는 모든 반도체 장치의 제조 방법은, 본 발명의 범위에 포함된다. 본 발명의 범위는, 특허 청구 범위 및 그 균등물의 범위에 의해 정의되는 것이다.

부호의 설명

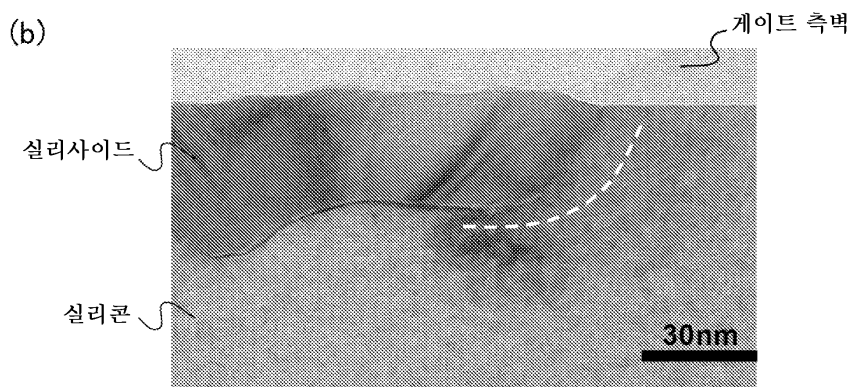
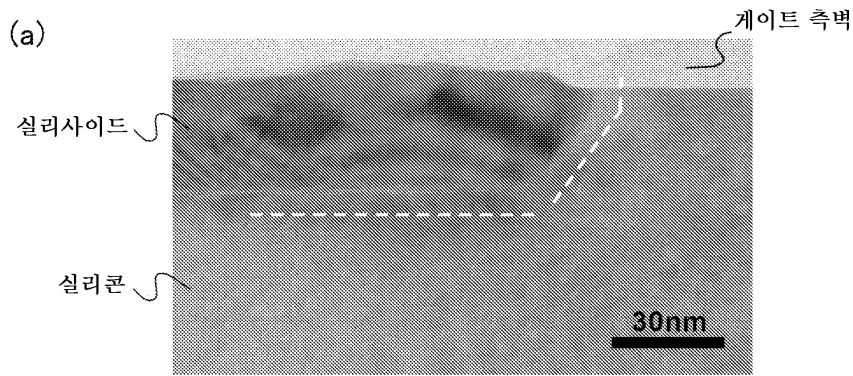
- [0086] 10: 벌크 실리콘 기관
- 12: 소자 분리층
- 14: 게이트 절연막
- 16: 게이트 전극
- 18: 게이트 측벽
- 20: 고농도 질소층
- 22: 니켈막
- 24a: 니켈실리사이드층
- 24b: 니켈실리사이드층
- 30: 지지 기관
- 32: BOX층
- 34: SOI층
- 40: Fin 구조

도면

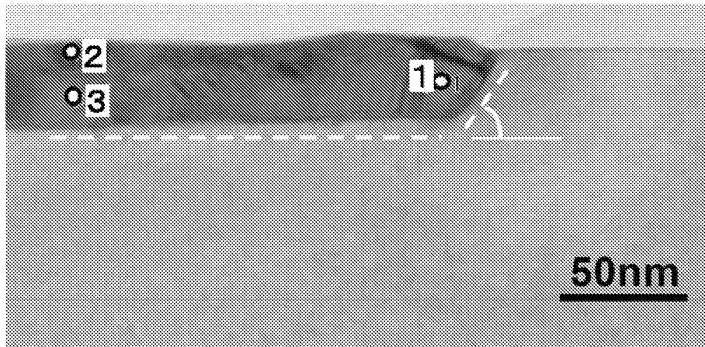
도면1



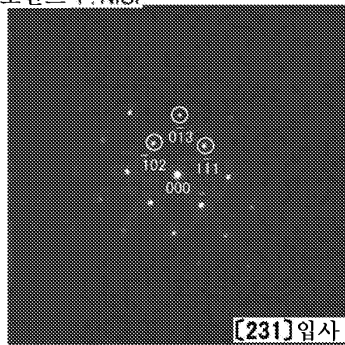
도면2



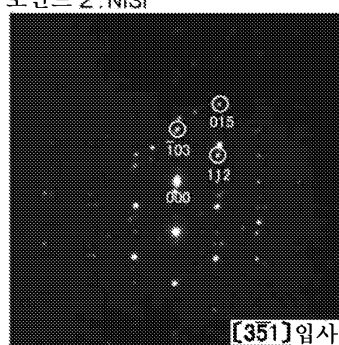
도면3



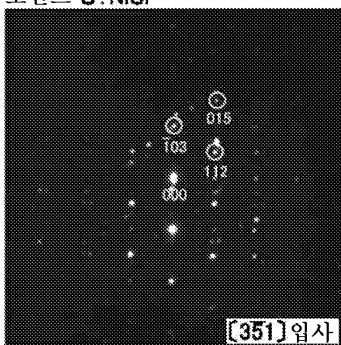
포인트 1: NiSi



포인트 2: NiSi

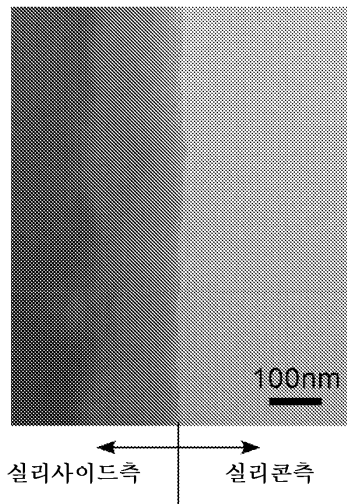


포인트 3: NiSi

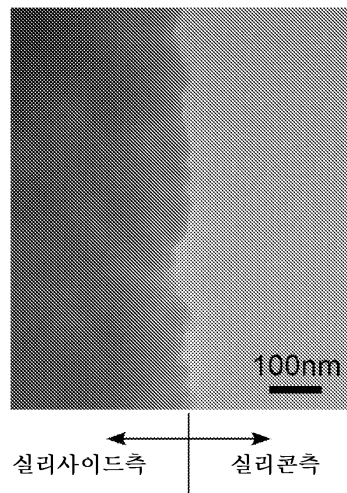


도면4

(a)

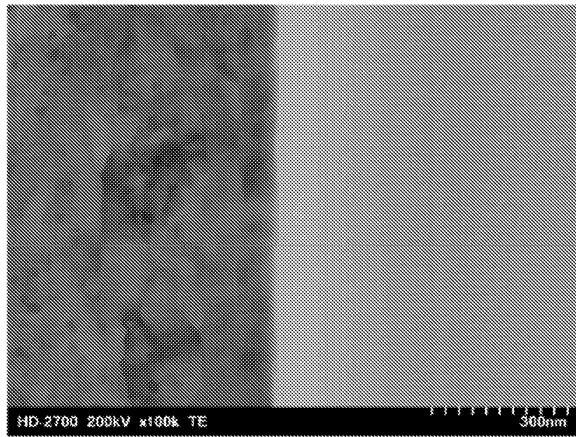


(b)



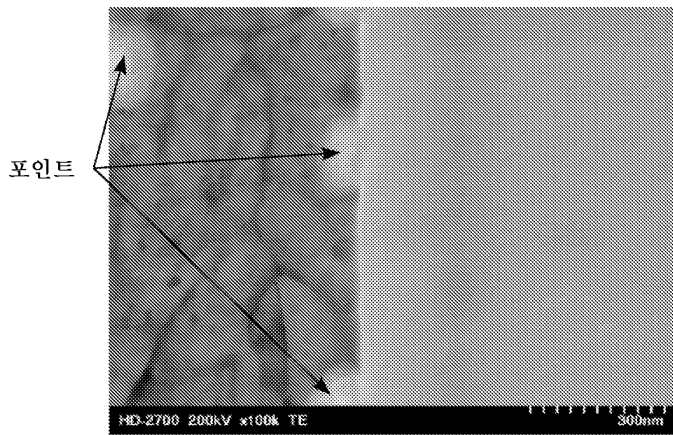
도면5

(a)



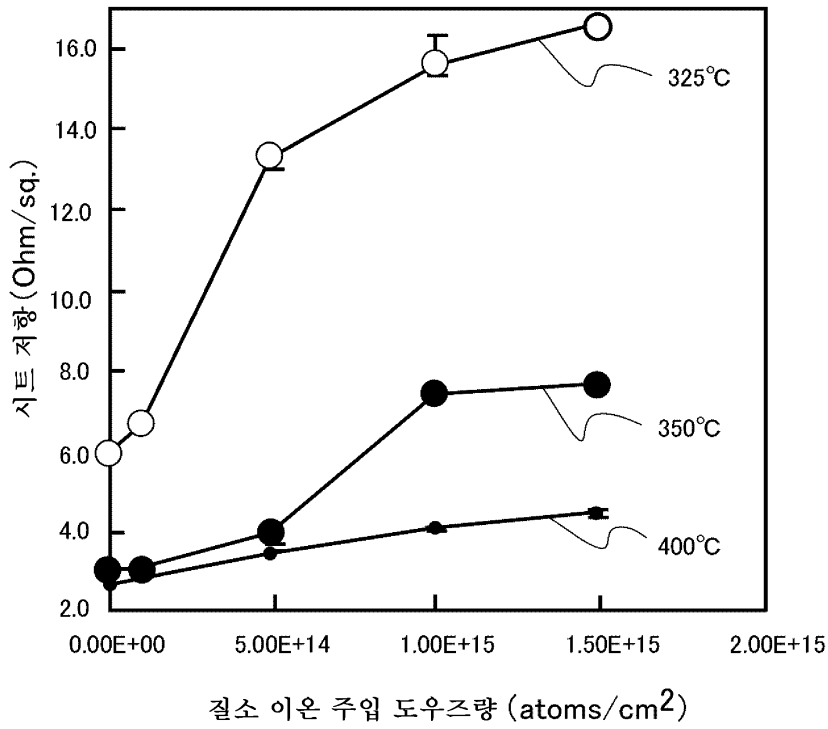
← 실리사이드층 | 실리콘층 →

(b)

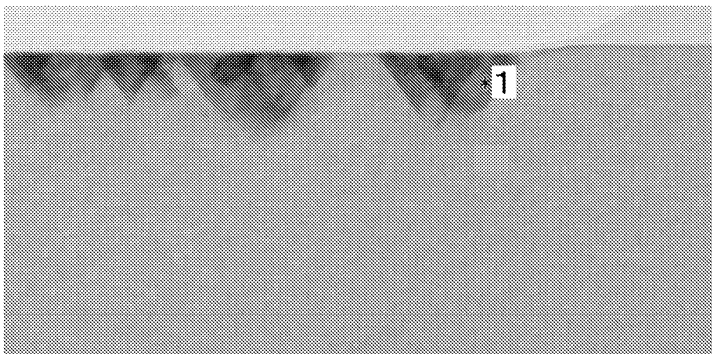


← 실리사이드층 | 실리콘층 →

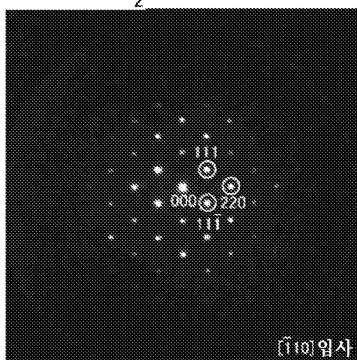
도면6



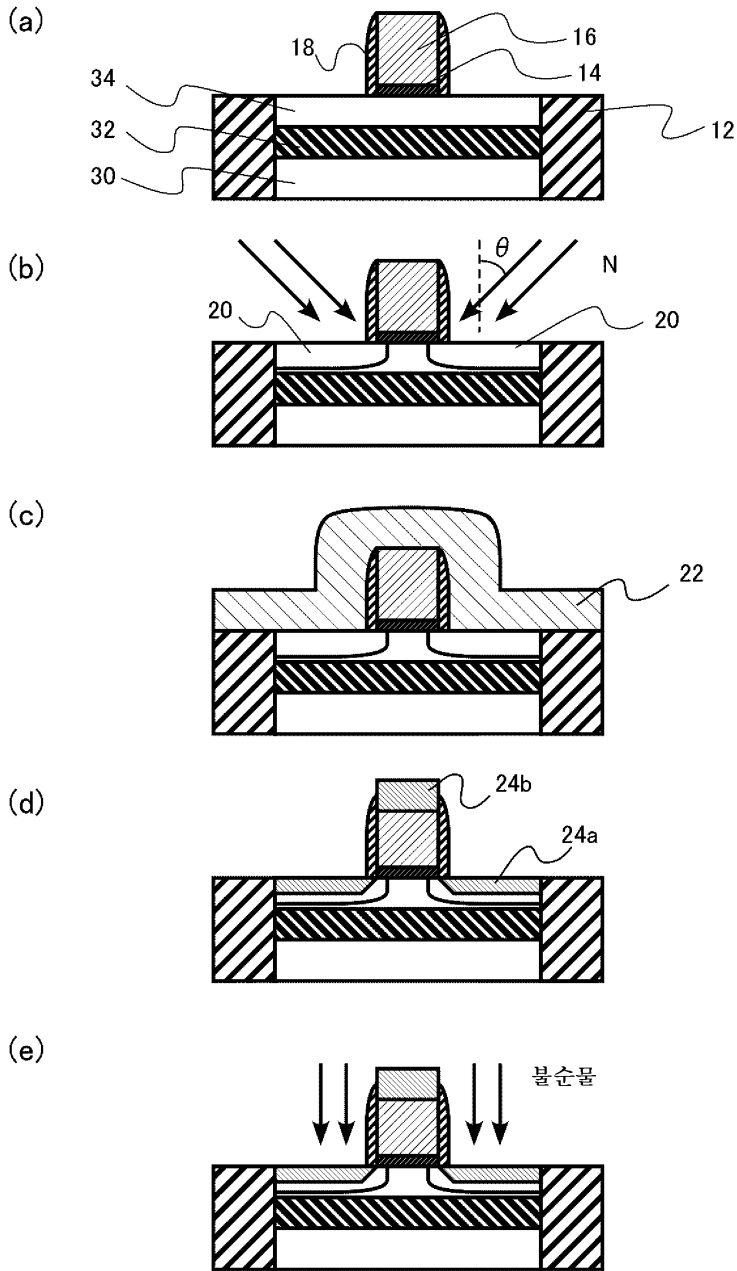
도면7



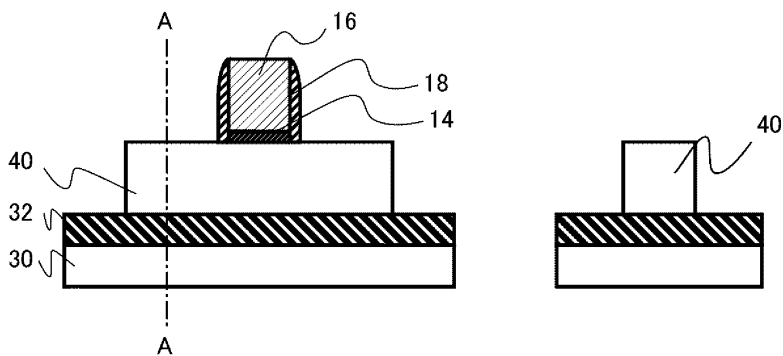
포인트 1 : NiSi₂



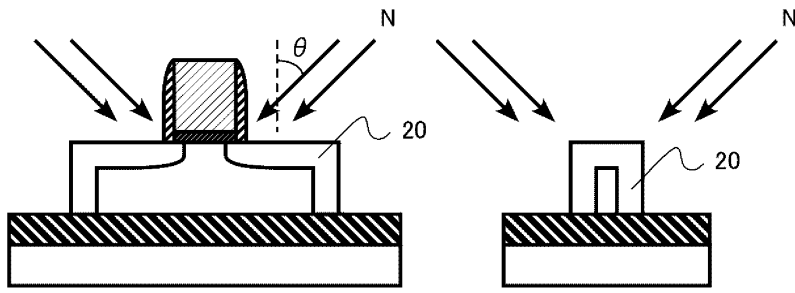
도면8



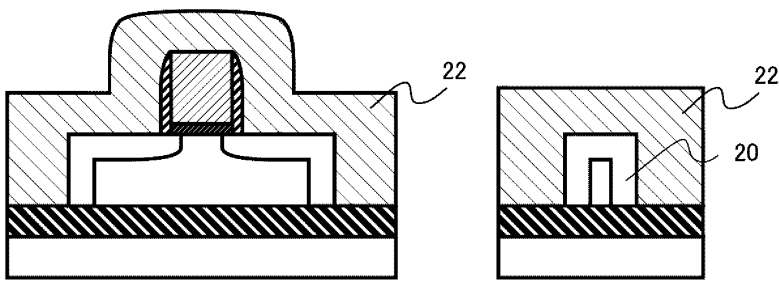
도면9a



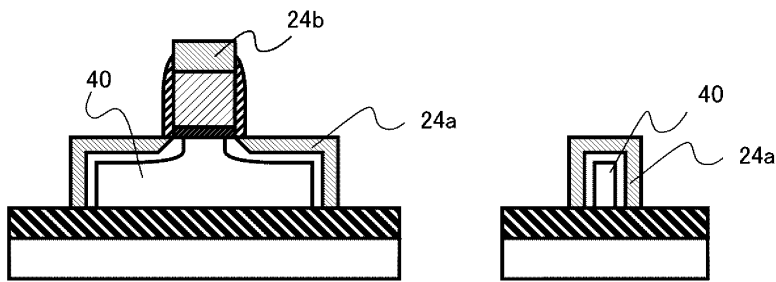
도면9b



도면9c



도면9d



도면9e

