

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4187346号
(P4187346)

(45) 発行日 平成20年11月26日(2008.11.26)

(24) 登録日 平成20年9月19日(2008.9.19)

(51) Int.Cl.		F I		
G 1 1 C	11/407	(2006.01)	G 1 1 C	11/34 3 6 2 S
G 1 1 C	11/4076	(2006.01)	G 1 1 C	11/34 3 5 4 C
G 1 1 C	11/4093	(2006.01)	G 1 1 C	11/34 3 5 4 P
G 1 1 C	11/406	(2006.01)	G 1 1 C	11/34 3 6 3 F

請求項の数 11 (全 21 頁)

(21) 出願番号	特願平11-92246	(73) 特許権者	308014341
(22) 出願日	平成11年3月31日(1999.3.31)		富士通マイクロエレクトロニクス株式会社
(65) 公開番号	特開2000-285674(P2000-285674A)		東京都新宿区西新宿二丁目7番1号
(43) 公開日	平成12年10月13日(2000.10.13)	(74) 代理人	100092587
審査請求日	平成17年5月16日(2005.5.16)		弁理士 松本 真吉
		(72) 発明者	内田 敏也
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	園田 康弘

最終頁に続く

(54) 【発明の名称】 同期型半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

外部コマンドを内部クロックに同期してラッチするコマンド入力回路と、ラッチされた該コマンドをデコードするコマンドデコーダとを備え、デコード結果に応じた動作を行う同期型半導体記憶装置において、さらに、

外部チップセレクト信号の活性化にตอบสนองしてイネーブル信号を活性化させ、該外部チップセレクト信号の不活性化にตอบสนองして、外部クロックの次のパルスが到来した後に該イネーブル信号を不活性にし、該外部チップセレクト信号を該外部クロックで同期化して内部チップセレクト信号を生成するチップセレクト信号入力回路と、

該イネーブル信号が活性である間、該外部クロックにตอบสนองして該内部クロックを動作させるクロック入力回路と、

該内部チップセレクト信号を該内部クロックで同期化して、該コマンドデコーダを活性化させる信号を生成するデコードイネーブル回路と、
を有することを特徴とする同期型半導体記憶装置。

【請求項2】

上記チップセレクト信号入力回路は、

上記外部チップセレクト信号の不活性状態を上記内部クロックに同期して保持し第1状態になり、その状態を上記内部チップセレクト信号として出力する第1フリップフロップと、

該第1フリップフロップの出力を遅延させて上記イネーブル信号を生成する遅延回路と、

10

20

を有することを特徴とする請求項 1 記載の同期型半導体記憶装置。

【請求項 3】

上記チップセレクト信号入力回路はさらに、上記外部チップセレクト信号の活性化を検出するタイミング回路を有し、

上記遅延回路は、上記第 1 フリップフロップの上記第 1 状態にตอบสนองして第 1 状態になり、該活性化の検出にตอบสนองして第 2 状態になる第 2 フリップフロップである、

ことを特徴とする請求項 2 記載の同期型半導体記憶装置。

【請求項 4】

上記タイミング回路は、

上記イネーブル信号が活性であるときに上記外部チップセレクト信号を通す第 1 論理ゲートと、

該イネーブル信号が不活性であるときに該外部チップセレクト信号を通すことにより該外部チップセレクト信号の活性化を検出する第 2 論理ゲートと、

該第 1 論理ゲートの出力端と上記第 1 フリップフロップのデータ入力端との間に接続され、該第 2 論理ゲートの出力でオン/オフ制御される転送ゲートと、

該第 1 フリップフロップのデータ入力端と電源電位との間に接続され、該転送ゲートのオン/オフ制御と連動してオフ/オン制御されるスイッチング素子と、

を有することを特徴とする請求項 3 記載の同期型半導体記憶装置。

【請求項 5】

上記チップセレクト信号入力回路は、

上記外部チップセレクト信号を上記外部クロックに同期して保持しその状態を上記内部チップセレクト信号として出力する第 1 フリップフロップと、

該第 1 フリップフロップの出力を遅延させて上記イネーブル信号を生成する遅延回路と、

を有することを特徴とする請求項 1 記載の同期型半導体記憶装置。

【請求項 6】

上記第 1 フリップフロップは、

第 1 及び第 2 データ入力端、クロック入力端並びに第 1 及び第 2 ノードを備え、該クロック入力端が第 1 レベルのとき該第 1 及び第 2 ノードがプリチャージされ、該クロック入力端が第 2 レベルのとき該第 1 及び第 2 データ入力端の信号レベルに応じてそれぞれ該第 1

及び第 2 ノードがフローティング状態になり又はディスチャージされるダイナミック型フリップフロップと、

該第 1 及び第 2 ノードの一方がディスチャージされているときその状態が書き込まれ、該第 1 及び第 2 ノードがプリチャージされているとき該書き込まれた状態を保持するラッチ回路と、

を有することを特徴とする請求項 5 記載の同期型半導体記憶装置。

【請求項 7】

上記チップセレクト信号入力回路はさらにタイミング回路を有し、該タイミング回路は、

上記外部チップセレクト信号の入力端子と上記第 1 データ入力端との間に接続され、上記外部チップセレクト信号が不活性状態のときオンになるように上記第 1 フリップフロップの出力でオン/オフ制御される転送ゲートと、

該第 1 データ入力端と電源電位との間に接続され、該電源電位はこれを該第 1 データ入力端に供給すると上記第 1 ノードがフローティング状態になる電位であり、該転送ゲートのオン/オフ制御と連動してオフ/オン制御されるスイッチング素子と、

を有することを特徴とする請求項 6 記載の同期型半導体記憶装置。

【請求項 8】

上記タイミング回路はさらに、上記外部チップセレクト信号が活性化した時、上記外部クロックが上記第 2 レベルの場合に上記第 1 レベルになるのを待って上記第 2 データ入力端のレベルを反転する同期化回路を有することを特徴とする請求項 7 記載の同期型半導体記憶装置。

を有することを特徴とする請求項 6 記載の同期型半導体記憶装置。

を有することを特徴とする請求項 7 記載の同期型半導体記憶装置。

10

20

30

40

50

【請求項 9】

上記遅延回路は、上記第 1 フリップフロップの状態の変化にตอบสนองして状態が変化する第 2 フリップフロップであることを特徴とする請求項 5 乃至 8 のいずれか 1 つに記載の同期型半導体記憶装置。

【請求項 10】

入力端が上記第 2 フリップフロップと並列接続され、第 2 イネーブル信号を出力し、バースト信号が活性であるときに該第 2 イネーブル信号が強制的に活性状態になる第 3 フリップフロップと、

該第 2 イネーブル信号が活性である間、上記外部クロックにตอบสนองして第 2 内部クロックを動作させる第 2 クロック入力回路と、

該第 2 イネーブル信号が活性である期間、該第 2 クロックに同期してデータを入力するデータ入力回路と、

をさらに有することを特徴とする請求項 3 又は 9 記載の同期型半導体記憶装置。

【請求項 11】

タイマーからの定期的なタイムアップ信号にตอบสนองして自動リフレッシュ動作を行う自動リフレッシュ回路をさらに有することを特徴とする請求項 1 乃至 10 のいずれか 1 つに記載の同期型半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロックに同期して信号を入出力する同期型半導体記憶装置に関する。

【0002】

【従来の技術】

DRAMは、SRAMに比し記憶密度が高いが消費電力が大きいので、その低減化が要求されている。

【0003】

図9は、SDRAMコントローラ10と複数のSDRAM11～14との間の配線接続図である。

【0004】

SDRAMコントローラ10は、供給されるアドレスの上位2ビットをデコードしてチップセレクト信号*CS1～*CS4を生成し、該上位2ビットを除いたアドレスを行アドレスと列アドレスに分けて時分割多重化するとともに、行アドレス及び列アドレスに対応してそれぞれロウアドレスストロープ信号RAS及びコラムアドレスストロープ信号CASを生成する。これらRAS及びCASは、ライトイネーブル信号WEとともに多ビットのコマンドCMDを構成している。SDRAMコントローラ10は、SDRAM11～14のいずれかを選択する前に、外部クロックCLKとの論理積で内部クロックを生成するためのクロックイネーブル信号CKEを高レベルにする。

【0005】

SDRAM11～14は、SDRAMコントローラ10を介して不図示のマイクロプロセッサに接続されている。SDRAMコントローラ10のチップセレクト信号出力端子*CS1～*CS4はそれぞれ、SDRAM11～14のチップセレクト信号入力端子*CSに接続され、SDRAMコントローラ10の外部クロックCLK、コマンドCMD、データDATA、アドレスADDR及びクロックイネーブル信号CKEの出力端子はSDRAM11～14の対応する端子に共通に接続されている。

【0006】

チップセレクト信号*CS1～*CS4が全て高レベルでSDRAM11～14が非選択のときには、クロックイネーブル信号CKEが低レベルにされてSDRAM11～14内の内部クロックが停止し、入力を内部クロックに同期化させる入力回路が不活性になる。これにより、SDRAM11～14の低消費電力化が図られている。

【0007】

10

20

30

40

50

【発明が解決しようとする課題】

しかし、図10に示す如く、例えばチップセレクト信号*CS2~*CS4を高レベルに維持してチップセレクト信号*CS1のみ低レベルにすることによりSDRAM11~14のうちSDRAM11のみを選択する場合には、その前にクロックイネーブル信号CKEが高レベルにされて、SDRAM11~14内の内部クロックが動作し入力回路が活性化されるので、非選択のSDRAM12~14において無駄な電力が消費される。

【0008】

これを避けるために、SDRAM11~14に異なるクロックイネーブル信号を供給すれば、配線数が増加して複雑になる。

【0009】

本発明の目的は、このような問題点に鑑み、外部配線数を増加することなく入力回路での無駄な消費電力を低減することが可能な同期型半導体記憶装置を提供することにある。

【0010】**【課題を解決するための手段及びその作用効果】**

請求項1では、外部コマンドを内部クロックに同期してラッチするコマンド入力回路と、ラッチされた該コマンドをデコードするコマンドデコーダとを備え、デコード結果に応じた動作を行う同期型半導体記憶装置において、さらに、例えば図8に示す如く、

外部チップセレクト信号の活性化にตอบสนองしてイネーブル信号を活性化させ、該外部チップセレクト信号の不活性化にตอบสนองして、外部クロックの次のパルスが到来した後に該イネーブル信号を不活性にし、該外部チップセレクト信号を該外部クロックで同期化して内部チップセレクト信号を生成するチップセレクト信号入力回路と、

該イネーブル信号が活性である間、該外部クロックにตอบสนองして該内部クロックを動作させるクロック入力回路と、

該内部チップセレクト信号を該内部クロックで同期化して、該コマンドデコーダを活性化させる信号を生成するデコードイネーブル回路(40N)とを有する。

【0011】

この同期型半導体記憶装置によれば、該内部チップセレクト信号が活性である時に、該内部クロックに同期してコマンドデコーダを活性化させる信号が生成され、コマンドデコーダのデコード結果に応じた動作が行われるので、従来のクロックイネーブル信号を用いる必要がない。また、外部チップセレクト信号が不活性であればイネーブル信号が不活性であるので、非選択の同期型半導体記憶装置のクロック入力回路及びコマンド入力回路が不活性となって、その消費電力が低減される。

【0012】

請求項2の同期型半導体記憶装置では、請求項1において例えば図3に示す如く、上記チップセレクト信号入力回路は、

上記外部チップセレクト信号の不活性状態を上記内部クロック(CK1)に同期して保持し第1状態になり、その状態を上記内部チップセレクト信号として出力する第1フリップフロップ(40)と、

該第1フリップフロップの出力を遅延させて上記イネーブル信号を生成する遅延回路(20)とを有する。

【0013】

この同期型半導体記憶装置によれば、外部チップセレクト信号の不活性化にตอบสนองして、外部クロックの次のパルスが到来した後に該イネーブル信号を不活性にすることを確実に行うことができる。

【0014】

請求項3の同期型半導体記憶装置では、請求項2において、上記チップセレクト信号入力回路はさらに、上記外部チップセレクト信号の活性化を検出するタイミング回路を有し、上記遅延回路は、上記第1フリップフロップの上記第1状態にตอบสนองして第1状態になり、該活性化の検出にตอบสนองして第2状態になる第2フリップフロップである。

【0015】

この同期型半導体記憶装置によれば、外部チップセレクト信号が不活性になるとイネーブル信号が不活性になって、クロック入力回路及びコマンド入力回路が不活性となるので、選択された同期型半導体記憶装置の消費電力も低減される。

【0016】

請求項4の同期型半導体記憶装置では、請求項3において例えば図3に示す如く、上記タイミング回路(41)は、

上記イネーブル信号(EN1)が活性であるときに上記外部チップセレクト信号(*CS)を通す第1論理ゲート(42)と、

該イネーブル信号が不活性であるときに該外部チップセレクト信号を通すことにより該外部チップセレクト信号の活性化を検出する第2論理ゲート(43)と、

該第1論理ゲートの出力端と上記第1フリップフロップのデータ入力端との間に接続され、該第2論理ゲートの出力でオン/オフ制御される転送ゲート(44及び45)と、

該第1フリップフロップのデータ入力端と電源電位との間に接続され、該転送ゲートのオン/オフ制御と連動してオフ/オン制御されるスイッチング素子(41)とを有する。

【0017】

この同期型半導体記憶装置によれば、外部チップセレクト信号が不活性になったとき、イネーブル信号はまだ活性であるので第1論理ゲートを通り、第1フリップフロップにこの不活性状態が保持されて、イネーブル信号が不活性になる。これにより転送ゲートがオフ、スイッチング素子がオンになって、転送ゲートの入力側と出力側の信号の衝突が避けられ、かつ、スイッチング素子のオンにより第1フリップフロップの状態が維持される。イネーブル信号の不活性により第1論理ゲートが不活性になっているので、外部チップセレクト信号が活性化しても第1フリップフロップの状態は変化しない。しかし、イネーブル信号が不活性であるとき外部チップセレクト信号は第2論理ゲートを通るので、イネーブル信号が活性化すると第2論理ゲートの出力にตอบสนองして第2フリップフロップが第2状態に遷移し、これによりイネーブル信号が活性になる。

【0018】

請求項5の同期型半導体記憶装置では、請求項1において、上記チップセレクト信号入力回路は、例えば図6に示す如く、

上記外部チップセレクト信号を上記外部クロックに同期して保持しその状態を上記内部チップセレクト信号として出力する第1フリップフロップ(40)と、

該第1フリップフロップの出力を遅延させて上記イネーブル信号を生成する遅延回路(20)とを有する。

【0019】

請求項6の同期型半導体記憶装置では、請求項5において例えば図4に示す如く、上記第1フリップフロップ(40)は、

第1及び第2データ入力端(D及び*D)、クロック入力端(CK)並びに第1及び第2ノード(NO1及びNO2)を備え、該クロック入力端が第1レベルのとき該第1及び第2ノードがプリチャージされ、該クロック入力端が第2レベルのとき該第1及び第2データ入力端の信号レベルに応じてそれぞれ該第1及び第2ノードがフローティング状態になり又はディスチャージされるダイナミック型フリップフロップ(50)と、

該第1及び第2ノードの一方がディスチャージされているときその状態が書き込まれ、該第1及び第2ノードがプリチャージされているとき該書き込まれた状態を保持するラッチ回路(70)とを有する。

【0020】

この同期型半導体記憶装置によれば、ダイナミック型フリップフロップが用いられているので、スタティック型の場合よりも消費電力が低減される。

【0021】

請求項7の同期型半導体記憶装置では、請求項6において例えば図6に示す如く、上記チップセレクト信号入力回路はさらにタイミング回路(41A)を有し、該タイミング回路は、

上記外部チップセレクト信号の入力端子と上記第1データ入力端との間に接続され、上記外部チップセレクト信号が不活性状態のときオンになるように上記第1フリップフロップの出力でオン/オフ制御される転送ゲート(44及び45)と、

該第1データ入力端と電源電位との間に接続され、該電源電位はこれを該第1データ入力端に供給すると上記第1ノードがフローティング状態になる電位であり、該転送ゲートのオン/オフ制御と連動してオフ/オン制御されるスイッチング素子(81)とを有する。

【0022】

この同期型半導体記憶装置によれば、外部チップセレクト信号が不活性になると転送ゲートがオフ、スイッチング素子がオンになって、第1フリップフロップ内で第1及び第2ノードがフローティング状態になり、クロック入力端に外部クロックパルス列が供給されても第1及び第2ノード上の電荷がディスチャージされないで、消費電力が低減され、また、転送ゲートの入力側と出力側の信号の衝突が避けられる。

10

【0023】

請求項8の同期型半導体記憶装置では、請求項7において、上記タイミング回路はさらに、上記外部チップセレクト信号が活性化した時、上記外部クロックが上記第2レベルの場合に上記第1レベルになるのを待って上記第2データ入力端のレベルを反転する同期化回路(82)を有する。

【0024】

この同期型半導体記憶装置によれば、外部チップセレクト信号の活性化により外部クロックに同期せずにコマンド入力回路が活性化されて誤動作するのが防止される。

20

【0025】

請求項9の同期型半導体記憶装置では、請求項5乃至8のいずれか1つにおいて、上記遅延回路は、上記第1フリップフロップの状態の変化にตอบสนองして状態が変化する第2フリップフロップ(20)である。

【0026】

請求項10の同期型半導体記憶装置では、請求項3又は9において、入力端が上記第2フリップフロップと並列接続され、第2イネーブル信号を出力し、バースト信号が活性であるときに該第2イネーブル信号が強制的に活性状態になる第3フリップフロップ(30)と、

30

該第2イネーブル信号が活性である間、上記外部クロックにตอบสนองして第2内部クロックを動作させる第2クロック入力回路(31)と、

該第2イネーブル信号が活性である期間、該第2クロックに同期してデータを入力するデータ入力回路(32)とをさらに有する。

【0027】

この同期型半導体記憶装置によれば、バースト動作が終了すると第2イネーブル信号が不活性になるので、バーストモードにおいても消費電力低減効果が得られる。

【0028】

請求項11の同期型半導体記憶装置では、請求項1乃至10のいずれか1つにおいて例えば図8に示す如く、タイマーからの定期的なタイムアップ信号にตอบสนองして自動リフレッシュ動作を行う自動リフレッシュ回路(96、92、91及び94)をさらに有する。

40

【0029】

この同期型半導体記憶装置によれば、外部チップセレクト信号により選択されていないチップは自動的にパワーダウン状態になるとともに自動的にリフレッシュが行われるので、非選択チップに対しては一切の注意を払う必要がなくなり、これにより、コマンド供給はアクセスしたいチップに対してのみ行えばよく、このような同期型半導体記憶装置を用いたシステム設計が容易になるとともに、アクセスしたいチップに対するコマンド供給可能な時間が増えて、システムの高速化が可能となる。

【0030】

【発明の実施の形態】

50

以下、図面を参照して本発明の実施形態を説明する。

【0031】

[第1実施形態]

図1は、本発明の第1実施形態に係る、SDRAMコントローラ10AとSDRAM11A~14Aとの間の配線接続図であり、図9に対応している。図2は、図1の回路の動作を示す概略タイミングチャートである。

【0032】

SDRAMコントローラ10Aは、クロックイネーブル信号CKEを出力せず、また、図2に示す如く時点t1及びt3でのコマンドCMD1及びCMD2の発行の1クロックサイクル前のクロックCLK立ち上がり時点t0及びt2でチップセレクト信号*CS1が低レベル(活性)になっている点で図9のSDRAMコントローラ10と異なり、他はSDRAMコントローラ10と同一である。

10

【0033】

SDRAM11A~14Aは互いに同一構成であり、クロックイネーブル信号の外部端子がないことと、チップセレクト信号入力端子*CSの活性化(低レベル)にตอบสนองして図2に示すようなイネーブル信号を内部で生成し、これにตอบสนองして、内部クロックを動作させ入力回路を活性化する点で、図9のSDRAM11~14と異なる。SDRAM11A~14Aの他の点は、図9のSDRAM11~14と同一である。

【0034】

1クロックサイクル前にチップセレクト信号*CSを活性化しておくのは、次のクロックサイクルの内部クロック立ち上がりでコマンドCMD等をラッチするのを確実にを行うためである。図2では、SDRAM11Aのみ選択され、SDRAM12A~14A内のイネーブル信号ENが低レベル(不活性)でこれらの内部クロックが停止し、これらの入力回路が不活性になってコマンドCMD等が該入力回路に取り込まれない。

20

【0035】

図3は、図1中の1つのSDRAM内の入力回路を示す。図3では簡単化のために、アドレスADDR、コマンドCMD、データDATA及びデータマスクDQMがいずれも1ビットである場合を示している。多ビットの場合には、各ビットに対応した入力回路が並列して存在する。

【0036】

チップセレクト信号*CSを外部クロックCLKの立ち上がりに同期化したイネーブル信号*EN1は、RSフリップフロップ20に保持され、その非反転出力端Qから取り出されてクロック入力回路21並びにアドレス・コマンド入力回路22のオアゲート23及び24の一方の入力端に供給される。クロック入力回路21、オアゲート23及び24の他方の入力端にはそれぞれ外部クロックCLK、アドレスADDR及びコマンドCMDが供給される。オアゲート23及び24の出力はアドレス・コマンド入力回路22のDフリップフロップ25及び26のデータ入力端Dに供給され、Dフリップフロップ25及び26のクロック入力端CKにはクロック入力回路21の出力が内部クロックCLK1として供給される。

30

【0037】

イネーブル信号*EN1が高レベルのとき、クロック入力回路21の出力は外部クロックCLKの変化によらず低レベルとなり、オアゲート23及び24の出力はそれぞれアドレスADDR及びコマンドCMDの変化によらず高レベルとなるので、アドレス・コマンド入力回路22は不活性状態になる。イネーブル信号*EN1が低レベルのとき、外部クロックCLK、アドレスADDR及びコマンドCMDはそれぞれクロック入力回路21、オアゲート23及び24を通るので、アドレス・コマンド入力回路22は活性状態になる。Dフリップフロップ25及び26の出力は内部回路に供給される。

40

【0038】

ここで、SDRAM11がバーストモードのとき、同一行アドレスに対し、列アドレスが不図示のカウンタに保持された後、そのカウントが内部クロックでインクリメントされて

50

データDATA及びデータマスクDQMが読み込まれる。このとき、アドレス・コマンド入力回路22は不活性である。そこで、RSフリップフロップ20とは別に、イネーブル信号*EN2を保持するRSフリップフロップ30が備えられている。

【0039】

RSフリップフロップ30は、ノアゲート301とノアゲート302とがクロス結合されてRSフリップフロップ20と同一になっており、さらに、ノアゲート301のグランド電位供給端がnMOSトランジスタ303を介してグランド線に接続され、ノアゲート301の出力端がpMOSトランジスタ304を介して電源電位VDDに接続されている。nMOSトランジスタ303及びpMOSトランジスタ304のゲートにはバースト信号*BSTが供給されている。ノアゲート301は、nMOSトランジスタ303がオフで 10
セット入力端Sが高レベルのとき、出力がハイインピーダンス状態になる。バーストモードのとき、バースト信号*BSTが低レベルになって、nMOSトランジスタ303及びpMOSトランジスタ304がそれぞれオフ及びオンになり、セット入力端Sが高レベルであっても非反転出力端Qが低レベルに固定される。バースト信号*BSTが高レベルのとき、nMOSトランジスタ303及びpMOSトランジスタ304がそれぞれオン及びオフになって、ノアゲート301が活性になる。

【0040】

RSフリップフロップ30の非反転出力端Qから取り出されたイネーブル信号*EN2は、クロック入力回路31並びにデータ入力回路32のオアゲート33及び34の一方の入力端に供給される。クロック入力回路31、オアゲート33及び34の他方の入力端には 20
それぞれ外部クロックCLK、データDATA及びデータマスクDQMが供給される。オアゲート33及び34の出力はデータ入力回路32のDフリップフロップ35及び36のデータ入力端Dに供給され、Dフリップフロップ35及び36のクロック入力端CKにはクロック入力回路31の出力が内部クロックCLK2として供給される。

【0041】

イネーブル信号*EN2が高レベルのとき、クロック入力回路31の出力は外部クロックCLKの変化によらず低レベルとなり、オアゲート33及び34の出力はそれぞれデータDATA及びデータマスクDQMの変化によらず高レベルとなるので、データ入力回路32は不活性状態になる。イネーブル信号*EN2が低レベルのとき、外部クロックCLK、データDATA及びデータマスクDQMはそれぞれクロック入力回路31、オアゲート 30
33及び34を通るので、データ入力回路32は活性状態になる。Dフリップフロップ35及び36の出力は内部回路に供給される。

【0042】

RSフリップフロップ20及び30のセット入力端Sには、Dフリップフロップ40の反転出力端*Qからチップセレクト信号*CSが供給される。Dフリップフロップ40の相補データ入力端D及び*Dには、チップセレクト信号*CSがタイミング回路41を介して供給される。Dフリップフロップ40は、チップセレクト信号*CSが高レベルになった後、外部クロックCLKの最初の立ち上がり同期してRSフリップフロップ20及び30をセットするためのものである。

【0043】

チップセレクト信号*CSの高レベルをタイミング回路41で反転したものが内部クロックCLK1の立ち上がりでDフリップフロップ40に保持されると、チップセレクト信号*CSが高レベルとなってRSフリップフロップ20がセットされ、イネーブル信号*EN1が高レベルになり、クロック入力回路21が閉じて内部クロックCLK1が停止する。このため、チップセレクト信号*CSが低レベルに遷移してもこれがDフリップフロップ40に保持されないため、Dフリップフロップ40の非反転出力端QでRSフリップフロップ20をリセットすることができない。また、外部クロックCLKが高レベルのときに、チップセレクト信号*CSの立ち下がりによってRSフリップフロップ20をリセットすれば、クロック入力回路21、オアゲート23及び24が活性化されると同時に、この高レベルがクロック入力回路21を 50
通って内部クロックCLK1が立ち上がるので、アドレ

10

20

30

40

50

ス・コマンド入力回路 2 2 の動作が 1 クロックサイクル早くなってしまう。

【 0 0 4 4 】

そこで、構成要素 4 2 ~ 4 8 を備えたタイミング回路 4 1 でこのような問題を解決している。

【 0 0 4 5 】

タイミング回路 4 1 では、ノアゲート 4 2 及びオアゲート 4 3 の一方の入力端にチップセレクト信号 * C S が供給され、他方の入力端にそれぞれイネーブル信号 * E N 1 及び R S フリップフロップ 2 0 の反転出力端 * Q からのイネーブル信号 E N 1 が供給される。ノアゲート 4 2 及びオアゲート 4 3 はそれぞれ、チップセレクト信号 * C S の不活性化（高レベルへの遷移）及び活性化（低レベルへの遷移）を検出するためのものである。ノアゲート 4 2 の出力は、n M O S トランジスタ 4 4 と p M O S トランジスタ 4 5 の並列接続を介し、一方では D フリップフロップ 4 0 のデータ入力端 D に供給され、他方ではさらにインバータ 4 6 を介して D フリップフロップ 4 0 のデータ入力端 D に供給される。n M O S トランジスタ 4 4 のゲートにはオアゲート 4 3 の出力が供給され、p M O S トランジスタ 4 5 のゲートにはオアゲート 4 3 の出力がインバータ 4 7 を介して供給される。オアゲート 4 3 の出力はさらに、p M O S トランジスタ 4 8 のゲートに供給される。p M O S トランジスタ 4 8 は、電源電位 V D D と D フリップフロップ 4 0 のデータ入力端 D との間に接続されている。インバータ 4 7 の出力は、チップセレクト信号 C S S M として R S フリップフロップ 2 0 及び 3 0 のリセット入力端に供給される。

【 0 0 4 6 】

上記構成において、ノアゲート 4 2 が不活性（C S M が高レベル）でオアゲート 4 3 が活性の状態においてチップセレクト信号 * C S が低レベルに遷移すると、オアゲート 4 3 の出力が低レベルに遷移し、p M O S トランジスタ 4 8 がオンになって D フリップフロップ 4 0 のデータ入力端 D 及び * D がそれぞれ高レベル及び低レベルに遷移し、また、インバータ 4 7 の出力が高レベルに遷移して R S フリップフロップ 2 0 及び 3 0 がリセットされる。n M O S トランジスタ 4 4 及び p M O S トランジスタ 4 5 は、p M O S トランジスタがオンのときチップセレクト信号 C S M が低レベルであるので、n M O S トランジスタ 4 4 及び p M O S トランジスタ 4 5 をオフにして衝突を避けるためのものである。

【 0 0 4 7 】

チップセレクト信号入力回路は、タイミング回路 4 1、D フリップフロップ 4 0 及び R S フリップフロップ 2 0、3 0 で構成されている。

【 0 0 4 8 】

次に、上記の如く構成された入力回路の動作を、図 5 を参照して説明する。

【 0 0 4 9 】

図 5 において、図 2 と異なりチップセレクト信号 * C S が複数クロックサイクル低レベルを維持しているのは、次の理由による。すなわち、S D R A M では、あるバンクにコマンドを供給した後、次のクロックサイクルで他のバンクにコマンドを供給したり、また、同一バンクに対して 1 ビット読み出しコマンドを連続して供給する場合があるからである。図 8 について後述するように、クロック C L K の立ち上がりの 1 クロックサイクル前にチップセレクト信号 * C S が活性化していれば、すなわち内部チップセレクト信号 * C S C が活性のとき、内部クロックの立ち上がり同期して、コマンド C M D のデコードが行われ、その結果に応じた動作が行われる。

【 0 0 5 0 】

(t 1) イネーブル信号 * E N 1 が低レベルであるので、チップセレクト信号 * C S に対しノアゲート 4 2 がインバータとして機能する。チップセレクト信号 * C S が低レベルであるので、ノアゲート 4 2 の出力 C S M は高レベルになっている。イネーブル信号 * E N 1 及び * E N 2 が低レベルであるので、クロック入力回路 2 1、オアゲート 2 3、2 4、クロック入力回路 3 1、オアゲート 3 3 及び 3 4 が活性状態になっていて、D フリップフロップ 4 0、アドレス・コマンド入力回路 2 2 及びデータ入力回路 3 2 も活性状態になっている。また、イネーブル信号 E N 1 が高レベルであるので、オアゲート 4 3 が不活性、

10

20

30

40

50

すなわちその出力がチップセレクト信号 * C S の変化によらず高レベルになっていて、n M O S トランジスタ 4 4 及び p M O S トランジスタ 4 5 がオン、p M O S トランジスタ 4 8 がオフとなって、D フリップフロップ 4 0 のデータ入力端 D 及び * D にそれぞれ高レベル及び低レベルが供給される。インバータ 4 7 の出力 C S S M 及び D フリップフロップ 4 0 の反転出力端 * Q は低レベルであり、R S フリップフロップ 2 0 及び 3 0 のリセット入力端 R 及びセット入力端 S は低レベルになっている。バースト信号 * B S T が低レベル（バーストモード）であり、n M O S トランジスタ 3 0 3 及び p M O S トランジスタ 3 0 4 はそれぞれオフ及びオンになっている。

【 0 0 5 1 】

(t 2) この状態からチップセレクト信号 * C S が立ち上がって、ノアゲート 4 2 の出力 C S M が低レベルに遷移し、D フリップフロップ 4 0 のデータ入力端 D 及び * D がそれぞれ低レベル及び高レベルになる。

10

【 0 0 5 2 】

(t 3) 次に外部クロック C L K が立ち上がり、内部クロック C L K 1 が立ち上がって、D フリップフロップ 4 0 の入力保持され、その反転出力端 * Q からのチップセレクト信号 * C S C が高レベルに遷移する。チップセレクト信号 * C S C の高レベルは、R S フリップフロップ 2 0 内のノアゲート 2 0 1 の出力 E N 1 を低レベルに反転させ、次いでノアゲート 2 0 2 の出力 * E N 1 を高レベルに反転させるので、R S フリップフロップ 2 0 は遅延回路としても機能している。この信号伝搬遅延により、C L K 1 のパルスがクロック入力回路 2 1 を通った後に、イネーブル信号 * E N 1 が高レベルに遷移してクロック入力回路 2 1 が不活性になる。

20

【 0 0 5 3 】

C L K 1 の立ち上がりに同期して、アドレス A D D R 及びコマンド C M D がアドレス・コマンド入力回路 2 2 の D フリップフロップに保持される。* B S T が低レベルであるので、このアドレス A D D R は列アドレスであり、コマンド C M D はリードコマンド又はライトコマンドである。

【 0 0 5 4 】

イネーブル信号 * E N 1 が高レベルに遷移すると、クロック入力回路 2 1、オアゲート 2 3 及び 2 4 が不活性になり、内部クロック C L K 1 の動作が停止して D フリップフロップ 4 0 及びアドレス・コマンド入力回路 2 2 も不活性になる。また、ノアゲート 4 2 が不活性になると同時にオアゲート 4 3 が活性になり、後に生ずるチップセレクト信号 * C S の立ち下がり、ノアゲート 4 2 を通らずにオアゲート 4 3 を通る。オアゲート 4 3 の出力は高レベルを維持している。

30

【 0 0 5 5 】

バースト信号 * B S T が低レベルであるので、チップセレクト信号 * C S C が高レベルに遷移してもイネーブル信号 * E N 2 は低レベルを維持、すなわちクロック入力回路 3 1 及びデータ入力回路 3 2 は活性状態を維持する。これによりバーストモードでの動作が行われ、データ D A T A 及びデータマスク D Q M の内容に応じたデータが内部に書き込まれる。D フリップフロップ 3 6 の出力が高レベルのとき、D フリップフロップ 3 5 の出力は内部回路でマスクされ、指定アドレスのメモリセルへの書き込みは行われぬ。D フリップフロップ 3 6 の出力が低レベルのとき、このマスクが解除されて D フリップフロップ 3 5 の出力が指定アドレスのメモリセルへ書き込まれる。

40

【 0 0 5 6 】

(t 4) バーストモードが終了してバースト信号 * B S T が高レベルに遷移し、これにより R S フリップフロップ 3 0 のセット入力端 S に供給されている高レベルが有効になり、イネーブル信号 * E N 2 が高レベルとなって、クロック入力回路 3 1、オアゲート 3 3 及び 3 4 が不活性化され、内部クロック C L K 2 の動作が停止する。その結果、不図示のコラムアドレス系回路が不活性になる。

【 0 0 5 7 】

(t 5) チップセレクト信号 * C S が低レベルに遷移して、オアゲート 4 3 及びインバー

50

タ47の出力がそれぞれ低レベル及び高レベルに遷移し、nMOSトランジスタ44及びpMOSトランジスタ45がオフ、pMOSトランジスタ48がオンになる。これにより、チップセレクト信号CSSMが高レベルに遷移して、RSフリップフロップ20及び30がリセットされ、イネーブル信号*EN1及び*EN2が低レベルに遷移してノアゲート42、クロック入力回路21、23、24、クロック入力回路31、オアゲート33及び34が活性化され、内部クロックCLK1及びCLK2が動作を開始し、ノアゲート42、Dフリップフロップ40、アドレス・コマンド入力回路22及びデータ入力回路32が活性状態になる。ノアゲート42の活性化によりチップセレクト信号CSSMが高レベルに遷移する。

【0058】

このような動作により、内部クロックCLK1及びCLK2が停止していてもチップセレクト信号*CSの活性化(立ち下がり)にตอบสนองしてイネーブル信号*EN1及び*EN2が活性化されて、内部クロックCLK1及びCLK2の動作が再開される。

【0059】

(t6) Dフリップフロップ40のデータ入力端D及*Dがそれぞれ高レベル及び低レベルであるので、内部クロックCLK1の立ち上がり同期してDフリップフロップ40がセットされ、チップセレクト信号*CSSCが低レベルに遷移する。これにより、イネーブル信号EN1が高レベルに遷移してオアゲート43が不活性になり、その出力が高レベルに遷移してnMOSトランジスタ44及びpMOSトランジスタ45がオン、pMOSトランジスタ48がオフになり、またチップセレクト信号CSSMが低レベルに遷移する。

【0060】

内部クロックCLK1の立ち上がり時点では内部クロック*CSSCが高レベルであるので、コマンドCMDのデコードは行われない。

【0061】

(t7) バースト信号*BSTが低レベルに遷移して、時点t1と同じ状態になる。

【0062】

本第1実施形態によれば、クロックCLKの立ち上がりの1クロックサイクル前にチップセレクト信号*CSが活性(低レベル)であれば内部クロックCLK1が動作しており、内部チップセレクト信号*CSSCが活性のとき、内部クロックCLK1の立ち上がりでコマンドCMD等が内部回路に取り込まれてこれに応じた動作が行われる。また、チップセレクト信号*CSが不活性(高レベル)になってから、1クロックパルス後に内部クロックCLK1が停止して、アドレス・コマンド入力回路22が不活性になり、さらに、バーストモードによるデータ取り込み終了後に内部クロックCLK2が停止してデータ入力回路32が不活性になるので、選択されたSDRAM11においても入力回路の消費電力が低減される。しかも、非選択のSDRAM11ではチップセレクト信号*CSが高レベルであるので、内部クロックが停止して入力回路の消費電力が低減される。クロックイネーブル信号CKEを用いずにこのような動作が自動的に行われるので、低消費電力化が達成されるとともに、複数のSDRAM11を用いたシステムの制御及び設計が容易になる。

【0063】

図4は、図3中のDフリップフロップ40の構成例を示す。この回路自体は公知であるが、クロックのパルス列による無駄な電力消費を示すためにこの回路の構成をその動作とともに説明する。

【0064】

Dフリップフロップ40は、入力段のダイナミックフリップフロップ50と、その一対の出力の各々を相補信号化してダイナミックフリップフロップ50をフィードバック制御する相補化回路60と、回路60の出力により状態が制御されるラッチ回路70とからなる。

【0065】

ダイナミックフリップフロップ50では、クロック入力端CKが低レベルのとき、pMOSトランジスタ51A及び51Bがオン、nMOSトランジスタ52がオフとなって、ノ

10

20

30

40

50

ードNO1及びNO2へのプリチャージが行われる。

【0066】

増幅回路53は、フリップフロップ型であり、pMOSトランジスタ51A及び51Bにそれぞれ並列接続されたpMOSトランジスタ54A及び54Bと、pMOSトランジスタ54A及び54Bにそれぞれ直列接続されたnMOSトランジスタ55A及び55Bとからなり、これらがクロス結合されている。上記ノードNO1及びNO2へのプリチャージによりpMOSトランジスタ54A及び54Bがオフ、nMOSトランジスタ55A及び55Bがオンで、増幅回路53が不活性状態になっている。

【0067】

nMOSトランジスタ55AのソースとnMOSトランジスタ52のドレインとの間にはnMOSトランジスタ56Aと57Aとが並列接続され、nMOSトランジスタ55BのソースとnMOSトランジスタ52のドレインとの間にはnMOSトランジスタ56Bと57Bとが並列接続されている。ノードNO1は相補化回路60のインバータ61Aを介してnMOSトランジスタ57Aのゲートに接続され、ノードNO2は相補化回路60のインバータ61Bを介してnMOSトランジスタ57Bのゲートに接続されている。したがって、ノードNO1及びNO2がプリチャージされている状態では、インバータ61A及び61Bの出力が低レベルとなってnMOSトランジスタ57A及び57Bがオフになっている。nMOSトランジスタ56A及び56Bのゲートにはそれぞれ、データ入力端D及び*Dからの信号が供給される。データ入力端D及び*Dの信号レベルが互いに逆の時、nMOSトランジスタ56A及び56Bは一方がオン、他方がオフであり、データ入力端Dが高レベルのときにはnMOSトランジスタ56Aがオン、nMOSトランジスタ56Bがオフになっている。

【0068】

上記プリチャージ状態において、ラッチ回路70では、nMOSトランジスタ71A、pMOSトランジスタ71B、72A及びnMOSトランジスタ72Bが全てオフになっており、その前の状態が、インバータ73と74とからなる保持回路に保持される。

【0069】

この状態から外部クロックCLKが立ち上がると、pMOSトランジスタ51A及び51Bがオフ、nMOSトランジスタ52がオンになり、ノードNO1上の電荷がnMOSトランジスタ55A、56A及び52を通過してグランド線へ引き抜かれ、その電位が低下し、ノードNO2とNO1の電位差が増幅回路53で増幅され、インバータ61Aの出力が高レベルに遷移してnMOSトランジスタ57Aがオンになり、ノードNO1からの電荷引き抜きが助長される。また、nMOSトランジスタ71A及びpMOSトランジスタ72Aがオンになって、出力端Q及び*Qがそれぞれ高レベル及び低レベルになる。

【0070】

逆にデータ入力端Dが低レベルの場合には、nMOSトランジスタ56A及び57Aがオフ、nMOSトランジスタ56B及び57Bがオン、pMOSトランジスタ71B及びnMOSトランジスタ72Bがオンになって、出力端Q及び*Qがそれぞれ低レベル及び高レベルになる。

【0071】

次に、クロック入力端CKが低レベルになると、上記プリチャージが行われ、pMOSトランジスタ71B、nMOSトランジスタ71A、pMOSトランジスタ72A及びnMOSトランジスタ72Bがオフになって出力端Q及び*Qの電位が保持される。

【0072】

データ入力端Dが高レベルの状態でもクロック入力端CKにパルス列が供給されると、出力端Q及び*Qはそれぞれ高レベル及び低レベルで一定であるが、ノードNO1のプリチャージ及びディスチャージが繰り返されて、無駄な電力が消費される。図5では内部クロックCK1及びCK2のパルスが不要になるとそのクロックが停止するので、消費電力が低減される。

【0073】

クロック入力端 C K が高レベルの状態データ入力端 D が変化しても、増幅回路 5 3 の増幅動作によりその出力が保持されるので、D フリップフロップ 4 0 の出力も一定に保持される。

【 0 0 7 4 】

[第 2 実施形態]

図 6 は、本発明の第 2 実施形態の S D R A M 内の入力回路を示し、図 3 に対応している。

【 0 0 7 5 】

この回路では、図 3 のタイミング回路 4 1 の代わりにタイミング回路 4 1 A を用い、外部クロック C L K を D フリップフロップ 4 0 のクロック入力端 C K に直接供給し、D フリップフロップ 4 0 の非反転出力端 Q を R S フリップフロップ 2 0 及び 3 0 のセット入力端 S に接続し、D フリップフロップ 4 0 の反転出力端 * Q を R S フリップフロップ 2 0 及び 3 0 のリセット入力端 R に接続している。

10

【 0 0 7 6 】

タイミング回路 4 1 A では、チップセレクト信号 * C S の駆動能力がツルーパーバッファゲート 8 0 で増幅され、その出力 * C S M が、n M O S トランジスタ 4 4 と p M O S トランジスタ 4 5 との並列接続を介して D フリップフロップ 4 0 のデータ入力端 D に供給される。データ入力端 D とグランド線との間には n M O S トランジスタ 8 1 が接続されている。n M O S トランジスタ 4 4 のゲートは D フリップフロップ 4 0 の非反転出力端 Q に接続され、p M O S トランジスタ 4 5 及び n M O S トランジスタ 8 1 のゲートは D フリップフロップ 4 0 の反転出力端 * Q に接続されている。これにより、出力端 Q 及び * Q がそれぞれ低レベル及び高レベルの状態では、n M O S トランジスタ 4 4 及び p M O S トランジスタ 4 5 がオン、n M O S トランジスタ 8 1 がオフになり、低レベルのチップセレクト信号 * C S がツルーパーバッファゲート 8 0、n M O S トランジスタ 4 4 及び p M O S トランジスタ 4 5 を介して D フリップフロップ 4 0 のデータ入力端 D に供給される。

20

【 0 0 7 7 】

この状態からチップセレクト信号 * C S が高レベルに遷移すると、外部クロック C L K の立ち上がり同期してこれが D フリップフロップ 4 0 に保持され、出力端 Q 及び * Q がそれぞれ高レベル及び低レベルに遷移して、n M O S トランジスタ 4 4 及び p M O S トランジスタ 4 5 がオフ、n M O S トランジスタ 8 1 がオンになり、D フリップフロップ 4 0 のデータ入力端 D が低レベルになる。図 4 において、クロック入力端 C K が低レベルのとき、p M O S トランジスタ 5 1 A 及び 5 1 B がオン、n M O S トランジスタ 5 2 がオフになってノード N O 1 及び N O 2 がプリチャージされ、これにより n M O S トランジスタ 5 5 A 及び 5 5 B がオン、n M O S トランジスタ 5 7 A 及び 5 7 B がオフになっている。データ入力端 D 及び * D が共に低レベルであれば、n M O S トランジスタ 5 6 A 及び 5 6 B がオフであるので、外部クロック C L K が高レベルになってもディスチャージが行われず、外部クロック C L K のパルス列が D フリップフロップ 4 0 のクロック入力端 C K D に供給されても、無駄な電力消費が防止される。

30

【 0 0 7 8 】

チップセレクト信号 * C S が低レベルに遷移する場合には、上記 n M O S トランジスタ 8 1 のオンにより D フリップフロップ 4 0 のデータ入力端 D が既に低レベルになっているので、データ入力端 * D のみ高レベルに遷移させればよい。この時、外部クロック C L K が高レベルであれば、図 4 においてノード N O 2 上の電荷が n M O S トランジスタ 5 5 B、5 6 B 及び 5 2 を通って引き抜かれるので、直ちに D フリップフロップ 4 0 の出力が反転し、誤動作する。

40

【 0 0 7 9 】

この問題を解決するために、ツルーパーバッファゲート 8 0 の出力 * C S M は、立ち下がり同期化インバータ 8 2 を介して D フリップフロップ 4 0 のデータ入力端 * D に接続されている。立ち下がり同期化インバータ 8 2 は、インバータ 4 6 の入力を外部クロック C L K の立ち下がり同期して反転させるためのものであり、ツルーパーバッファゲート 8 0 の出力端と D フリップフロップ 4 0 のデータ入力端 * D との間にインバータ 4 6 が接続され、その

50

電源入力端が p M O S トランジスタ 8 3 を介して電源電位 V D D に接続され、 p M O S トランジスタ 8 3 のゲートが外部クロック C L K に接続されている。外部クロック C L K が低レベルのときには、 p M O S トランジスタ 8 3 がオンであるので、立ち下がり同期化インバータ 8 2 は通常のインバータとして機能する。外部クロック C L K が高レベルのときには、 p M O S トランジスタ 8 3 がオフであり、インバータ 4 6 の出力が入力の変化にตอบสนองしないので、外部クロック C L K が高レベルになる前のインバータ 4 6 の出力レベルを保持するために、インバータ 4 6 の出力端にインバータ 8 4 と 8 5 とが環状結合された保持回路が接続されている。

【 0 0 8 0 】

図 6 の回路の他の構成は、図 3 のそれと同一である。

10

【 0 0 8 1 】

図 7 は、図 6 の回路の動作を示すタイミングチャートである。

【 0 0 8 2 】

図 7 では、時点 t 1 の前にチップセレクト信号 * C S が低レベルで、これが D フリップフロップ 4 0 に保持され、その出力端 Q 及び * Q からのチップセレクト信号 * C S C 及び C S C がそれぞれ低レベル及び高レベルになっていて、 R S フリップフロップ 2 0 及び 3 0 がリセット状態である。したがって、イネーブル信号 * E N 1 及び * E N 2 が低レベルで、クロック入力回路 2 1、オアゲート 2 3、2 4、クロック入力回路 3 1、オアゲート 3 3 及び 3 4 が活性状態であり、内部クロック C L K 1 及び C L K 2 が動作し、アドレス・コマンド入力回路 2 2 及びデータ入力回路 3 2 が活性状態になっている。また、D フリップフロップ 4 0 の出力端 Q 及び * Q がそれぞれ低レベル及び高レベルであるので、 n M O S トランジスタ 4 4 及び p M O S トランジスタ 4 5 はオン、 n M O S トランジスタ 8 1 はオフになっている。D フリップフロップ 4 0 の出データ入力端 D 及び * D がそれぞれ低レベル及び高レベルであるので図 4 の n M O S トランジスタ 5 6 A 及び 5 6 B がそれぞれオフ及びオンになっている。

20

【 0 0 8 3 】

(t 1) 外部クロック C L K の立ち上がりにより、図 4 においてクロック入力端 C K が高レベルに遷移し、ノード N O 2 の電荷が n M O S トランジスタ 5 5 B、5 6 B 及び 5 2 を通ってグランド線へ引き抜かれる。これに対し、 n M O S トランジスタ 5 6 A 及び 5 7 A がオフであるので、ノード N O 1 は高レベルを維持している。

30

【 0 0 8 4 】

(t 2) チップセレクト信号 * C S が高レベルに遷移し、ツループバッファゲート 8 0 の出力 * C S M が高レベルに遷移し、図 4 中のノード N O 3 が高レベルに遷移して、 n M O S トランジスタ 5 6 A がオンになる。 n M O S トランジスタ 5 5 A がオフであるので、ノード N O 1 は高レベルを維持している。

【 0 0 8 5 】

(t 3) 外部クロック C L K が低レベルに遷移し、 p M O S トランジスタ 8 3 がオンになって、チップセレクト信号 * C S M がインバータ 4 6 で反転され、図 4 中のノード N O 4 が低レベルになって n M O S トランジスタ 5 6 B がオフになる。

【 0 0 8 6 】

40

(t 4) 内部クロック C L K 1 の立ち上がり同期して、アドレス A D D R 及びコマンド C M D がアドレス・コマンド入力回路 2 2 の D フリップフロップに保持される。

【 0 0 8 7 】

外部クロック C L K の立ち上がりによりチップセレクト信号 * C S の高レベルが D フリップフロップ 4 0 に保持され、出力端 Q 及び * Q がそれぞれ高レベル及び低レベルに遷移する。これにより、 R S フリップフロップ 2 0 がセットされてイネーブル信号 * E N 1 が高レベルに遷移し、クロック入力回路 2 1、オアゲート 2 3 及び 2 4 が不活性になる。 R S フリップフロップ 3 0 については、バースト信号 * B S T が低レベルであるので、イネーブル信号 * E N 2 の低レベルが維持され、データ入力回路 3 2 は活性状態を維持する。また、 n M O S トランジスタ 4 4 及び p M O S トランジスタ 4 5 がオフ、 n M O S トランジ

50

スタ 8 1 がオンになり、図 4 中のノード N O 3 が低レベルとなって n M O S トランジスタ 5 6 A がオフになる。

【 0 0 8 8 】

(t 5) 外部クロック C L K の立ち下がりにより、図 4 において p M O S トランジスタ 5 1 A 及び 5 1 B がオン、 n M O S トランジスタ 5 2 がオフになり、ノード N O 1 がプリチャージされ、増幅回路 5 3 が不活性になる。この状態では、 n M O S トランジスタ 5 6 A、5 7 A、5 6 B 及び 5 7 B がオフであるので、外部クロック C L K が動作してもノード N O 1 及び N O 2 のディスチャージが行われず、D フリップフロップ 4 0 での無駄な電力消費が防止される。

【 0 0 8 9 】

(t 6) バーストモードが終了してバースト信号 * B S T が高レベルに遷移し、これにより R S フリップフロップ 3 0 のセット入力端 S に供給されている高レベルが有効になり、イネーブル信号 * E N 2 が高レベルとなって、クロック入力回路 3 1、オアゲート 3 3 及び 3 4 が不活性化され、内部クロック C L K 2 の動作が停止する。その結果、不図示のコラムアドレス系回路が不活性になる。

【 0 0 9 0 】

(t 7) チップセレクト信号 * C S が立ち下がり、ツルバツファゲート 8 0 の出力 * C S M も立ち下がる。このとき、外部クロック C L K が高レベルで n M O S トランジスタ 5 2 がオンであっても、p M O S トランジスタ 8 3 がオフであるのでインバータ 4 6 の出力がハイインピーダンス状態になってノード N O 4 は低レベルを維持し、n M O S トランジスタ 5 6 B はオフを維持し、D フリップフロップ 4 0 はセット状態を維持する。したがって、チップセレクト信号 * C S の立ち下がりにより外部クロック C L K に同期せずにアドレス・コマンド入力回路 2 2 が活性化されて誤動作するのが防止される。

【 0 0 9 1 】

(t 8) 外部クロック C L K の立ち下がりにより p M O S トランジスタ 8 3 がオンになってインバータ 4 6 が活性化され、ノード N O 4 が高レベルに遷移し、n M O S トランジスタ 5 6 B がオンになる。これと同時に n M O S トランジスタ 5 2 がオフになるので、ノード N O 2 は高レベルを維持する。

【 0 0 9 2 】

(t 9) 外部クロック C L K の立ち上がりにより p M O S トランジスタ 5 1 A 及び 5 1 B がオフ、n M O S トランジスタ 5 2 がオンになって、ノード N O 2 の電荷が n M O S トランジスタ 5 5 B、5 6 B 及び 5 2 を通ってグランド線に引き抜かれ、ノード N O 1 と N O 2 の電位差が増幅回路 5 3 で増幅されてノード N O 2 が低レベルに遷移する。これにより、出力端 Q 及び * Q がそれぞれ低レベル及び高レベルに遷移し、R S フリップフロップ 2 0 及び 3 0 がリセットされて、イネーブル信号 * E N 1 及び * E N 2 が低レベルとなり、クロック入力回路 2 1、2 3、2 4、クロック入力回路 3 1、オアゲート 3 3 及び 3 4 が活性化される。

【 0 0 9 3 】

時点 t 9 は図 5 中の時点 t 6 に相当し、内部クロック C L K 1 が停止している点で図 5 の場合と異なる。しかし、次のクロック C L K の立ち上がりでは図 5 及び図 7 のいずれについても、内部チップセレクト信号 * C S C が活性で内部クロック C L K 1 が立ち上がるので、図 8 について後述するように、コマンド C M D のデコード開始時点は同じになる。

【 0 0 9 4 】

(t 1 0) バースト信号 * B S T が低レベルに遷移して、時点 t 1 の前と同じ状態になる。

【 0 0 9 5 】

本第 2 実施形態についても、上記第 1 実施形態と同様の効果が得られる。

【 0 0 9 6 】

[第 3 実施形態]

図 8 は、本発明の第 3 実施形態の S D R A M 1 1 B の概略構成を示すブロック図である。

10

20

30

40

50

【 0 0 9 7 】

入力回路 9 0 は、図 3 又は図 6 に示す回路を含んでいる。図 3 及び図 6 では簡単化のためにアドレス A D D R、コマンド C M D、データ D A T A 及びデータマスク D Q M が 1 ビットである場合を示しているが、入力回路 9 0 ではこれらがいずれも多ビットである。また、図 3 及び図 6 ではデータ出力回路が省略されているが、入力回路 9 0 にはデータ出力回路が含まれている。

【 0 0 9 8 】

ロウアドレス切換回路 9 1 は、アービター 9 2 からの制御信号にตอบสนองしてアドレス入力回路 9 3 又はリフレッシュアドレス発生回路 9 4 からのロウアドレスの一方を選択し、ロウデコーダ 9 5 へ供給する。アービター 9 2 は、先に活性化された入力を受け付け、同時の場合には、リフレッシュタイマ 9 6 から定期的には供給されるタイムアップ信号の活性化を優先的に受け付ける。アービター 9 2 は、タイムアップ信号の活性化を受け付けた場合、ロウアドレス切換回路 9 1 に対しリフレッシュアドレス発生回路 9 4 の出力を選択させる。

10

【 0 0 9 9 】

デコードイネーブル回路としての D フリップフロップ 4 0 N のデータ入力端 D 及びクロック入力端にはそれぞれ、入力回路 9 0 の * C S 入力回路及びクロック入力回路から内部チップセレクト信号 * C S C 及び内部クロック C L K 1 が供給され、D フリップフロップ 4 0 N の反転出力端 Q からイネーブル信号 E N 3 がコマンドデコーダに供給される。コマンド入力回路 9 7 からの信号がコマンドデコーダ 9 8 に供給され、イネーブル信号 E N 3 が

20

活性（高レベル）のとき、アクティベイトコマンド、リードコマンド、ライトコマンド又はプリチャージコマンド等のコマンドのデコードが行われる。すなわち、上述のように、内部チップセレクト信号 * C S C が活性のとき内部クロック C L K 1 の立ち上がりでコマンド C M D のデコードが行われる（コマンドデコーダ 9 8 が活性化される）。
、アクティベイトコマンドはアービター 9 2 に供給され、アービター 9 2 はこれを受け付けると、ロウアドレス切換回路 9 1 に対しアドレス入力回路 9 3 の出力を選択させる。ロウデコーダ 9 5 の出力によりメモリセル 1 0 0 内のワード線が選択されてそのセル行の内容がセンスアンプに保持される。

【 0 1 0 0 】

コラムアドレス切換回路 1 0 1 は、コマンドデコーダ 9 8 の出力がリードコマンド又はライトコマンドであることを示している場合には、アドレス入力回路 9 3 からのアドレスを列アドレスとして受け取り、バーストモードのときにはこれをバーストアドレス発生回路 1 0 3 のカウンタにロードさせる。このカウンタは、クロック入力回路からの内部クロック C L K 2 でインクリメントされる。コラムアドレス切換回路 1 0 1 は、バーストモードでない場合にはアドレス入力回路 9 3 の出力を選択し、バーストモードの場合にはバーストアドレス発生回路 1 0 3 の出力を選択して、コラムデコーダ 1 0 2 に供給する。コラムデコーダ 1 0 2 の出力によりメモリセル 1 0 0 内のコラムが選択される。

30

【 0 1 0 1 】

書き込みの場合には、入力回路 9 0 のデータ入力回路からのデータがリード・ライトアンプ 1 0 4 を介してメモリセル 1 0 0 内の選択された行及び列のセルに書き込まれ、読み出しの場合には、この選択されたメモリセルの内容がリード・ライトアンプ 1 0 4 及び入力回路 9 0 のデータ出力回路を介して外部に取り出される。

40

【 0 1 0 2 】

アービター 9 2 を用いてアドレス入力回路 9 3 とリフレッシュアドレス発生回路 9 4 の出力の一方をロウアドレス切換回路 9 1 で選択するのは、非同期型 R A M では公知であるが S D R A M では用いられていない。

【 0 1 0 3 】

本第 3 実施形態では、上記第 1 実施形態又は第 2 実施形態のような入力回路 9 0 を用い、かつ、リフレッシュタイマ 9 6 及びアービター 9 2 を用いており、チップセレクト信号 * C S により選択されていないチップは自動的にパワーダウン状態になるとともに自動的にリ

50

フレッシュが行われるので、非選択チップに対しては一切の注意を払う必要がなくなる。これにより、コマンド供給はアクセスしたいチップに対してのみ行えばよく、このようなSDRAMを用いたシステム設計が容易になるとともに、アクセスしたいチップに対するコマンド供給可能な時間が増えて、システムの高速化が可能となる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る、SDRAMコントローラと複数のSDRAMとの間の配線接続図である。

【図2】図1の回路の動作を示す概略タイミングチャートである。

【図3】図1中の1つのSDRAM内の入力回路を示す図である。

【図4】図3中のDフリップフロップの構成例を示す図である。

10

【図5】図3の回路の動作を示すタイミングチャートである。

【図6】本発明の第2実施形態のSDRAM内の入力回路を示す図である。

【図7】図6及び図4の回路の動作を示すタイミングチャートである。

【図8】本発明の第3実施形態のSDRAMを示す概略ブロック図である。

【図9】従来の、SDRAMコントローラと複数のSDRAMとの間の配線接続図である。

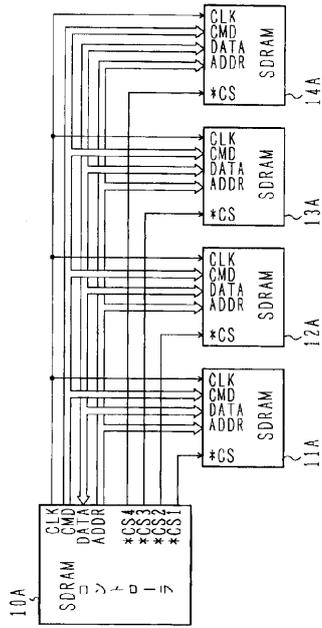
【図10】図9の回路の動作を示す概略タイミングチャートである。

【符号の説明】

10、10A	SDRAMコントローラ	
11～14、11A～14A	SDRAM	20
20、30	RSフリップフロップ	
21、23、24、31、33、34、43	オアゲート	
22	アドレス・コマンド入力回路	
25、26、35、36、40	Dフリップフロップ	
301、302、42	ノアゲート	
304、45、48、51A、51B、54A、54B、71B、72A、45、83	pMOSトランジスタ	
303、44、52、55A、55B、56A、56B、57A、57B、71A、72B、44、81	nMOSトランジスタ	
32	データ入力回路	30
41、41A	タイミング回路	
46、47、61A、61B、73、74、84、85	インバータ	
50、50A	ダイナミックフリップフロップ	
53	増幅回路	
60	相補化回路	
70	ラッチ回路	
80	ツルバツファゲート	
82	立ち下がり同期化インバータ	
90	入力回路	
*CS、CSSM、CSM、*CSC	チップセレクト信号	40
CLK	外部クロック	
CLK1、CLK2	内部クロック	
EN1、*EN1、*EN2	イネーブル信号	
*BST	バースト信号	
ADDR	アドレス	
CMD	コマンド	
DATA	データ	
DQM	データマスク	
NO1～NO4	ノード	

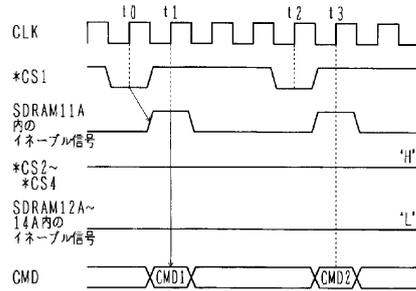
【図1】

本発明の第1実施形態に係る、SDRAMコントローラと複数のSDRAMとの間の配線接続図



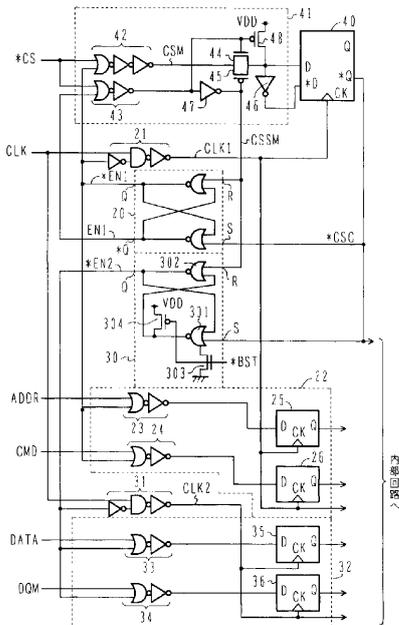
【図2】

図1の回路の動作を示す概略タイミングチャート



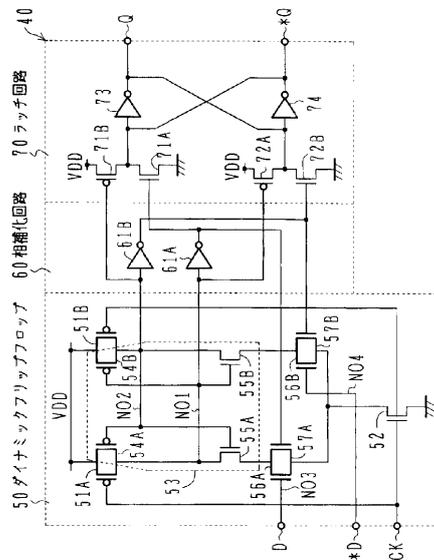
【図3】

図1中の1つのSDRAM内の入力回路を示す図

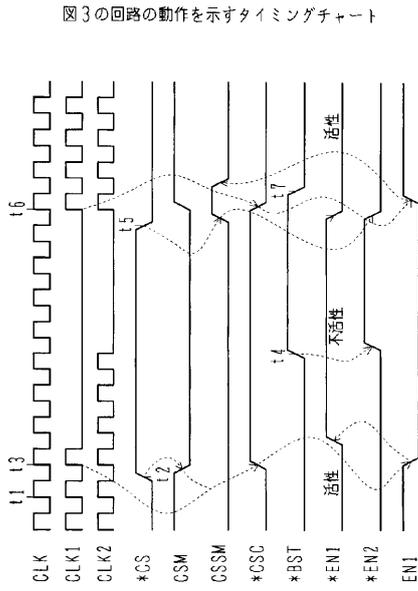


【図4】

図3中のDフリップフロップの構成例を示す図

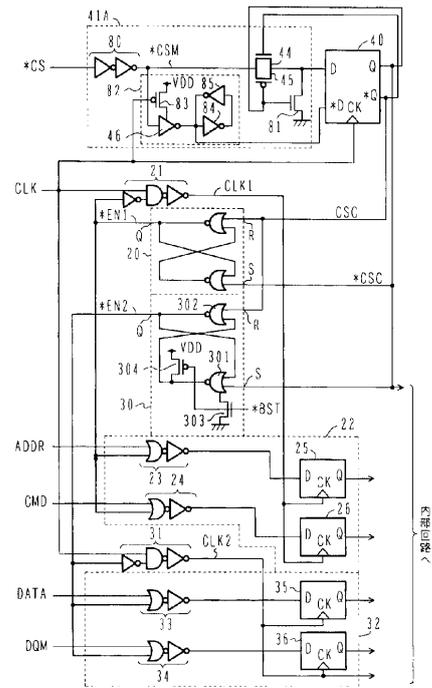


【図5】



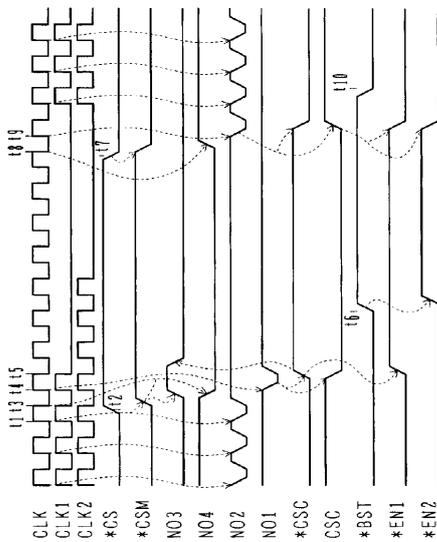
【図6】

本発明の第2実施形態のSDRAM内の入力回路を示す図



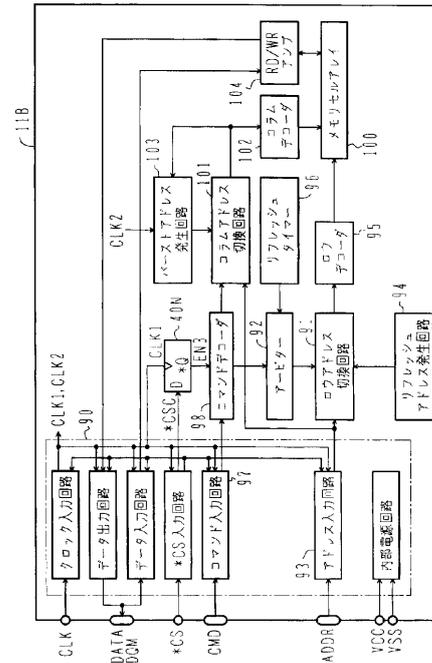
【図7】

図6及び図4の回路の動作を示すタイミングチャート



【図8】

本発明の第3実施形態のSDRAMを示す概略ブロック図



【図9】

【図10】

従来の、SDRAMコントローラと複数のSDRAMとの間の配線接続図

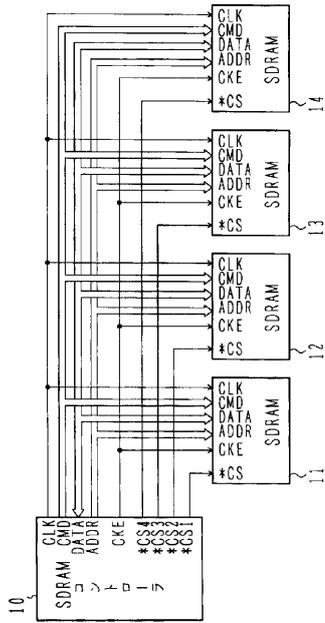
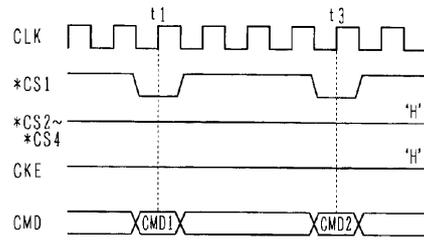


図9の回路の動作を示す概略タイミングチャート



フロントページの続き

- (56)参考文献 特開平 1 1 - 0 6 6 8 4 9 (J P , A)
特開平 1 0 - 2 4 0 3 7 2 (J P , A)
特開平 0 8 - 3 1 5 5 6 9 (J P , A)
特開平 0 9 - 1 9 8 8 7 5 (J P , A)
特開平 0 6 - 1 9 5 9 6 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

- G11C 11/407
G11C 11/406
G11C 11/4076
G11C 11/4093