



(12) 发明专利

(10) 授权公告号 CN 101442035 B

(45) 授权公告日 2011.03.16

(21) 申请号 200810233832.2

(22) 申请日 2008.12.14

(73) 专利权人 天水华天科技股份有限公司
地址 741000 甘肃省天水市秦州区双桥路
14号

(72) 发明人 郭小伟 慕蔚 李习周

(74) 专利代理机构 甘肃省知识产权事务中心
62100

代理人 鲜林

(51) Int. Cl.

H01L 23/488(2006.01)

H01L 23/495(2006.01)

H01L 21/50(2006.01)

审查员 王亮

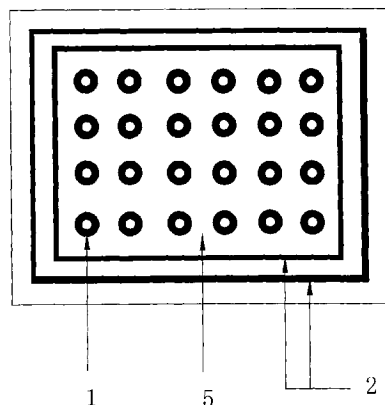
权利要求书 1 页 说明书 6 页 附图 5 页

(54) 发明名称

一种扁平无引线封装件及其生产方法

(57) 摘要

一种扁平无引线封装件及其生产方法,包括引线框架载体,载体上粘接 IC 芯片,引线框架载体的正面设有凹坑,正面周边设有两圈防水槽;引线框架载体的背面设有两圈防溢料槽。按晶圆减薄/划片、上芯、压焊、塑封、电镀、打印、切割入盘工艺方法生产。本发明增加了粘接胶与引线框架载体及 IC 芯片之间的结合力,消除和降低了 IC 芯片表面产生分层缺陷的几率。在载体边缘做出两圈防水槽,塑封料嵌入槽内可阻挡潮气向芯片浸入,在载体边缘有两圈防溢料槽,具有防分层缺陷、防潮、防溢料作用。成品率高、可靠性好、使用方便的。其工艺方法有效的提高了产品的可靠性和封装良率。



1. 一种扁平无引线封装件,包括引线框架载体,载体上粘接 IC 芯片,IC 芯片上的焊盘通过金线键合与引线框架的引线脚相连,构成电路信号和电流通道,其特征在于:所述引线框架载体(5)的正面设有凹坑(1),正面周边设有两圈防水槽(2);引线框架载体(5)的背面设有两圈防溢料槽(4)。

2. 根据权利要求1所述的一种扁平无引线封装件,其特征在于所述凹坑(1)由多个圆形或者梯形凹坑整齐排列分布。

3. 根据权利要求1所述的一种扁平无引线封装件,其特征在于所述凹坑(1)为一个长方形或正方形的凹坑。

一种扁平无引线封装件及其生产方法

技术领域

[0001] 本发明涉及集成电路封装技术领域,特别是能有效防止分层缺陷的一种扁平无引线封装件,本发明还包括该扁平无引线封装件的塑封生产方法。

背景技术

[0002] 封装过程中产生的分层缺陷已成为成品率下降、影响可靠性的主要因素之一,许多客户不仅要求产品要通过 MSL 3,而且要通过 MSL 2 考核,甚至提出 MSL1、无分层。另外由于 QFN 外观第一脚位置不易区分,对封装制造过程和客户使用带来了不必要的麻烦。

[0003] 普通的 QFN 封装主要存在以下不足:

[0004] 因为普通的 QFN 封装,只用于一般产品,没有高可靠性要求,所以使用的引线框架没有专门的防分层缺陷设计要求,使用的封装材料也是一般材料。同时,在制造过程中没有采取防分层缺陷工艺措施,所以存在以下不足:

[0005] 1、集成电路芯片和载体的结合力不好,当受外界环境变化的影响时,会造成产品内部产生分层缺陷,致使性能退化,甚至失效;

[0006] 2、载体背面和塑封料的结合力不好,当受外界环境的影响,会造成产品产生缺陷(分层);或外露载体(基岛)上有较厚的溢料,给后续去溢料带来困难,增加了产生分层缺陷的几率;

[0007] 3、QFN 外观第一脚位置不易区分,对封装制造过程和客户使用带来了不必要的麻烦。

发明内容

[0008] 本发明所要解决的技术问题在于克服上述 QFN 封装件的结构缺陷及制造过程中的不足,提供一种成品率高、可靠性好、使用方便的扁平无引线封装件及其生产方法。

[0009] 本发明采用下述技术方案解决其技术问题:

[0010] 一种扁平无引线封装件,包括引线框架载体,载体上粘接 IC 芯片,IC 芯片上的焊盘通过金线键合与引线框架的引线脚相连,构成电路信号和电流通道,所述引线框架载体的正面设有凹坑,正面周边设有两圈防水槽;引线框架载体的背面设有两圈防溢料槽。

[0011] 所述凹坑由多个圆形或者梯形凹坑整齐排列分布。

[0012] 所述凹坑为一个长方形或正方形的凹坑。

[0013] 所述引线框架载体的背面右下角设计为 45 度斜角,作为引线框架/电路 1 脚 PIN1 标记。

[0014] 上述扁平无引线封装件按下述工艺方法生产:

[0015] a、晶圆减薄/划片

[0016] 晶圆减薄/划片,0.75mm 厚度产品芯片厚度为 180 μm ,对于 0.50mm 厚度的封装晶圆,芯片厚度控制在 130 μm ~ 150 μm ,采用防碎片防翘曲工艺控制技术。

[0017] b、上芯

[0018] 上芯采用防分层缺陷框架或对框架的镀层和表面进行处理,所用的框架是铜剥离框架;导电胶选用低挥发物——高温烘烤后失重 $< 5\%$,低吸水率——封装后的产品在 85°C 、相对湿度 $85\% \text{ RH}$ 、吸水率 $< 0.35\%$,高粘度材料——粘接 $\geq 9000\text{CP}$;采用真空充氮烘箱或防分层专用烘箱,排风通畅,温度控制均匀, N_2 流量 $\geq 25\text{ml/分}$ 。

[0019] c、压焊

[0020] 衬底温度 $200^{\circ}\text{C} \sim 210^{\circ}\text{C}$,每条框架在轨道上停留时间3分钟 \sim 4分钟,防止框架氧化,预防分层产生。

[0021] d、塑封

[0022] 塑封料选用低应力、低吸水率、高粘度塑封料,模温 $175^{\circ}\text{C} \sim 185^{\circ}\text{C}$,注塑压力 $1600\text{psi} \sim 1800\text{psi}$,固化时间 $150\text{s} \sim 180\text{s}$ 。

[0023] e、电镀

[0024] 电镀工序去溢料,采用热煮软化和高压水冲击相结合的去溢料工艺,先将产品放入配有S700系列等化学材料的软化液槽中,软化时间控制在 $25\text{min} \sim 40\text{min}$ 内浸泡,软化后产品送到高压水去溢料机上,通过高压的压力和冲刷力,将泡软的溢料打掉,达到去溢料效果;电镀后烘烤2小时。

[0025] f、打印

[0026] 电镀完成后经烘烤后送打印,该扁平无引线封装打印与普通QFN生产相同。

[0027] g、切割入盘

[0028] 经打印的半成品送切割, 0.75mm 厚度产品切割入盘的方法同普通QFN生产。

[0029] 所述d塑封步骤中的所用塑封料的低应力为:填充料熔融型球形硅,线膨胀系数 $\alpha_1 \leq 1.3 \times 10^{-5}/^{\circ}\text{C}$;低吸水率为:封装后的产品在煮沸情况下,吸水率 $\leq 0.5\%$;高粘度为:粘度 $\geq 20\text{Pa} \cdot \text{S}$ 。

[0030] 所述g切割入盘步骤中对于 0.50mm 厚度产品,首先在普通切割机上切割,切割后在UV照射机上照射,降低载体背面的胶膜粘度,然后真空吸附分离入盘。

[0031] 本发明的结构特点为:采用具有防分层、防潮、防溢料设计的引线框架,在载体正面,采用冲压或蚀刻出多排圆形或梯形凹坑,增加了粘接胶与引线框架载体及IC芯片之间的结合力,消除和降低了IC芯片表面产生分层缺陷的几率。在载体边缘做出两圈防水槽,塑封料嵌入槽内可阻挡潮气向芯片浸入。在载体背面右下角有一 45° 斜角,作为PIN1的标记。并且在载体边缘有两圈防溢料槽,具有防分层缺陷、防潮、防溢料作用。

[0032] 本发明上芯使用防分层缺陷专用框架和低吸水率、低吸水性、高粘度材料,防缺陷(分层)技术,并且采用防分层缺陷专用烘箱烘烤,可避免上芯后烘烤框架氧化、上芯烘烤时因粘片胶中挥发物过多沾污芯片等缺点,有利于压焊,在塑封和后续加工减少了缺陷(分层)产生。压焊工序采用防缺陷(分层)键合工艺,严格控制了球焊的温度和框架在高温区停留的时间。塑封工序,选用低应力、高粘度、低吸水性材料,电镀工序采用热煮软化处理与高压水去溢料工艺,防止和杜绝了因去溢料而造成的产品管脚分层缺陷。该方法有效的提高了产品的可靠性和封装良率。

[0033] 本发明可靠性考核等级按MLSL 2标准,而普通QFN产品可靠性考核等级按MLSL 3标准。因此,本项目产品可靠性考核等级高于普通QFN,也就是说本方法生产提高了产品质量。

[0034] 本发明结构简单合理,具有成本低、防分层缺陷显著、可靠性高等优点,其封装的产品广泛用于便携式产品,如数据通讯(手机)、数码相机、MP3/4、PDA 等便携式电子产品和自动控制等领域。

附图说明

- [0035] 图 1 为本发明正面示意图;
[0036] 图 2 为本发明背面示意图;
[0037] 图 3 为正面为一个凹坑示意图;
[0038] 图 4 为 0.75mm 厚度封装产品剖面图;
[0039] 图 5 为 0.50mm 厚度封装产品剖面图。

具体实施方式

[0040] 本发明的扁平无引线封装件,包括引线框架载体 5、粘片胶 6、IC 芯片 7、键合金线引线 8、引线框架的引线脚 9 及塑封体 10。引线框架载体 5 上通过粘片胶,具体为导电胶或绝缘胶 6 粘接 IC 芯片 7, IC 芯片 7 上的焊盘 PAD 通过键合金、铝或铜线 8 与引线框架的引线脚 9 相连,构成电路的信号和电流通道。

[0041] 其第一种结构的引线框架载体 5 的正面整齐分布有多个凹坑 1,凹坑 1 可以是圆形,也可以是梯形。引线框架载体 5 正面周边设有两圈防水槽 2,背面设有两圈防溢料槽 4。引线框架载体 5 背面的右下角设计成一个 45 度斜角,作为 PIN 标记;该引线框架出厂时背面贴有普通胶膜。

[0042] 第二种结构的引线框架载体 5 正面有一长方形或正方形凹坑 1,凹坑 1 底面平整。引线框架载体 5 正面周边有两圈防水槽 2,背面也设有两圈防溢料槽 4。引线框架载体 5 背面的右下角设计成一个 45 度斜角,作为 PIN 标记。该引线框架出厂时背面贴有 UV 胶膜。

[0043] 第二种结构的扁平无引线框架适合于 0.50mm 厚度产品封装,封装产品满足超薄型产品的应用。

[0044] 本封装的生产方法如下:

[0045] 1、晶圆减薄/划片

[0046] 0.75mm 厚度的封装及生产方法的晶圆减薄同普通 QFN 塑封集成电路。先在晶圆正面贴上胶膜,然后在专用减薄机上进行减薄,晶圆减薄厚度控制在 $180\mu\text{m}$ 。

[0047] 对于 0.5mm 厚度封装的晶圆,芯片厚度控制在 $130\mu\text{m}\sim 150\mu\text{m}$,要采用防碎片、防翘曲减薄工艺控制技术,在来料晶圆厚度 + 胶膜厚度 $-50\mu\text{m}$ 厚度范围内采用粗磨,粗磨速度 $\leq 30\mu\text{m}/\text{min}$;在最终晶圆厚度 + 胶膜厚度 $+30\mu\text{m}$ 范围内采用细磨,细磨速度 $\leq 10\mu\text{m}/\text{min}$ 。在划片中,划片进刀速度 $\leq 10\text{mm}/\text{s}$,必要时采用双刀划片机。

[0048] 2、上芯

[0049] 上芯采用下述专用框架:

[0050] ①第一种结构的引线框架载体 5 正面有多排圆形或梯形凹坑 1,并在引线框架载体边缘有两圈防水槽 2;在载体背面右下角有一 45 度斜角,作为 PIN1 标记,并在载体边缘有两圈防溢料槽 4。同时该引线框架出厂时背面贴有普通胶膜。

[0051] ②第二种结构的引线框架载体 5 正面有一长方形或正方形凹坑 1,凹坑 1 底面平

整。在引线框架载体边缘有两圈防水槽 2。引线框架载体 5 背面的右下角设计成一个 45 度斜角,作为 PIN1 标记,并且背面设有两圈防溢料槽 4。同时该引线框架出厂时背面贴有 UV 胶膜。

[0052] 这样的框架具有防分层、防潮、防溢料作用。

[0053] ③导电胶即绝缘胶选用低挥发物、低吸水性、高粘度材料。低挥发物指材料高温烘烤后失重 $< 5\%$,以前采用普通材料,烘烤失重 $> 8\%$;低吸水性指封装后的产品在 85°C 、 $85\% \text{RH}$ 情况下吸水率 $< 0.35\%$,以前吸水率 $\geq 0.7\%$;高粘度指粘接 $\geq 9000\text{CP}$,以前是粘接 $\leq 8000\text{CP}$ 。

[0054] 过去上芯烘烤采用普通烘箱,排风不畅通,温度控制不均匀, N_2 流量最大 $15\text{ml}/\text{分}$ 。而本项目采用真空充氮烘箱或防缺陷(分层)专用烘箱,排风畅通,温度控制均匀, N_2 流量 $\geq 25\text{ml}/\text{分}$ 。

[0055] 此工艺可避免上芯烘烤后引线框架氧化、上芯烘烤时因粘接胶中挥发物过多沾污芯片表面等缺点造成压焊困难,塑封和后续加工产生缺陷(分层)。

[0056] 由于引线框架载体(基岛、PAD)5 正面有多排圆形或梯形凹坑 1,增加了作为粘接胶 6 的导电胶或绝缘胶与引线框架载体(基岛、PAD)5 及 IC 芯片 7 之间的结合力,消除和降低了 IC 芯片 7 表面产生分层缺陷的几率。引线框载体边缘有两圈防水槽,塑封料嵌入槽内可阻挡潮气向芯片浸入。

[0057] 第二种的引线框架载体 5 正面有一长方形或正方形凹坑 1,相对增加了塑封体厚度,可实现 0.5mm 厚度超薄型产品封装。

[0058] 3、压焊

[0059] 衬底温度调整到 $200^{\circ}\text{C} \sim 210^{\circ}\text{C}$,每条框架在轨道上停留时间为 4 分钟,防止框架氧化,预防缺陷(分层)产生。在通用压焊机上,采用金线或硅铝丝或铜线 8 通过球焊把 IC 芯片 7 上的焊盘(PAD)和引线框架的引线脚 9 相连,形成了电路的电源和信号通道。

[0060] 4、塑封、后固化

[0061] 塑封料选用低应力,填充料为熔融型球形硅,线膨胀系数 $\alpha_1 \leq 1.3 \times 10^{-5} 1/^{\circ}\text{C}$,低吸水性,封装后的产品在煮沸情况下,吸水率 $\leq 0.5\%$,普通产品吸水率 $\geq 1\%$ 、高粘度塑封料,粘度 $\geq 20\text{Pa. S}$,模温 $175^{\circ}\text{C} \sim 185^{\circ}\text{C}$,注塑压力 $1600\text{psi} \sim 1800\text{psi}$,固化时间 $150\text{s} \sim 180\text{s}$,保证固化充分,防止缺陷(分层)的产生。采用薄形单面封装防翘曲防溢料控制技术,后固化保证翘曲在合格范围。

[0062] 塑封好的产品送后固化,本项目后固化工艺同普通 QFN。

[0063] 5、电镀

[0064] 电镀工序去溢料,采用热煮软化和高压水冲击相结合的去溢料工艺。先将塑封后的产品装入专用特制的热煮篮,而后将产品放入配有 S700 系列等化学材料的软化液槽中,根据封装品种的不同,软化时间控制在 $25\text{min} \sim 40\text{min}$ 内浸泡。软化后产品送到高压水去溢料机上,通过高压的压力和冲刷力,将泡软的溢料打掉,从而达到去溢料的效果。并且电镀后烘烤时间为 2 小时,充分去除电镀过程中塑封体中渗入的水份。

[0065] 6、打印

[0066] 电镀完成后经烘烤后送打印,本项目打印与普通 QFN 生产相同。

[0067] 7、切割入盘

[0068] 经打印的半成品送切割,0.75mm 厚度产品切割入盘的方法同普通 QFN 生产。在通用 QFN 切割机上将单元封装产品切割成单个产品并入盘,切割入盘后经检验送包装测试。

[0069] 实施例 1

[0070] 1、晶圆减薄 / 划片

[0071] 0.75mm 厚度封装的晶圆减薄同普通 QFN 塑封集成电路。先在晶圆正面贴上胶膜,然后在专用减薄机上进行减薄,晶圆减薄厚度控制在 $180\ \mu\text{m}$ 。

[0072] 2、上芯

[0073] 上芯采用下述专用框架 :

[0074] 引线框架载体 5 正面有多排圆形或梯形凹坑 1,并在引线框架载体边缘有两圈防水槽 2 ;在载体背面右下角有一 45 度斜角,作为 PIN1 标记,并在载体边缘有两圈防溢料槽 4。同时该引线框架出厂时背面贴有普通胶膜。

[0075] 导电胶即绝缘胶选用高温烘烤后失重 $< 5\%$,在 85°C 、 $85\% \text{RH}$ 情况下吸水率 $< 0.35\%$,粘接 $\geq 9000\text{CP}$ 的材料。

[0076] 采用真空充氮烘箱,排风畅通,温度控制均匀, N_2 流量 $\geq 25\text{ml}/\text{分}$ 。

[0077] 3、压焊

[0078] 衬底温度调整到 200°C ,每条框架在轨道上停留时间为 3 分钟,防止框架氧化,预防缺陷 (分层) 产生。在通用压焊机上,采用金线或硅铝丝或铜线 8 通过球焊把 IC 芯片 7 上的焊盘 (PAD) 和引线框架的引线脚 9 相连,形成电路的电源和信号通道。

[0079] 4、塑封、后固化

[0080] 塑封料选用低应力,填充料为熔融型球形硅,线膨胀系数 $\alpha_1 \leq 1.3 \times 10^{-5} / ^\circ\text{C}$,低吸水性,封装后的产品在煮沸情况下,吸水率 $\leq 0.5\%$,普通产品吸水率 $\geq 1\%$ 、高粘度塑封料,粘度 $\geq 20\text{Pa} \cdot \text{S}$;模温 175°C ,注塑压力 1600psi ,固化时间 180s ,保证固化充分,防止缺陷 (分层) 的产生。塑封好的产品送后固化,本项目后固化工艺同普通 QFN。

[0081] 5、电镀

[0082] 电镀工序去溢料,采用热煮软化和高压水冲击相结合的去溢料工艺。先将塑封后的产品装入专用特制的热煮篮,而后将产品放入配有 S700 系列等化学材料的软化液槽中,根据封装品种的不同,软化时间控制在 25min 内浸泡。软化后产品送到高压水去溢料机上,通过高压的压力和冲刷力,将泡软的溢料打掉,从而达到去溢料的效果。并且电镀后烘烤时间为 2 小时,充分去除电镀过程中塑封体中渗入的水份。

[0083] 6、打印

[0084] 电镀完成后经烘烤后送打印,本项目打印与普通 QFN 生产相同。

[0085] 7、切割入盘

[0086] 经打印的半成品送切割,0.75mm 厚度产品切割入盘的方法同普通 QFN 生产。在通用 QFN 切割机上将单元封装产品切割成单个产品并入盘,切割入盘后经检验送包装测试。

[0087] 实施例 2

[0088] 1、晶圆减薄 / 划片

[0089] 对于 0.5mm 厚度封装的晶圆,芯片厚度控制在 $130\ \mu\text{m} \sim 150\ \mu\text{m}$,采用防碎片、防翘曲减薄工艺控制技术,在来料晶圆厚度 + 胶膜厚度 $-50\ \mu\text{m}$ 厚度范围内采用粗磨,粗磨速度 $\leq 30\ \mu\text{m}/\text{min}$;在最终晶圆厚度 + 胶膜厚度 $+30\ \mu\text{m}$ 范围内采用细磨,细磨速度 $\leq 10\ \mu\text{m}/\text{min}$ 。

min。在划片中,划片进刀速度 $\leq 10\text{mm/s}$,必要时采用双刀划片机。

[0090] 2、上芯

[0091] 上芯采用下述专用框架:

[0092] 引线框架载体 5 正面有一长方形或正方形凹坑 1,凹坑 1 底面平整。在引线框架载体边缘有两圈防水槽 2。引线框架载体 5 背面的右下角设计成一个 45 度斜角,作为 PIN1 标记,并且背面设有两圈防溢料槽 4。同时该引线框架出厂时背面贴有 UV 胶膜。

[0093] 导电胶即绝缘胶选用高温烘烤后失重 $< 5\%$,在 85°C 、 $85\% \text{RH}$ 情况下吸水率 $< 0.35\%$,粘接 $\geq 9000\text{CP}$ 的材料。

[0094] 采用防分层专用烘箱,排风畅通,温度控制均匀, N_2 流量 $\geq 25\text{ml/分}$ 。

[0095] 3、压焊

[0096] 衬底温度调整到 210°C ,每条框架在轨道上停留时间为 4 分钟,防止框架氧化,预防缺陷(分层)产生。在通用压焊机上,采用金线或硅铝丝或铜线 8 通过球焊把 IC 芯片 7 上的焊盘(PAD)和引线框架的引线脚 9 相连,形成电路的电源和信号通道。

[0097] 4、塑封、后固化

[0098] 塑封料选用低应力,填充料为熔融型球形硅,线膨胀系数 $\alpha_1 \leq 1.3 \times 10^{-5} 1/^\circ\text{C}$,低吸水性,封装后的产品在煮沸情况下,吸水率 $\leq 0.5\%$,普通产品吸水率 $\geq 1\%$ 、高粘度塑封料,粘度 $\geq 20\text{Pa}\cdot\text{S}$,模温 185°C ,注塑压力 1800psi ,固化时间 150s ,保证固化充分,防止分层的产生,采用薄形单面封装防翘曲防溢料控制技术,后固化保证翘曲在合格范围。

[0099] 5、电镀

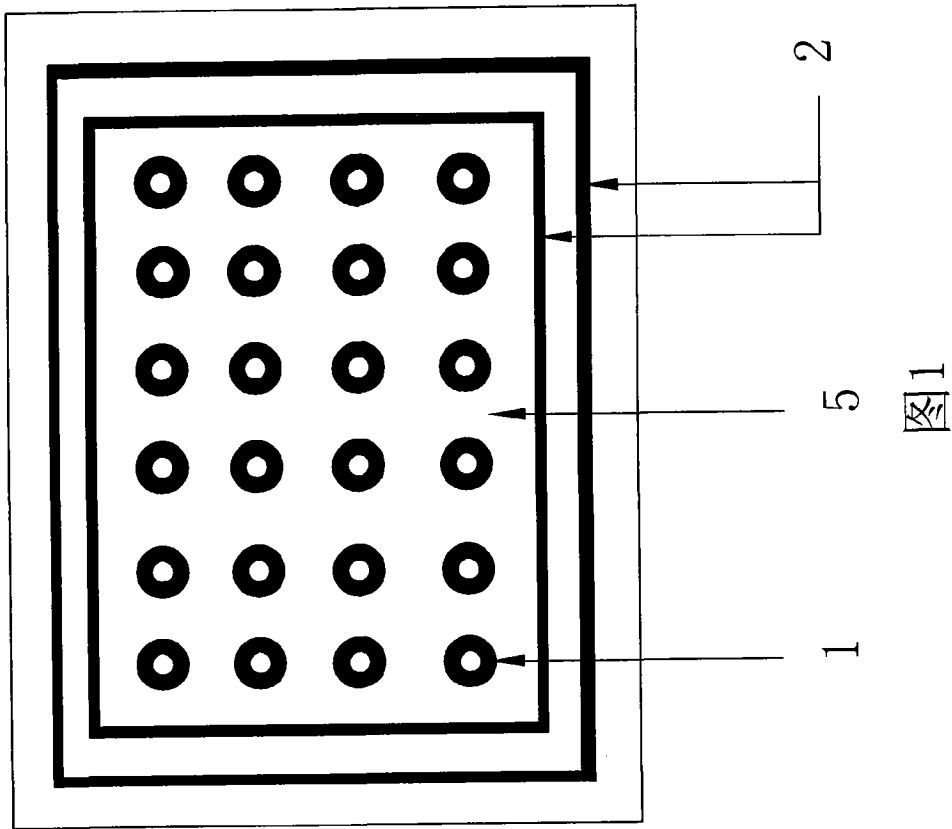
[0100] 电镀工序去溢料,采用热煮软化和高压水冲击相结合的去溢料工艺。先将塑封后的产品装入专用特制的热煮篮,而后再将产品放入配有 S700 系列等化学材料的软化液槽中,根据封装品种的不同,软化时间控制在 40min 内浸泡。软化后产品送到高压水去溢料机上,通过高压的压力和冲刷力,将泡软的溢料打掉,从而达到去溢料的效果。并且电镀后烘烤时间为 2 小时,充分去除电镀过程中塑封体中渗入的水份。

[0101] 6、打印

[0102] 电镀完成后经烘烤后送打印,本项目打印与普通 QFN 生产相同。

[0103] 7、切割入盘

[0104] 对于 0.50mm 厚度产品,首先在普通切割机上切割,切割后在 UV 照射机上照射,降低载体背面的胶膜粘度,然后真空吸附分离入盘。



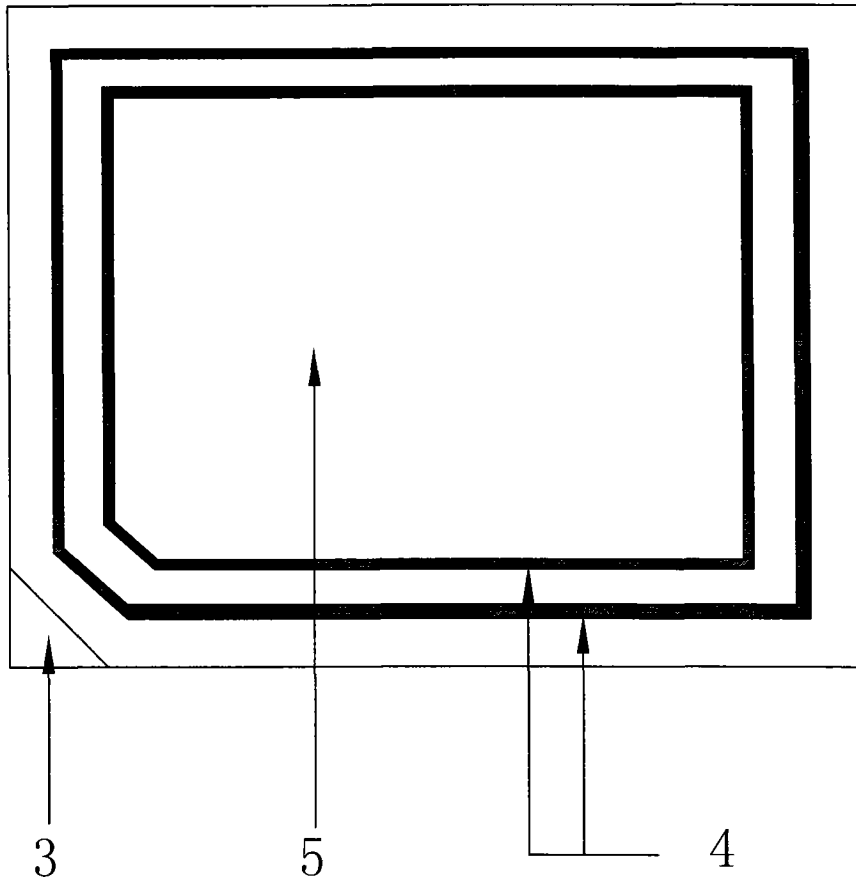


图2

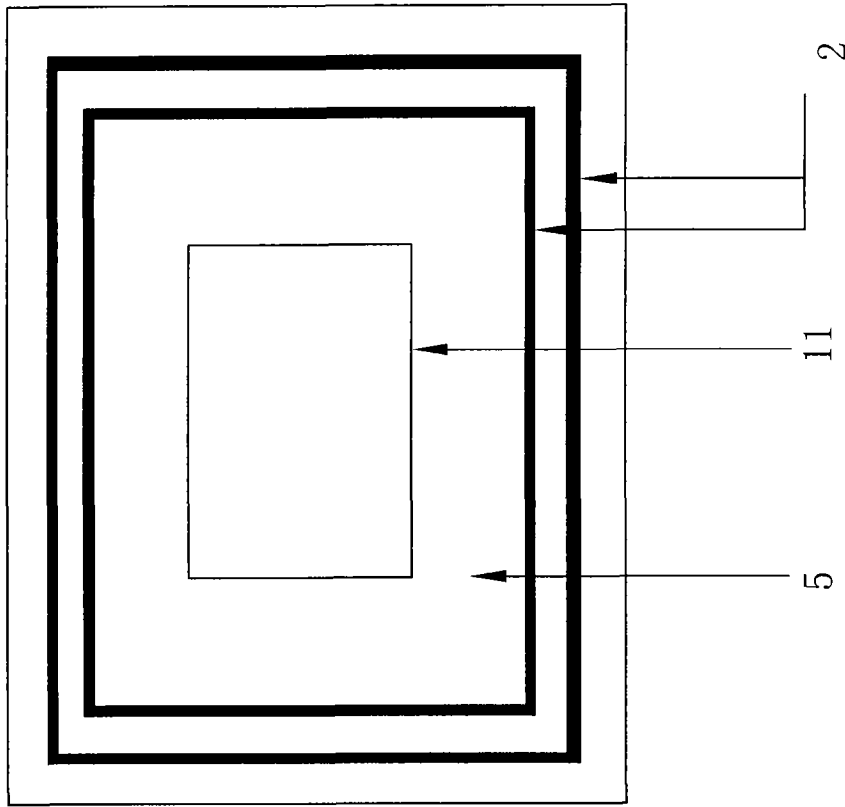


图3

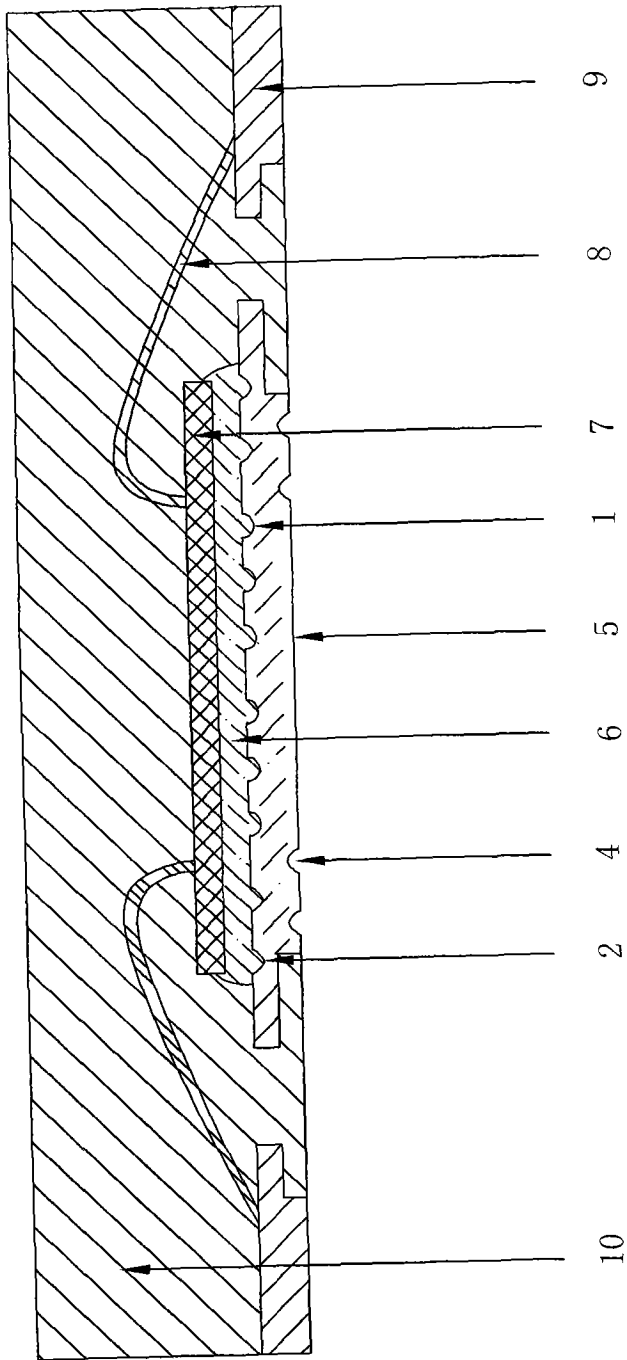


图4

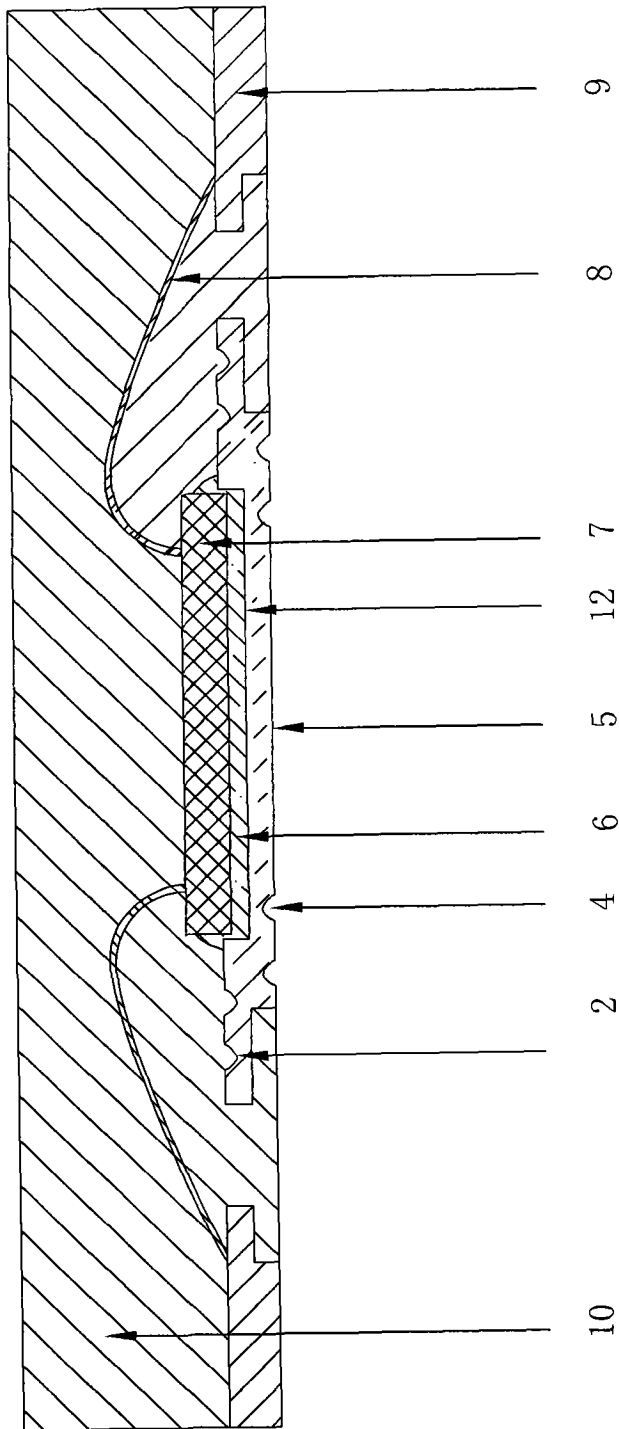


图5