

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-246358
(P2004-246358A)

(43) 公開日 平成16年9月2日(2004.9.2)

(51) Int. Cl.⁷

G09G 3/36
G02F 1/133
G09G 3/20
G11C 19/28
H03K 17/687

F I

G09G 3/36
G02F 1/133 505
G02F 1/133 550
G09G 3/20 622E
G09G 3/20 623H

テーマコード(参考)

2H093
5C006
5C080
5J055

審査請求 未請求 請求項の数 20 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2004-32839 (P2004-32839)
(22) 出願日 平成16年2月10日(2004.2.10)
(31) 優先権主張番号 2003-008081
(32) 優先日 平成15年2月10日(2003.2.10)
(33) 優先権主張国 韓国(KR)

(71) 出願人 390019839
三星電子株式会社
大韓民国京畿道水原市靈通区梅灘洞416
(74) 代理人 100094145
弁理士 小野 由己男
(74) 代理人 100106367
弁理士 稲積 朋子
(72) 発明者 姜 南 洙
大韓民国京畿道安山市四1洞プルンマウル
住公5団地アパート517棟704号
(72) 発明者 李 京 恩
大韓民国ソウル市江南区道谷1洞966番
地メボン三星アパート1706号

最終頁に続く

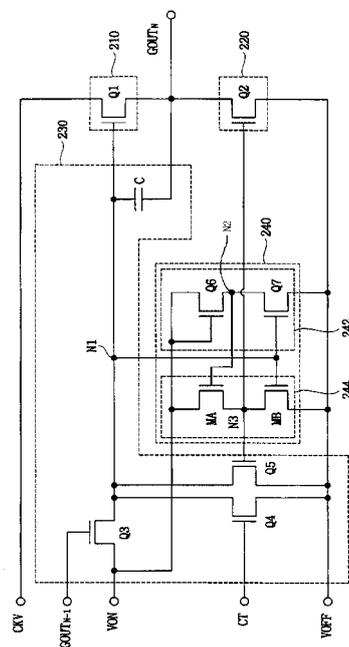
(54) 【発明の名称】 トランジスターの駆動方法及びシフトレジスタの駆動方法及びこれを実施するためのシフトレジスタ

(57) 【要約】

【課題】 電流駆動能力の低下を防止するための非晶質シリコン薄膜トランジスターの駆動方法及びシフトレジスタの駆動方法及びこれを実施するためのシフトレジスタを提供する。

【解決手段】 ドレイン、ソース及びゲートを有するトランジスターの駆動方法において、第1電源電圧をドレインに印加し、第2電源電圧をソースに印加し、該トランジスターの劣化により上昇したしきい値電圧をトランジスターが誤動作するしきい値電圧以下にするために一定周期にスイングする第3電源電圧をゲートに印加する。従って、トランジスターのゲートに一定周期にスイングするAC電源を印加することによってトランジスターが劣化されても正常的な電流駆動能力を保持することができる。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

第 1 電流電極、第 2 電流電極及び制御電極を有するトランジスタの駆動方法において、
 第 1 電源電圧を前記第 2 電流電極に印加し、第 2 電源電圧を前記第 1 電流電極に印加する段階と、
 所定の最大値と最小値を有して一定周期にスイングする第 3 電源電圧を前記制御電極に印加して前記トランジスタの劣化により上昇したしきい値電圧を前記トランジスタが誤動作する第 1 しきい値電圧以下にする段階と、を含むトランジスタの駆動方法。

【請求項 2】

前記第 3 電源電圧が印加された前記トランジスタの制御電極及び第 1 電流電極間の電圧の振幅は前記トランジスタの制御電極及び第 1 電流電極間の正常な第 2 しきい値電圧より少なくとも 2 倍以上であることを特徴とする請求項 1 記載のトランジスタの駆動方法。

【請求項 3】

クロック信号の入力を受けて複数のステージを有するシフトレジスタとを用いてゲートラインを駆動するシフトレジスタの駆動方法において、
 外部から提供される所定周期にスイングする第 1 電源電圧を充電させてゲートラインをプルアップさせる段階と、
 前記クロック信号の第 1 デューティ (duty) の間前記プルアップ状態を保持する段階と、
 前記クロック信号の第 1 デューティ (duty) サイクルの後前記ゲートラインのプルダウンを始め、前記充電された電圧に対して放電を始める段階と、
 所定の周期にスイングする電圧に応答して前記ゲートラインをプルダウンさせる段階と、

外部から提供される前記第 2 電源電圧によって前記プルダウン状態を保持する段階と、を含むシフトレジスタの駆動方法。

【請求項 4】

前記電圧は前記クロックの $1/2$ 周期を有してスイングすることを特徴とする請求項 3 記載のシフトレジスタの駆動方法。

【請求項 5】

前記電圧は前記クロックと同一な周期を有してスイングすることを特徴とする請求項 3 記載のシフトレジスタの駆動方法。

【請求項 6】

前記クロックが非アクティブ状態からアクティブ状態に遷移するとき 1 垂直時間から 1 水平時間を引いた時間の間、前記電圧のライジングエッジが前記クロックのライジングエッジと同期されて印加されることを特徴とする請求項 3 記載のシフトレジスタの駆動方法。

【請求項 7】

前記電圧のライジングエッジの最大値の位相が前記クロックのライジングエッジの最大値の位相より先立つことを特徴とする請求項 6 記載のシフトレジスタの駆動方法。

【請求項 8】

前記クロックが非アクティブ状態からアクティブ状態に遷移するとき 1 垂直時間から 2 水平時間を引いた時間の間、前記電圧のライジングエッジが前記クロックのライジングエッジと同期されて印加されることを特徴とする請求項 3 記載のシフトレジスタの駆動方法。

【請求項 9】

前記電圧のライジングエッジの最大値の位相が前記クロックのライジングエッジの最大値の位相より先立つことを特徴とする請求項 8 記載のシフトレジスタの駆動方法。

【請求項 10】

10

20

30

40

50

複数のステージが連結され、一番目のステージに入力端子には開始信号が入力され、各ステージの出力信号を順次的に出力するシフトレジスタにおいて、

前記シフトレジスタの奇数番目ステージには第1クロックと、前記第1クロックの充電時間を減少させるための第1制御信号が提供され、偶数番目ステージには前記第1クロックと位相が異なる第2クロックと、前記第2クロックの充電時間を減少するための第2制御信号が提供され、

前記各ステージは、

出力端子に前記第1及び第2クロックのうち対応するクロックを提供するプルアップ部と、

前記出力端子に第1電源電圧を提供するプルダウン部と、

前記プルアップ部の入力ノードに連結され、以前のステージのうちいずれか1つのステージの出力信号の先端に应答して前記プルアップ部をターンオンさせ、前記第1制御信号または前記第2制御信号の先端に应答して前記プルアップ部をターンオフさせるプルアップ駆動部と、

前記プルダウン部の入力ノードに連結され、一定周期にスイングする入力信号の先端に应答して前記プルダウン部をターンオフさせ、前記入力信号の後端に应答して前記プルダウン部をターンオンさせるプルダウン駆動部と、を含むシフトレジスタ。

【請求項11】

前記入力信号は前記クロックと実質的に同一な周期にスイングすることを特徴とする請求項10記載のシフトレジスタ。

【請求項12】

前記入力信号は前記クロック周期の1/2を周期にスイングすることを特徴とする請求項10記載のシフトレジスタ。

【請求項13】

前記プルダウン部は、第2電流電極が前記出力端に連結され、第1電流電極が前記第1電源電圧に連結されたプルダウントランジスターで構成され、

前記プルダウン駆動部は、前記プルダウントランジスターの制御電極に1垂直時間から2水平時間を引いた時間の間、前記入力信号に相応する周期的なパルス電圧を印加することを特徴とする請求項10記載のシフトレジスタ。

【請求項14】

前記プルダウン駆動部は、第2電流電極が前記プルアップ部の入力端に連結され、第1電流電極が前記第1電源電圧に連結されたホールドトランジスターを含み、

前記プルダウン駆動部は、前記ホールドトランジスターの制御電極に1垂直時間から1水平時間を引いた時間の間、前記入力信号に相応する周期的なパルス電圧を印加することを特徴とする請求項10記載のシフトレジスタ。

【請求項15】

前記プルダウン駆動部は、

前記入力信号を反転させるための反転部と、

前記反転された入力信号に应答して前記プルダウン部を駆動する劣化補償部を含むことを特徴とする請求項10記載のシフトレジスタ。

【請求項16】

前記反転部は、

制御電極と第2電流電極が共通連結され、前記共通連結された制御電極と第2電流電極を通じて前記入力信号の提供を受ける第1トランジスターと、

第2電流電極が前記第1トランジスターの第1電流電極に連結され、制御電極が前記劣化補償部に連結され、第1電流電極が前記第1電源電圧に連結された第2トランジスターと、を含む請求項15記載のシフトレジスタ。

【請求項17】

前記劣化補償部は、

第2電流電極が前記入力信号に連結され、制御電極が前記第1トランジスターのソース

10

20

30

40

50

に連結され、第 1 電流電極が前記プルダウン部の入力端に連結された第 1 補償トランジスタと、

第 2 電流電極が前記プルダウン部の入力端に連結され、制御電極が前記プルアップ部の入力端及び前記第 2 トランジスタの制御電極に連結され、第 1 電流電極が前記第 1 電源電圧に連結された第 2 補償トランジスタと、を含む請求項 16 記載のシフトレジスタ。

【請求項 18】

前記入力信号の振幅は前記ホールドトランジスタのしきい値電圧より 7 倍以上であることを特徴とする請求項 17 記載のシフトレジスタ。

【請求項 19】

前記入力信号の振幅は前記プルダウントランジスタのしきい値電圧より 7 倍以上であることを特徴とする請求項 17 記載のシフトレジスタ。 10

【請求項 20】

複数のステージが連結され、各ステージの出力信号を順次的に出力するシフトレジスタにおいて、

前記各ステージは、

出力端子に前記第 1 及び前記第 1 クロックと異なる位相を有する第 2 クロックのうち対応するクロックを提供するプルアップ部と、

前記出力端子に第 1 電源電圧を提供するプルダウン部と、

前記プルアップ部の入力ノードに連結され、以前のステージのうちいずれか 1 つのステージの出力信号の先端に応答して前記プルアップ部をターンオンさせ、前記第 1 制御信号または第 2 制御信号の先端に応答して前記プルアップ部をターンオフさせるプルアップ駆動部と、 20

前記プルダウン部の入力ノードに連結され、一定周期にスイングする入力信号の先端に応答して前記プルダウン部をターンオフさせ、前記入力信号の後端に応答して前記プルダウン部をターンオンさせるプルダウン駆動部と、を含むシフトレジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はトランジスタの駆動方法とシフトレジスタの駆動方法及びこれを実施するためのシフトレジスタに関するものであり、より詳細には、電流駆動能力の低下を防止するための非晶質シリコン薄膜トランジスタの駆動方法とシフトレジスタの駆動方法及びこれを実施するためのシフトレジスタに関するものである。 30

【背景技術】

【0002】

最近、液晶表示装置は T C P (T a p e C a r r i e r P a c k a g e) または C O G (C h i p O n G l a s s) などの方法によりゲート駆動 I C を装着している。しかし、製造原価や機構設計的な側面で前記した製品の構造には限界があるので、ゲート駆動 I C を利用しない構造である (以下、G A T E I C - L e s s 構造) を講究する。これは非晶質シリコン薄膜トランジスタ (以下、a - S i T F T) を利用した回路として、ゲート駆動 I C のような動作を実施するようにするものである。 40

【0003】

このための、a - S i T F T 回路が特許文献 1 だけでなく、特許文献 2 などに開示されている。特に、特許文献 2 で開示するシフトレジスタ回路は最も少ない数の 7 個のトランジスタと外部入力配線が可能であるように開発された。

【0004】

図 1 は一般のシフトレジスタを説明するための図面として、特許文献 2 で開示するゲートドライバー I C により動作するシフトレジスタのステージを説明する。

【0005】

図 1 に示すように、シフトレジスタの各ステージはプルアップ部 110、プルダウン部 120、プルアップ駆動部 130 及びプルダウン駆動部 140 を含み、スキャン開始信号 50

(STV)または以前ステージの出力信号に基づいてゲート信号(または走査信号)を出力する。ここで、ステージがシフトレジスタの一番目のステージである場合には、タイミング制御部(図示せず)から提供されるスキャン開始信号(STV)に基づいてゲート信号を出力し、その他のステージである場合には以前のステージから出力されるゲート信号に基づいてゲート信号を出力する。

【0006】

上述したシフトレジスタは次の図2のようにTFTパネル内に形成されてゲート駆動回路のような動作を実施することになる。

【0007】

図2は図1によるゲート駆動回路を説明するための図面である。

10

【0008】

図1及び図2に示すように、N個のゲート信号(または走査信号)(GOUT[1])、(GOUT[2])... (GOUT[N])を出力するゲート駆動回路174にはN個のステージが備えられる。

【0009】

一番目のステージはタイミング制御部(図示せず)から提供されるスキャン開始信号(STV)、タイミング制御部(図示せず)から提供されるゲートオン/オフ電圧(VON/VOFF)、それぞれ第1パワークロック(CKV)の提供を受けて一番目のゲートラインの選択のための第1ゲート信号(GOUT[1])を出力すると同時に二番目のステージの入力端(IN)に出力する。

20

【0010】

二番目のステージは以前のステージから提供される第1ゲート信号(GOUT[1])と、ゲートオン/オフ電圧(VON/VOFF)、それぞれ第2パワークロック(CKVB)の提供を受けて二番目のゲートラインの選択のための第2ゲート信号(GOUT[2])を出力すると同時に三番目のステージの入力端(IN)に出力する。

【0011】

前記方式に進行してN番目ステージはN-1番目ステージから提供される第(N-1)ゲート信号(GOUT[N-1])と、タイミング制御部(図示せず)から提供されるゲートオン/オフ電圧(VON/VOFF)、それぞれ第2パワークロック(CKVB)の提供を受けてN番目ゲートラインの選択のための第Nゲート信号(GOUT[N])を出力端子(OUT)を通じて出力する。

30

【0012】

図3は前記した図1及び図2による駆動波形を説明するための波形図である。

【0013】

図1乃至図3に示すように、前記したシフトレジスタ174は入力される2Hを1周期にして第1パワークロック(CKV)または第1パワークロック(CKV)に位相が反転する第2パワークロック(CKVB)のうちのいずれか一つの印加を受けて複数のゲート信号をTFT基板に形成されたゲートラインに順次に出力する。ここで、第1及び第2パワークロック(CKV、CKVB)はa-TFTを駆動するためにタイミングコントローラ(図示せず)の出力である0~3V振幅の信号を、例えば、-8乃至24V振幅の信号に増幅した信号である。

40

【0014】

一般に、a-Siトランジスタに具現されるプルアップ部110のNMOSトランジスタ(Q2)は電子移動度が極めて小さいので、大型TFT液晶表示装置を駆動するための高電圧振幅、例えば、20V~-14V程度のゲートパルスゲートラインに印加するためには相当に大きいサイズにならざるを得ないのである。特に、12.1インチ(30.734cm)を使用するXGA級の場合には、一つのゲートラインの寄生容量が250乃至300pF程度であり、これを最小デザインルールである4μmに設計したa-Siトランジスタに駆動するためには、チャンネル長さ(L)が4μmである時チャンネル幅(W)が5500μm程度が必要とされる。従って、ゲートラインを駆動するための

50

NMOSタイプのa-Siトランジスタ(Q2)の寄生容量であるゲートとドレインとの間の寄生容量(Cgd)は大きくなる。

【0015】

この場合、前記寄生容量(Cgd)の大きさは3pF程度として、a-Siトランジスタにより構成されるゲートドライバー回路の誤動作が問題である。これは前記寄生容量(Cgd)が高振幅、即ち、20V～14Vのパワークロック(CKVまたはCKVB)と連結されており、前記寄生容量(Cgd)が図3に示すようなカップリングキャパシタに動作してプルアップトランジスタ(Q2)のゲート電圧を発生するためである。例えば、カップリングキャパシタをゲートオフ電圧(VOFF)に保持させる手段がない場合には、前記プルアップトランジスタ(Q2)のゲート電圧は20V～14Vのパワークロック(CKVまたはCKVB)の電位になる。そして、出力が最大20Vでプルアップトランジスタ(Q2)のしきい値電圧(Vth)を減算した電圧が発生されて液晶パネルのゲートラインに印加されるので、異常表示現象が発生される。

10

【0016】

従って、a-Siトランジスタにより構成されるゲートドライバーICでは、ホールド機能を実施するトランジスタ(Q5)(以下、ホールドトランジスタと称する)とトランジスタ(Q2)が動作した後、大部分の時間の間スキャンパルスがゲートオフ電圧(VOFF)レベルになるように、プルダウン機能をするトランジスタ(Q3)(以下、プルダウントランジスタと称する)が必ず必要である。これにより、プルアップトランジスタ(Q2)のようにスキャンパルスを出力するトランジスタのゲートをゲートオフ電圧(VOFF)に保持させる。

20

【0017】

しかし、前記a-Siトランジスタは物理的にNタイプMOSFETのみで形成される特徴があるので、ホールドトランジスタ(Q5)には(1垂直同期時間-2水平同期時間)、プルダウントランジスタ(Q3)には(1垂直同期時間-1水平同期時間)を除外した大部分の時間の間、外部から印加されるDC電圧であるゲートオン電圧(VON)に比例するDC電圧が印加される。ここで、1垂直同期時間とは1フレームの開始始点を示す垂直同期信号(Vsync)間の時間間隔を示し、1水平同期時間とは1フレームの各々のラインの開始時点を示す水平同期信号(Hsync)間の時間間隔を示す。

【0018】

このように、従来にはa-SiトランジスタにゲートドライバーICを構成した時、プルダウントランジスタ(Q2)とホールドトランジスタ(Q5)のa-SiTFTのゲートとソースとの間の電圧(Vgs)が大部分の時間の間にDC-バイアスされて、劣化が発生する問題がある。

30

【0019】

一般に、a-Siトランジスタは進行性の劣化を有するので、ある程度の時間以上駆動していると、プルダウントランジスタ(Q2)とホールドトランジスタ(Q5)は駆動時に必要である最小限の電流駆動能力を消失して、画面を正常に表示できない問題が発生する。即ち、前記劣化によりトランジスタのしきい値電圧(Vth)が上昇し、ある程度以上のしきい値電圧(Vth)になると、正常に印加されるVgs電圧では該当a-Siトランジスタをターンオンさせることができなくなる。

40

【0020】

図4は一般のa-Siトランジスタのゲートとソースとの間の電圧により時間的に変化するしきい値電圧の変化量(Vth)を図示した波形図として、特に、トランジスタのゲートとソースとの間の電圧(Vgs)をDCとした時、該当トランジスタのしきい値電圧の変化量(Vth)が時間的に増加する波形図である。

【0021】

図4に示したように、a-Siトランジスタのゲートに持続的にDC電圧が印加されてゲートバイアスストレスが誘発されると、一定の時間が経過した後にトランジスタが劣化する。そして、前記劣化によるしきい値電圧の変化量(Vth)はDCで印加する

50

ゲートとソースとの間の電圧 (V_{gs}) に至って、前記ゲートとソースとの間の電圧 (V_{gs}) にはそれ以上の電流駆動能力が生じないことが分かる。

【特許文献1】米国特許第5、517、542号明細書

【特許文献2】米国特許第2002-149318号明細書

【発明の開示】

【発明が解決しようとする課題】

【0022】

本発明の目的は、非晶質シリコン薄膜トランジスタのゲートに印加されるゲートバイアスストレスによる電流駆動能力の低下を防止するためのトランジスタの駆動方法を提供することにある。

10

【0023】

本発明の他の目的は、ゲートバイアスストレスによる電流駆動能力の低下を防止するためのシフトレジスタの駆動方法を提供することにある。

【0024】

また、本発明の他の目的は、前記した駆動方法を実施するためのシフトレジスタを提供することにある。

【課題を解決するための手段】

【0025】

上述した目的を達成するための本発明によるトランジスタの駆動方法は、第1電流電極、第2電流電極、制御電極を有するトランジスタの駆動方法において、第1電源電圧を前記第2電流電極に印加し、第2電源電圧を前記第1電流電極に印加する段階と、前記トランジスタの劣化により上昇したしきい値電圧を前記トランジスタが誤動作するしきい値電圧以下にするために一定の周期にスイングする第3電源電圧を前記制御電極に印加する段階とを含んでなる。

20

【0026】

上述した他の目的を達成するための本発明によるシフトレジスタの駆動方法は、スキャン開始信号の入力により複数のステージを有するシフトレジスタを利用して複数のゲートラインを順次に駆動するシフトレジスタの駆動方法において、外部から提供される第1電源電圧を充電させてクロックの1デュティ間出力端子に連結されたゲートラインをプルアップさせる段階と、前記出力端子の出力信号によって前記プルアップ状態を保持する段階と、前記出力信号の後端に応答して前記ゲートラインのプルダウンをはじめ前記充電された電圧に対して放電を始める段階と、第2電源電圧に응答して前記ゲートラインをプルダウンさせる段階と、外部から提供される第3電源電圧によって前記プルダウン状態を保持する段階とを含んでなる。

30

【0027】

また、本発明の他の目的を達成するための本発明によるシフトレジスタは、複数のステージが連結され、一番目のステージには開始信号が入力端子に結合され、各ステージの出力信号を順次に出力するシフトレジスタにおいて、前記シフトレジスタの奇数番目ステージには第1クロックと、前記第1クロックの充電時間を減少させるための第1制御信号が提供され、偶数番目ステージには前記第1クロックと異なる位相を有する第2クロックと、前記第2クロックの充電時間を減少させるための第2制御信号が提供され、前記各ステージは、出力端子に前記第1及び第2クロックのうちの対応されるクロックを提供するプルアップ部と、前記出力端子に第1電源電圧を提供するプルダウン部と、前記プルアップ部の入力ノードに連結され、以前ステージのうち1つのステージの出力信号の先端に응答して前記プルアップ部をターンオンさせ、前記第1制御信号または第2制御信号の先端に응答して前記プルアップ部をターンオフさせるプルアップ駆動部と、前記プルダウン部の入力ノードに連結され、一定周期にスイングする入力信号の先端に응答して前記プルダウン部をターンオフさせ、前記入力信号の後端に응答して前記プルダウン部をターンオンさせるプルダウン駆動部とを含んでなる。

40

【0028】

50

また、上述した他の目的を達成するための本発明によるシフトレジスタは、複数のステージが連結され、各ステージの出力信号を順次に出力するシフトレジスタにおいて、前記各ステージは、出力端子に前記第1及び第1クロックと異なる位相を有する第2クロックのうちの対応されるクロックを提供するプルアップ部と、前記出力端子に第1電源電圧を提供するプルダウン部と、前記プルアップ部の入力ノードに連結され、以前ステージのうち、1つのステージの出力信号の先端にตอบสนองして前記プルアップ部をターンオンさせ、前記第1制御信号または第2制御信号の先端にตอบสนองして前記プルアップ部をターンオフさせるプルアップ駆動部と、前記プルダウン部の入力ノードに連結され、一定周期にスイングする入力信号の先端にตอบสนองして前記プルダウン部をターンオフさせ、前記入力信号の後端にตอบสนองして前記プルダウン部をターンオンさせるプルダウン駆動部とを含む。

10

【発明の効果】

【0029】

本発明によると、このようなシフトレジスタの駆動方法及びこれを実施するためのシフトレジスタによると、トランジスタのゲートに一定周期にスイングするAC電源を印加することにより、該当トランジスタが劣化されても正常的な電流駆動能力を保持することができる。

【発明を実施するための最良の形態】

【0030】

以下、図面を参照して本発明の望ましい一実施例をより詳細に説明する。

【0031】

以下、トランジスタの制御電極は例えばゲート電極を示し、トランジスタの第1電流電極はトランジスタソース電極（またはドレイン電極）示し、トランジスタの第2電流電極はトランジスタのドレイン電極（またはソース電極）示す。

20

【0032】

図5は本発明によるトランジスタの等価回路図であり、図6はトランジスタに印加されるゲート-ソース間電圧を説明するための波形図である。

【0033】

図5及び図6に示すように、本発明によるトランジスタのドレイン(D)にはドレイン電圧(V_d)が印加され、ソース(S)にはソース電圧(V_s)が印加され、ゲート(G)にはゲート電圧(V_g)が印加される。前記トランジスタを駆動するためにゲート電圧(V_g)が印加されると、前記ゲート電圧(V_g)とソース電圧(V_s)間の差電圧であるゲートとソースとの間の電圧(V_{gs})としきい値電圧(V_{th})との関係を通じて動作する。例えば、ゲートとソースとの間の電圧(V_{gs})が前記しきい値電圧(V_{th})より小さい場合にはターンオフ状態を保持し、前記しきい値電圧(V_{th})より大きいか、同一である場合にはターンオン動作を通じて前記ドレインに印加されるドレイン電圧を前記ソースに出力する。

30

【0034】

本発明では図6に図示したように、一定周期にスイングするゲートとソースとの間の電圧を付与することにより、該当トランジスタが劣化されても正常的な電流駆動能力を付与することができる。特に、スイングするゲートとソースとの間の電圧を発生させるための、一例として前記ゲート電圧は一定周期にスイングする電圧であることが望ましい。

40

【0035】

図6に示すように、周期的なパルス電圧形態のゲートとソースとの間の電圧(V_{gs_ac})が、トランジスタの最大値($Max(V_{gs})$)と最小値($Min(V_{gs})$)との間に位置するように設定する。よって、a-Siトランジスタのしきい値電圧が劣化される量、即ち、しきい値電圧の変化量(V_{th})がパルス電圧の算術平均値に比例してシフトされるので、該当トランジスタが劣化されても電流駆動能力を正常的に保持することができる。

【0036】

即ち、正常なしきい値電圧(V_{th0})を有するトランジスタに劣化が発生されて変

50

化量 (V_{th}) ほどしきい値電圧が上昇しても、次の数式 (1) のようにゲートとソースとの間の電圧の最大値 ($Max(V_{gs})$) より小さいので、該当トランジスタをターンオンさせることができ、これにより電流駆動能力を保持することができる。

$$Max(V_{gs}) - [V_{th0} + V_{th}] > 0 \quad \dots (1)$$

ここで、 V_{th0} は正常な a - Si トランジスタのしきい値電圧であり、 V_{th} は劣化後 a - Si トランジスタしきい値電圧 (V_{th}) と正常的なトランジスタのしきい値電圧間の差電圧である。

【 0 0 3 7 】

以上では a - Si トランジスタのゲートにパルスバイアス電圧を印加することにより、該当トランジスタが劣化されても正常に電流駆動能力を保持することを説明した。 10

【 0 0 3 8 】

前記パルス電圧をトランジスタのゲートに印加する概念を、a - Si トランジスタからなるゲートドライバー回路に適用した望ましい実施例について説明する。

【 0 0 3 9 】

まず、周期的なパルス電圧を a - Si トランジスタに印加しても動作することができる背景は次のようである。即ち、ゲートドライバー回路に備えられる a - Si トランジスタのプルダウントランジスタ (Q_2) は、[1 垂直時間 - 1 水平時間] の間に、つまり 1 垂直時間から 1 水平時間を引いた時間の間、パワークロック (CKV または $CKVB$) がローレベルからハイレベルに遷移した時、ターンオン状態になる。一方、ホールドトランジスタ (Q_5) は、[1 垂直時間 - 1 水平時間] の間にパワークロック (CKV または $CKVB$) がローレベルからハイレベルに遷移した時に、ターンオン状態になる。 20

【 0 0 4 0 】

図 7 は本発明によるシフトレジスタのステージを説明するための図面である。

【 0 0 4 1 】

図 7 に示すように、本発明によるシフトレジスタのステージはプルアップ部 2 1 0、プルダウン部 2 2 0、プルアップ駆動部 2 3 0 及びプルダウン駆動部 2 4 0 を含み、スキャン開始信号 (STV) または以前ステージの出力信号に基づいてゲート信号 (または走査信号) を出力する。ここで、ステージがシフトレジスタの一番目のステージである場合にはタイミング制御部 (図示せず) から提供されるスキャン開始信号 (STV) を基づいてゲート信号を出力し、その他のステージである場合には以前ステージから出力されるゲート信号に基づいてゲート信号を出力する。ここで、シフトレジスタのステージは複数の縦続連結されて、ゲートドライバー IC の動作を実施し、ゲートドライバー IC に対しては前述した図 2 で説明したので、その説明は省略する。 30

【 0 0 4 2 】

プルアップ部 2 1 0 はパワークロック (CKV または $CKVB$) にドレインが連結され、第 1 ノード (N_1) にゲートが連結され、出力端子 (OUT) にソースが連結されたプルアップ NMOS トランジスタ (Q_1) により構成される。

【 0 0 4 3 】

プルダウン部 2 2 0 は出力端子 (OUT) にドレインが連結され、プルダウン駆動部 2 4 0 にゲートが連結され、ソースがゲートオフ電圧 (V_{OFF}) に連結されたプルダウン NMOS トランジスタ (Q_2) により構成される。 40

【 0 0 4 4 】

プルアップ駆動部 2 3 0 はキャパシター (C)、NMOS トランジスタ ($Q_3 \sim Q_5$) により構成される。具体的に、キャパシター (C) は第 1 ノード (N_1) と出力端子 (OUT) との間に連結される。NMOS トランジスタ (Q_3) は第 2 電源電圧 (V_{ON}) にドレインが連結され、以前のステージの出力端子 ($GOUT[N-1]$) にゲートが連結され、第 1 ノード (N_1) にソースが連結される。NMOS トランジスタ (Q_4) は第 1 ノード (N_1) にドレインが連結され、制御端子 (CT) にゲートが連結され、ソースがゲートオープン電圧 (V_{OFF}) に連結される。NMOS トランジスタ (Q_5) は第 1 ノード (N_1) にドレインが連結され、プルダウン NMOS トランジスタ (Q_2) 50

)のゲートにゲートが連結され、ゲートオープン電圧(VOFF)にソースが連結される。

【0045】

プルダウン駆動部240は2つのトランジスタ(Q6、Q7)からなる反転部242と、二つのトランジスタ(MA、MB)からなる劣化補償部244からなる。ここで、反転部242は入力される信号を反転し、劣化補償部244はその反転された入力信号にตอบสนองしてプルダウントランジスタ(Q2)を駆動する。具体的に、NMOSTランジスタ(Q6)はゲートとドレーンとが共通連結され、ゲートオン電圧(VON)に連結される。NMOSTランジスタ(Q7)はドレーンがNMOSTランジスタ(Q6)のソースに連結され、ゲートが第1ノード(N1)を経てNMOSTランジスタ(Q3)のソースに連結され、ソースがゲートオフ電圧(VOFF)に連結される。NMOSTランジスタ(MA)はドレーンがゲートオン電圧(VON)に連結され、ゲートが第2ノード(N2)を経てNMOSTランジスタ(Q6)のソース及びNMOSTランジスタ(Q7)のドレーンに連結され、MAのソースが第3ノード(N3)を通じてプルダウントランジスタ(Q2)とホールドNMOSTランジスタ(Q5)のゲートに連結される。NMOSTランジスタ(MB)はドレーンが第3ノード(N3)を通じてプルダウンNMOSTランジスタ(Q2)とホールドNMOSTランジスタ(Q5)のゲートに連結され、ゲートが第1ノード(N1)に連結され、ソースがゲートオフ電圧(VOFF)に連結される。

10

【0046】

特に、劣化補償部244は一定周期でスイングする電圧をプルダウントランジスタ(Q2)とホールドトランジスタ(Q5)のゲート各々に印加する。

20

【0047】

前述した図面を利用して駆動動作を説明する。

【0048】

まず、ゲートオン電圧(VON)が入力信号として印加される入力端子に最大のゲートオン電圧(Max(VON))が印加されると、NMOSTランジスタ(Q6)はターンオン状態となる。よって、トランジスタ(MA)のゲートのキャパシタには次の数式(2)のような電圧が充電される。

$$V(MA_Gate) = Max(VON) - V_{th}(Q6) \quad \dots (2)$$

30

前述した数式(2)の電圧がトランジスタ(MA)のゲートキャパシタに充電されるにつれて、プルダウントランジスタ(Q2)とホールドトランジスタ(Q5)のゲートのノードである第3ノード(N3)には次の数式(3)の電圧が発生される。

$$\begin{aligned} V(N3) &= V(MA_Gate) - V_{th}(MA) \\ &= Max(VON) - V_{th}(Q6) - V_{th}(MA) \quad \dots (3) \end{aligned}$$

一方、ゲートオン電圧(VON)が印加される入力端子に最小のゲートオン電圧(Min(VON))が印加されると、トランジスタ(Q6)には逆方向に電圧が印加される。よって、Q6はターンオフされ、フローティング状態のトランジスタ(MA)のゲートキャパシタ電圧は、トランジスタ(MA)のドレーン電圧と第3ノード(N3)に印加される電圧によりカップリングされて段々下降する。ここで、最小のゲートオン電圧(Min(VON))は、第3ノード(N3)に印加される電圧より小さい状態であるので、 $V(MA_Gate) > Min(VON) + V_{th}(MA)$ の条件により第3ノード(N3)の電圧は放電されることになる。

40

【0049】

トランジスタ(MA)のゲートの総寄生キャパシタンスの1/2値がゲートとソースとの間のキャパシタンスと同一であり、ゲートとソースとの間の寄生キャパシタンスがゲートとドレーンとの間の寄生キャパシタンスと同一な対称構造を有するとする。この場合、最小のゲートオン電圧(Min(VON))が入力信号として印加された時、第3ノード(N3)の電圧(V(N3))は、トランジスタ(MA)のゲート電圧(V(MA_Gate))が前記最小のゲートオン電圧(Min(VON))にトランジスタ(MA

50

)のしきい値電圧 ($V_{th}(MA)$) を足した値になるまで放電することになる。つまり、次の数式 (4) の関係となる。

$$V(N3) = \text{Min}(VON) + 3 \times V_{th}(MA) \quad \dots (4)$$

前記数式 (3) と数式 (4) による電圧状態がプルダウントランジスター (Q2) またはホールドトランジスター (Q5) のゲートに印加される電圧として本発明の目的を達成するためには、次のような条件を満足しなければならない。

【0050】

即ち、ゲート-ソース間電圧 (V_{gs}) の最大値は次の数式 (5) のように、正常なトランジスターのしきい値電圧 (V_{tho}) と劣化される量である差電圧 (V_{th}) との合計より大きくなければ、該当トランジスターのターンオン状態が保持されない。ここで、差電圧 (V_{th}) は正常なトランジスターのしきい値電圧 (V_{tho}) と劣化後のトランジスターのしきい値電圧 (V_{th}) 間の差電圧である。

$$\text{Max}(V_{gs}) - [V_{tho} + V_{th}] > 0 \quad \dots (5)$$

また、差電圧 (V_{th}) が最大のゲート-ソース間電圧と最小のゲート-ソース間の電圧との算術平均値 [$(\text{Max}(V_{gs}) + \text{Min}(V_{gs})) / 2$] に至る時にも、前記プルダウントランジスター (Q2) やホールドトランジスター (Q5) がターンオン状態保持発生されなければならないので、次の数式 (6) を満足しなければならない。

$$\text{Max}(V_{gs}) - [\{\text{Max}(V_{gs}) + \text{Min}(V_{gs})\} / 2 + V_{tho}] > 0$$

$$\{\text{Max}(V_{gs}) - \text{Min}(V_{gs})\} / 2 > V_{tho}$$

$$\text{Max}(V_{gs}) - \text{Min}(V_{gs}) > 2 \times V_{tho} \quad \dots (6)$$

前記数式 (6) によると、本発明によるゲートとソースとの間の電圧は正常なトランジスターのしきい値電圧より少なくとも2倍以上の振幅を有するように印加されることにより、プルダウントランジスター (Q2) またはホールドトランジスター (Q5) に劣化が発生されても正常に電流駆動能力を有するようにプルダウントランジスター (Q2) またはホールドトランジスター (Q5) のゲートに電圧を発生させることができる。

【0051】

一方、ゲートとソースとの間の電圧の最大値 ($\text{Max}(V_{gs})$) は、次の数式 (7) に示す電圧である。つまり、数式 (3) からゲートオフ電圧 (V_{OFF}) を減算した電圧である。また、次の数式 (8) のように、ゲートとソースとの間の電圧の最小値 ($\text{Min}(V_{gs})$) は、数式 (4) でゲートオフ電圧 (V_{OFF}) を減算した電圧である。

$$\text{Max}(V_{gs}) = \text{Max}(VON) - V_{th}(Q6) - V_{th}(MA) - V_{OFF}$$

... (7)

$$\text{Min}(V_{gs}) = \text{Min}(VON) + 3 \times V_{th}(MA) - V_{OFF} \quad \dots (8)$$

前記数式 (7) と数式 (8) を前記数式 (6) に代入させて一つの式に整理すると、次の数式 (9) のようである。

$$[\text{Max}(VON) - V_{th}(Q6) - V_{th}(MA) - V_{OFF}] - [\text{Min}(VON) + 3 \times V_{th}(MA) - V_{OFF}] > 2 \times V_{tho} \quad (9)$$

前記数式 (9) を簡単にするために、トランジスター (Q6) のしきい値電圧 ($V_{th}(Q6)$) とトランジスター (MA) のしきい値電圧 ($V_{th}(MA)$) と該当トランジスターの正常なしきい値電圧 (V_{tho}) が同一であると仮定すると、次の数式 (10) が得られる。

$$\text{Max}(VON) - \text{Min}(VON) > 7 \times V_{tho} \quad (10)$$

前記数式 (10) によると、外部からゲートオン電圧 (VON) を入力信号に印加する時、トランジスター (プルダウントランジスター (Q2) またはホールドトランジスター (Q5)) の正常なしきい値電圧 (V_{tho}) の7倍以上に該当する振幅を有するパルス電圧を印加することにより、プルダウントランジスター (Q2) またはホールドトランジスター (Q5) に劣化が発生されても正常に電流駆動能力を有するように、プルダウントランジスター (Q2) またはホールドトランジスター (Q5) のゲート電圧を発生させることができる。

【0052】

10

20

30

40

50

プルダウントランジスタ（Q2）とホールドトランジスタ（Q5）のゲートに印加される電圧、即ち、一定周期でスイングする電圧に対してより詳細に説明する。

【0053】

図8は本発明により印加されるゲートとソースとの間の電圧の一例を説明するための波形図である。図8に示すように、プルダウントランジスタ（Q2）またはホールドトランジスタ（Q5）のゲートとソースとの間の電圧はクロックの1/2周期、即ち、1Hを周期にローレベルとハイレベルを反復するスイング電圧である。即ち、ゲートとソースとの間の電圧は、パワークロックがローレベルからハイレベルにライジングすることに同期されてライジング（rising）する。また、パワークロックのH/2時点でハイレベルからローレベルにフォールディング（falling）して、前記パワークロックがハイレベルからローレベルにフォールディングすることに同期されてゲートとソースとの間の電圧はライジングする動作を反復する。勿論、ここでゲートとソースとの間の電圧の振幅はプルダウントランジスタ（Q2）やホールドトランジスタ（Q5）が劣化される前の正常なしきい値電圧の2倍以上を有することが望ましい。

10

【0054】

以上、説明した本発明の一実施例によると、振幅がトランジスタの正常なしきい値電圧の2倍以上であり、周期がパワークロック周期の1/2である1Hであり、パワークロックが遷移する時、最大値を有するゲートとソースとの間の電圧（Vgs）がプルダウントランジスタ（Q2）またはホールドトランジスタ（Q5）に印加されるようにすることにより、プルダウントランジスタ（Q2）またはホールドトランジスタ（Q5）が劣化されてもターンオンされて電流駆動能力を保持することができる。

20

【0055】

図9は本発明による印加されるゲートとソースとの間の電圧の他の一例を説明するための波形図である。

【0056】

図9に示すように、プルダウントランジスタ（Q2）またはホールドトランジスタ（Q5）のゲートとソースとの間の電圧はクロック周期と同一である周期、即ち、前記2Hを周期にローレベルとハイレベルを反復するスイング電圧である。即ち、ゲート-ソース間電圧はパワークロックがローレベルからハイレベルにライジングすることが同期されてライジングし、前記パワークロックがハイレベルからローレベルにフォールディングすることが同期されてフォールディングする動作を反復する。勿論、ここで、前記ゲート-ソース間の振幅はプルダウントランジスタ（Q2）やホールドトランジスタ（Q5）が劣化される前の正常なしきい値電圧の2倍以上を有することが望ましい。

30

【0057】

図8及び図9に示すように、前記ゲートとソースとの間の電圧は前記パワークロックに同期されて前記ゲートとソースとの間の電圧のライジングエッジで最大値の位相は前記クロックのライジングエッジでの最大値の位相と同一であることができる。

【0058】

また、図10及び図11に示すように、前記ゲートとソースとの間の電圧のライジングエッジでの最大値の位相は前記クロックのライジングエッジでの最大値の位相より速くすることができる。

40

【0059】

以上で説明した本発明の他の実施例によると、振幅がトランジスタの正常なしきい値電圧の2倍以上であり、周期がパワークロック周期と同一である2Hであり、プルアップトランジスタのドレインに印加されるパワークロックがローレベルからハイレベルに遷移する時に最大値を有するゲートとソースとの間の電圧（Vgs）がプルダウントランジスタ（Q2）またはホールドトランジスタ（Q5）に印加されるようにすることで、プルダウントランジスタ（Q2）またはホールドトランジスタ（Q5）が劣化されてもターンオンされて電流駆動能力を保持することができる。

【0060】

50

以上、説明したように、本発明によると、振幅がトランジスタの正常なしきい値電圧の2倍以上であり、周期がパワークロック周期の1/2である1Hであり、パワークロックが遷移する時に最大値を有するゲートとソースとの間の電圧をプルダウントランジスタまたはホールドトランジスタに印加することにより、プルダウントランジスタまたはホールドトランジスタが劣化されても、ターンオンされて電流駆動能力を保持することができる。

【0061】

また、振幅がトランジスタの正常なしきい値電圧の2倍以上であり、周期がパワークロック周期と同一な2Hであり、プルアップトランジスタのドレインに印加されるパワークロックがローレベルからハイレベルに遷移する時に最大値を有するゲートとソースとの間の電圧をプルダウントランジスタまたはホールドトランジスタに印加されるようにすることにより、プルダウントランジスタまたはホールドトランジスタが劣化されてもターンオンされて電流駆動能力を保持することができる。

10

【0062】

本発明は液晶表示パネルのゲートラインを駆動するためのシフトレジスタ及び有機ELディスプレイパネルのゲートラインを駆動する場合に適用することができる。

【0063】

以上、本発明の実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れることなく、本発明を修正または変更できるであろう。

20

【図面の簡単な説明】

【0064】

【図1】一般のシフトレジスタを説明するための図面である。

【図2】図1によるゲート駆動回路を説明するための図面である。

【図3】図1及び図2による駆動波形を説明するための波形図である。

【図4】一般のa-Siトランジスタのゲートとソースとの間の電圧により時間的に変化するしきい値電圧の変化量を図示した波形図である。

【図5】本発明によるトランジスタの等価回路図である。

【図6】前述したトランジスタに印加されるゲートとソースとの間の電圧を説明するための波形図である。

30

【図7】本発明によるシフトレジスタのステージを説明するための図面である。

【図8】本発明により印加されるゲートとソースとの間の電圧の一例を説明するための波形図である。

【図9】本発明により印加されるゲートとソースとの間の電圧の他の一例を説明するための波形図である。

【図10】本発明により印加されるゲートとソースとの間の電圧のまた他の一例を説明するための波形図である。

【図11】本発明により印加されるゲートとソースとの間の電圧のまた他の一例を説明するための波形図である。

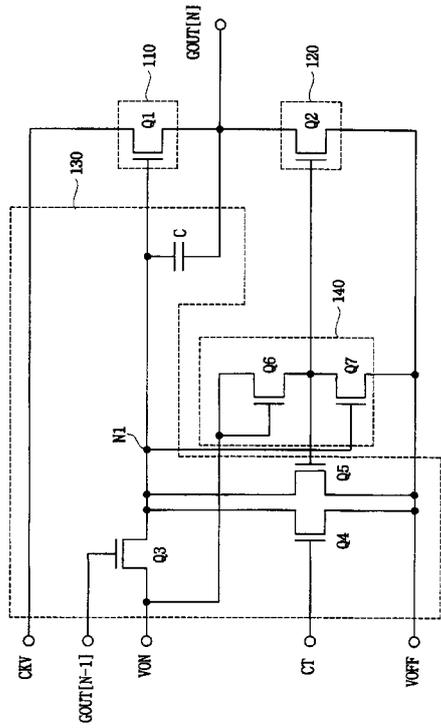
【符号の説明】

40

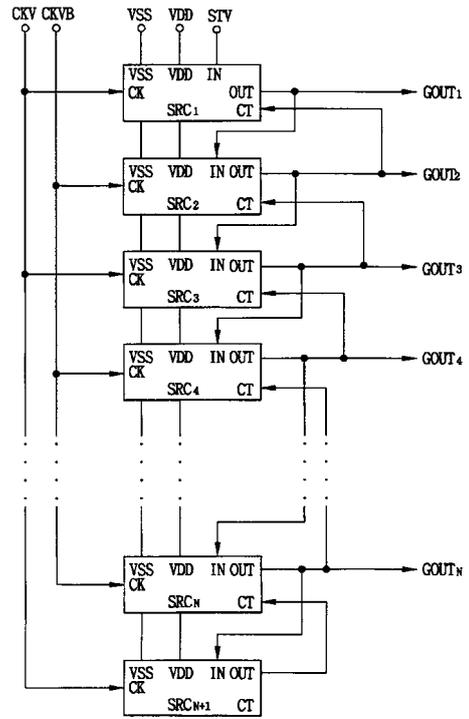
【0065】

110、210 プルアップ部
 120、220 プルダウン部
 130、230 プルアップ駆動部
 140、240 プルダウン駆動部
 242 反転部
 244 劣化補償部

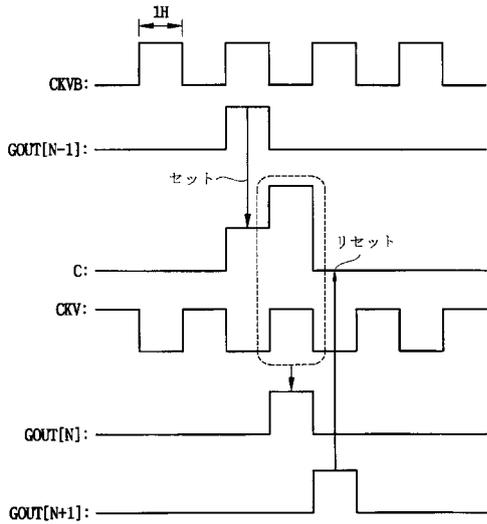
【 図 1 】



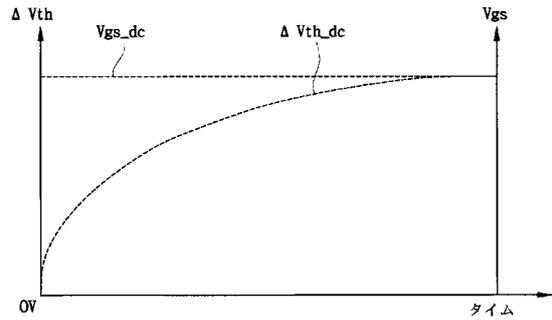
【 図 2 】



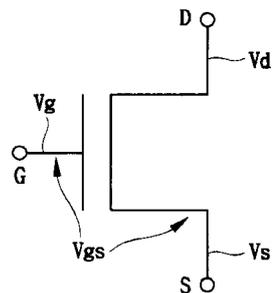
【 図 3 】



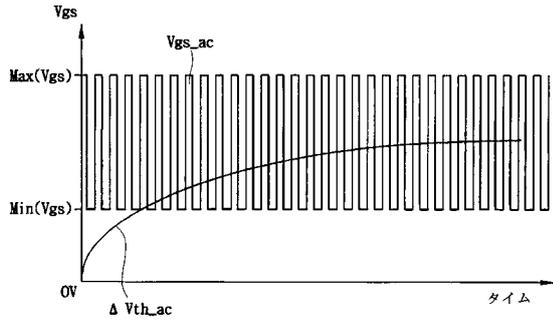
【 図 4 】



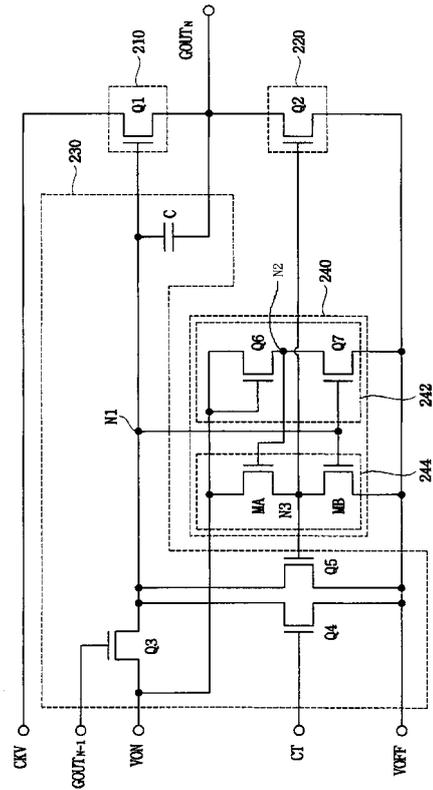
【 図 5 】



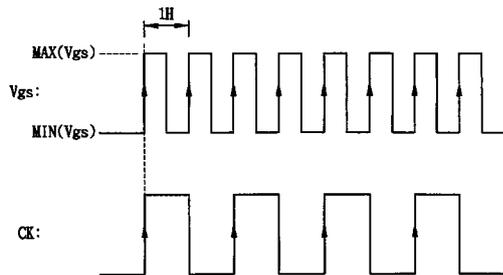
【 図 6 】



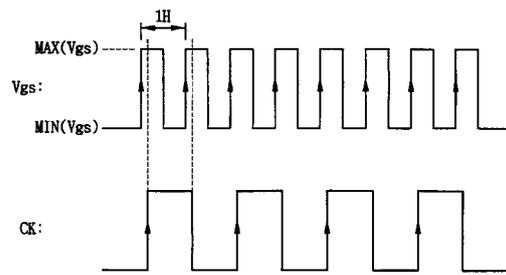
【 図 7 】



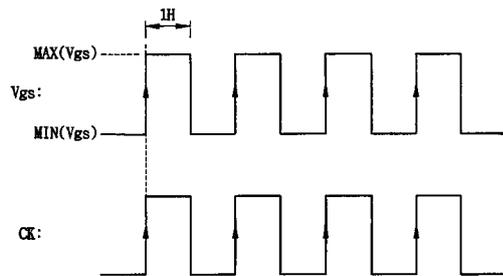
【 図 8 】



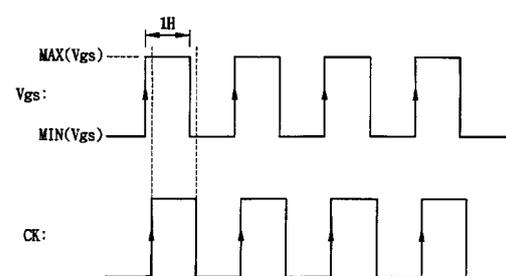
【 図 10 】



【 図 9 】



【 図 11 】



フロントページの続き

| | | | |
|--------------------------|---------|--------|------------|
| (51)Int.Cl. ⁷ | F I | | テーマコード(参考) |
| | G 0 9 G | 3/20 | 6 7 0 K |
| | G 1 1 C | 19/28 | D |
| | H 0 3 K | 17/687 | A |

(72)発明者 李 柏 遠

大韓民国ソウル市銅雀区舎堂1洞1035-10番地

(72)発明者 金 志 勲

大韓民国京畿道龍仁市器興邑奮葛里274-4番地プリンスビル203号

(72)発明者 文 勝 換

大韓民国京畿道龍仁市水枝邑上 ヒョン 里マンヒョンマウル現代アイ-パーク6次アパート205棟1504号

Fターム(参考) 2H093 NC22 NC34 ND37 ND47 ND48

5C006 AF51 AF53 AF61 BF03 BF34 EB05 FA18

5C080 AA10 DD09 JJ02 JJ03 JJ04 JJ05

5J055 AX38 BX16 CX30 DX13 DX22 DX72 DX83 EX07 EY10 EY21

EZ69 FX04 FX12 FX28 GX01