



(12)发明专利申请

(10)申请公布号 CN 113497139 A

(43)申请公布日 2021.10.12

(21)申请号 202010192561.1

(22)申请日 2020.03.18

(71)申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

申请人 中芯国际集成电路制造(北京)有限公司

(72)发明人 王楠

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 徐文欣

(51)Int.Cl.

H01L 29/78(2006.01)

H01L 29/06(2006.01)

H01L 21/336(2006.01)

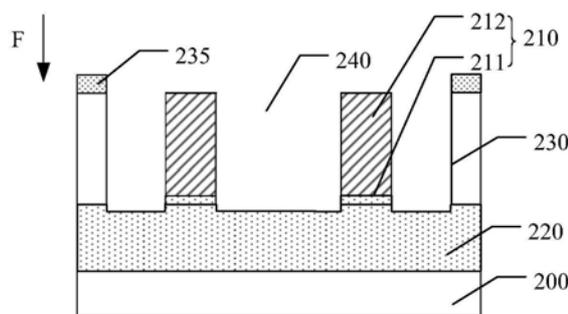
权利要求书2页 说明书8页 附图7页

(54)发明名称

半导体结构及其形成方法

(57)摘要

一种半导体结构及其形成方法,其中方法包括:提供基底,所述基底上具有栅极结构和隔离结构,栅极结构沿第一方向延伸,栅极结构位于所述隔离结构上;在隔离结构上形成介质层,所述介质层暴露所述栅极结构顶部表面;在所述介质层内形成第一开口,所述第一开口侧壁暴露出栅极结构,所述第一开口暴露出隔离结构表面;形成所述第一开口之后,去除所述第一开口侧壁暴露出的栅极结构,在所述栅极结构内形成第二开口,所述第二开口暴露出隔离结构表面,且在第二方向上所述第二开口与所述第一开口相邻且连通,所述第二方向垂直于第一方向;在所述第一开口和第二开口内形成隔离层。所述方法工艺窗口更大,工艺周期更短,且形成的半导体结构的性能较好。



1. 一种半导体结构,其特征在于,包括:
基底,所述基底上具有栅极结构和隔离结构,所述栅极结构沿第一方向延伸,所述栅极结构位于所述隔离结构表面;
位于所述隔离结构上的介质层,所述介质层暴露所述栅极结构顶部表面;
位于所述介质层内的第一开口,所述第一开口暴露出栅极结构侧壁表面,且所述第一开口暴露出隔离结构表面;
位于所述栅极结构内的第二开口,所述第二开口暴露出隔离结构表面,且在第二方向上所述第二开口与所述第一开口相邻且连通,所述第二方向垂直于第一方向;
位于所述第一开口和第二开口内的隔离层。
2. 如权利要求1所述的半导体结构,其特征在于,所述第一开口还位于部分隔离结构内。
3. 如权利要求1所述的半导体结构,其特征在于,所述第二开口还位于部分隔离结构内。
4. 如权利要求1所述的半导体结构,其特征在于,所述基底包括衬底和位于衬底表面的鳍部,所述栅极结构横跨所述鳍部的部分顶部表面和侧壁表面。
5. 如权利要求4所述的半导体结构,其特征在于,所述鳍部包括沿基底表面法线排列的若干鳍部层,相邻鳍部层之间具有凹槽,所述栅极结构还位于所述凹槽内。
6. 如权利要求4所述的半导体结构,其特征在于,所述第一开口位于相邻鳍部之间,所述第二开口位于相邻鳍部之间。
7. 如权利要求1所述的半导体结构,其特征在于,所述隔离层的材料包括:氧化硅、氮化硅、氮碳化硅、氮硼化硅、氮碳氧化硅或者氮氧化硅。
8. 如权利要求1所述的半导体结构,其特征在于,所述介质层顶部表面齐平于所述栅极结构顶部表面,所述隔离层顶部表面齐平于所述介质层顶部表面。
9. 如权利要求1所述的半导体结构,其特征在于,所述栅极结构侧壁表面具有侧墙结构;所述侧墙结构的材料包括:氧化硅、氮化硅、氮碳化硅、氮硼化硅、氮碳氧化硅或者氮氧化硅。
10. 一种半导体结构的形成方法,其特征在于,包括:
提供基底,所述基底上具有栅极结构和隔离结构,所述栅极结构沿第一方向延伸,所述栅极结构位于所述隔离结构上;
在所述隔离结构上形成介质层,所述介质层暴露所述栅极结构顶部表面;
在所述介质层内形成第一开口,所述第一开口侧壁暴露出栅极结构,所述第一开口暴露出隔离结构表面;
形成所述第一开口之后,去除所述第一开口侧壁暴露出的栅极结构,在所述栅极结构内形成第二开口,所述第二开口暴露出隔离结构表面,且在第二方向上所述第二开口与所述第一开口相邻且连通,所述第二方向垂直于第一方向;
在所述第一开口和第二开口内形成隔离层。
11. 如权利要求10所述的半导体结构的形成方法,其特征在于,所述介质层顶部表面齐平于所述栅极结构顶部表面;所述栅极结构侧壁表面具有侧墙结构。
12. 如权利要求11所述的半导体结构的形成方法,其特征在于,所述第一开口的形成方

法包括:在所述栅极结构和介质层表面形成掩膜层,所述掩膜层暴露出部分介质层表面和栅极结构、以及侧墙结构表面;以所述掩膜层为掩膜,刻蚀所述介质层,直至暴露出隔离结构表面,在所述介质层内形成初始第一开口,且所述初始第一开口暴露出位于栅极结构侧壁表面的侧墙结构;去除所述初始第一开口暴露出的侧墙结构,在所述介质层内形成第一开口,且所述第一开口暴露出栅极结构表面。

13.如权利要求12所述的半导体结构的形成方法,其特征在于,所述第一开口的形成方法还包括:刻蚀所述介质层,暴露出所述隔离结构之后,过刻蚀部分所述隔离结构;刻蚀所述侧墙结构,暴露出所述隔离结构之后,过刻蚀部分所述隔离结构,在所述介质层内形成所述第一开口。

14.如权利要求12所述的半导体结构的形成方法,其特征在于,所述第二开口的形成方法包括:形成所述第一开口之后,以所述掩膜层为掩膜,刻蚀所述栅极结构,直至暴露出隔离结构表面,在所述栅极结构内形成所述第二开口,且所述第二开口与所述第一开口相邻且连通。

15.如权利要求14所述的半导体结构的形成方法,其特征在于,所述第二开口的形成方法还包括:刻蚀所述栅极结构,暴露出所述隔离结构之后,过刻蚀部分所述隔离结构,在所述栅极结构内形成所述第二开口。

16.如权利要求11所述的半导体结构的形成方法,其特征在于,所述介质层的形成方法包括:在所述隔离结构上形成覆盖所述栅极结构的介质材料膜;平坦化所述介质材料膜,直至暴露出所述栅极结构顶部表面,在所述隔离结构上形成所述介质层。

17.如权利要求11所述的半导体结构的形成方法,其特征在于,所述隔离层的形成方法包括:形成所述第一开口和第二开口之后,在所述第一开口、第二开口、栅极结构以及介质层表面形成隔离材料膜;平坦化所述隔离材料膜,直至暴露出栅极结构和介质层表面,在所述第一开口和第二开口内形成所述隔离层。

半导体结构及其形成方法

技术领域

[0001] 本发明涉及半导体制造领域,尤其是涉及一种半导体结构及其形成方法。

背景技术

[0002] 在现有的半导体领域中,传统的平面式的金属-氧化物半导体场效应晶体管(MOSFET)对沟道电流的控制能力变弱,造成严重的漏电流。鳍式场效应晶体管(Fin FET)是一种新兴的多栅器件,它一般包括凸出于半导体衬底表面的鳍部,覆盖部分所述鳍部的顶部表面和侧壁的栅极结构,以及位于栅极结构两侧的鳍部中的源漏掺杂区。与平面式的金属-氧化物半导体场效应晶体管(MOSFET)相比,鳍式场效应晶体管具有更强的短沟道抑制能力,具有更强的工作电流,现已广泛应用于半导体各种器件中。

[0003] 然而,当元件的尺寸再进一步缩小时,以鳍式场效应晶体管来说,在栅极结构内形成隔断的难度会随着增加,使元件缩小化所带来的整体电路效能的提升受到阻碍。

[0004] 采用现有工艺形成的鳍式场效应晶体管(Fin FET),工艺窗口及器件性能亟需提升。

发明内容

[0005] 本发明解决的技术问题是提供一种半导体结构及其形成方法,以提高形成的半导体结构的性能。

[0006] 为解决上述技术问题,本发明技术方案提供一种半导体结构,包括:基底,所述基底上具有栅极结构和隔离结构,所述栅极结构沿第一方向延伸,所述栅极结构位于所述隔离结构表面;位于所述隔离结构上的介质层,所述介质层暴露所述栅极结构顶部表面;位于所述介质层内的第一开口,所述第一开口暴露出栅极结构侧壁表面,且所述第一开口暴露出隔离结构表面;位于所述栅极结构内的第二开口,所述第二开口暴露出隔离结构表面,且在第二方向上所述第二开口与所述第一开口相邻且连通,所述第二方向垂直于第一方向;位于所述第一开口和第二开口内的隔离层。

[0007] 可选的,所述第一开口还位于部分隔离结构内。

[0008] 可选的,所述第二开口还位于部分隔离结构内。

[0009] 可选的,所述基底包括衬底和位于衬底表面的鳍部,所述栅极结构横跨所述鳍部的部分顶部表面和侧壁表面。

[0010] 可选的,所述鳍部包括沿基底表面法线排列的若干鳍部层,相邻鳍部层之间具有凹槽,所述栅极结构还位于所述凹槽内。

[0011] 可选的,所述第一开口位于相邻鳍部之间,所述第二开口位于相邻鳍部之间。

[0012] 可选的,所述隔离层的材料包括:氧化硅、氮化硅、氮碳化硅、氮硼化硅、氮碳氧化硅或者氮氧化硅。

[0013] 可选的,所述介质层顶部表面齐平于所述栅极结构顶部表面,所述隔离层顶部表面齐平于所述介质层顶部表面。

[0014] 可选的,所述栅极结构侧壁表面具有侧墙结构;所述侧墙结构的材料包括:氧化硅、氮化硅、氮碳化硅、氮硼化硅、氮碳氧化硅或者氮氧化硅。

[0015] 相应的,本发明技术方案还提供一种半导体结构的形成方法,包括:提供基底,所述基底上具有栅极结构和隔离结构,所述栅极结构沿第一方向延伸,所述栅极结构位于所述隔离结构上;在所述隔离结构上形成介质层,所述介质层暴露所述栅极结构顶部表面;在所述介质层内形成第一开口,所述第一开口侧壁暴露出栅极结构,所述第一开口暴露出隔离结构表面;形成所述第一开口之后,去除所述第一开口侧壁暴露出的栅极结构,在所述栅极结构内形成第二开口,所述第二开口暴露出隔离结构表面,且在第二方向上所述第二开口与所述第一开口相邻且连通,所述第二方向垂直于第一方向;在所述第一开口和第二开口内形成隔离层。

[0016] 可选的,所述介质层顶部表面齐平于所述栅极结构顶部表面;所述栅极结构侧壁表面具有侧墙结构。

[0017] 可选的,所述第一开口的形成方法包括:在所述栅极结构和介质层表面形成掩膜层,所述掩膜层暴露出部分介质层表面和栅极结构、以及侧墙结构表面;以所述掩膜层为掩膜,刻蚀所述介质层,直至暴露出隔离结构表面,在所述介质层内形成初始第一开口,且所述初始第一开口暴露出位于栅极结构侧壁表面的侧墙结构;去除所述初始第一开口暴露出的侧墙结构,在所述介质层内形成第一开口,且所述第一开口暴露出栅极结构表面。

[0018] 可选的,所述第一开口的形成方法还包括:刻蚀所述介质层,暴露出所述隔离结构之后,过刻蚀部分所述隔离结构;刻蚀所述侧墙结构,暴露出所述隔离结构之后,过刻蚀部分所述隔离结构,在所述介质层内形成所述第一开口。

[0019] 可选的,所述第二开口的形成方法包括:形成所述第一开口之后,以所述掩膜层为掩膜,刻蚀所述栅极结构,直至暴露出隔离结构表面,在所述栅极结构内形成所述第二开口,且所述第二开口与所述第一开口相邻且连通。

[0020] 可选的,所述第二开口的形成方法还包括:刻蚀所述栅极结构,暴露出所述隔离结构之后,过刻蚀部分所述隔离结构,在所述栅极结构内形成所述第二开口。

[0021] 可选的,所述介质层的形成方法包括:在所述隔离结构上形成覆盖所述栅极结构的介质材料膜;平坦化所述介质材料膜,直至暴露出所述栅极结构顶部表面,在所述隔离结构上形成所述介质层。

[0022] 可选的,所述隔离层的形成方法包括:形成所述第一开口和第二开口之后,在所述第一开口、第二开口、栅极结构以及介质层表面形成隔离材料膜;平坦化所述隔离材料膜,直至暴露出栅极结构和介质层表面,在所述第一开口和第二开口内形成所述隔离层。

[0023] 与现有技术相比,本发明实施例的技术方案具有以下有益效果:

[0024] 本发明技术方案提供的半导体结构的形成方法中,通过首先在所述介质层内形成第一开口,所述第一开口侧壁暴露出栅极结构;形成所述第一开口之后,刻蚀所述第一开口暴露出的栅极结构,从而在所述栅极结构内形成第二开口。由于刻蚀介质层材料的工艺难度较低,使得容易在所述介质层内形成所述第一开口,且形成第一开口的形貌较好。形成所述第一开口之后,由于所述第一开口侧壁暴露出栅极结构的表面,从而增大了栅极结构表面暴露出的面积,有利于后续刻蚀栅极结构材料的工艺,使得在所述栅极结构内形成贯穿其中的第二开口的工艺难度降低,并且形成的第二开口的形貌较好,进而有利于提高形成

的半导体结构的性能。所述方法工艺窗口更大,工艺周期更短,且形成的半导体结构的性能较好。

[0025] 进一步,形成所述第一开口和第二开口之后,在所述第一开口和第二开口内填充隔离材料膜,从而在所述第一开口和第二开口内形成隔离层。由于沿第二方向上所述第一开口和第二开口相邻且连通,即,所述第一开口和第二开口沿第二方向上的尺寸大于所述第二开口的尺寸,从而在所述第一开口和第二开口内填充隔离材料膜的难度降低,进而有利于形成所述隔离层,节省了工艺时间和成本。

[0026] 进一步,所述第一开口的形成方法还包括:刻蚀所述介质层暴露出所述隔离结构之后,过刻蚀部分所述隔离结构;刻蚀所述侧墙结构,暴露出所述隔离结构之后,过刻蚀部分所述隔离结构。通过过刻蚀部分隔离结构,有利于保证所述栅极结构的侧壁表面能够充分暴露,有利于降低后续刻蚀栅极结构形成第二开口的难度,进而有利于提高形成的半导体结构的性能。

附图说明

[0027] 图1至图5是一种半导体结构的形成方法各步骤的结构示意图;

[0028] 图6至图20是本发明一实施例中的半导体结构的形成方法各步骤的结构示意图。

具体实施方式

[0029] 正如背景技术所述,现有半导体结构的性能较差。

[0030] 以下结合附图进行详细说明,半导体结构的性能较差的原因,图1至图5是一种半导体结构的形成方法各步骤的结构示意图。

[0031] 请参考图1和2,图1为图2沿A-A1切线方向上的截面示意图,且所述A-A1切线位于相邻鳍部202之间,图2为图1沿F方向(垂直于基底)的俯视图,提供基底100,所述基底100包括鳍部101,所述基底100上具有栅极结构120和隔离结构110、以及介质层130,所述栅极结构120沿第一方向X延伸且横跨所述鳍部101,所述栅极结构120位于所述隔离结构110上,所述介质层130位于所述隔离结构110表面且覆盖所述栅极结构120侧壁。

[0032] 请参考图3和图4,图3为在图1基础上切断栅极结构120后的截面示意图,图4为在图2基础上沿A-A1切线方向的截面示意图,为方便示意,图4为省略了掩膜层的示意图。

[0033] 在所述栅极结构120和介质层130表面形成掩膜层140,所述掩膜层暴露出部分栅极结构120;以所述掩膜层为掩膜,刻蚀所述栅极结构120,直至暴露出隔离结构110表面,在所述栅极结构120内形成开口150,且在第二方向Y上所述开口150贯穿所述栅极结构120,所述第二方向Y垂直于第一方向X;形成所述开口150之后,去除所述掩膜层140。

[0034] 请参考图5,图5为在图3基础上的示意图,在所述开口150内形成隔离层160。

[0035] 上述方法中,通过刻蚀部分栅极结构120,在所述栅极结构120内形成开口150,且沿第二方向Y上所述开口150贯穿所述栅极结构120,使得在所述开口150内形成的隔离层160能够隔断所述开口150所在的栅极结构120,从而满足工艺要求。

[0036] 然而,由于所述栅极结构120的材料包括:金属,例如铜、钨、铝、钛、镍、氮化钛和氮化钽中的一种或多种组合。目前的刻蚀工艺刻蚀金属的工艺难度仍然较大,且随着工艺节点要求越来越小,导致所述栅极结构120的尺寸越来越小,进而刻蚀形成开口150的难度越

来越高。另外,容易导致在开口150内有栅极结构120材料的残留,容易降低后续在开口150内形成的隔离层160的隔离效果,甚至发生漏电流,使得形成半导体结构的性能较差。

[0037] 为解决所述技术问题,本发明实施例提供一种半导体结构的形成方法,包括:在所述隔离结构上形成介质层,所述介质层暴露所述栅极结构顶部表面;在所述介质层内形成第一开口,所述第一开口侧壁暴露出栅极结构,所述第一开口暴露出隔离结构表面;形成所述第一开口之后,去除所述第一开口侧壁暴露出的栅极结构,在所述栅极结构内形成第二开口,所述第二开口暴露出隔离结构表面,且在第二方向上所述第二开口与所述第一开口相邻且连通,所述第二方向垂直于第一方向;在所述第一开口和第二开口内形成隔离层。所述方法工艺窗口更大,工艺周期更短,且形成的半导体结构的性能较好。

[0038] 为使本发明的上述目的、特征和有益效果能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0039] 图6至图20是本发明一实施例中的半导体结构的形成方法各步骤的结构示意图。

[0040] 请参考图6至图8,图6为垂直于基底平面方向的俯视图,图7为图6沿B-B1切线方向上的截面示意图,图8为图6沿A-A1切线方向上的截面示意图,提供基底200,所述基底200上具有栅极结构210和隔离结构220,所述栅极结构210沿第一方向X延伸,所述栅极结构210位于所述隔离结构220上。

[0041] 在本实施例中,所述基底200包括衬底201和位于衬底201表面的鳍部202,所述栅极结构210横跨所述鳍部202的部分顶部表面和侧壁表面。

[0042] 在本实施例中,所述鳍部202通过刻蚀衬底201形成。

[0043] 在另一实施例中,所述基底的形成方法包括:在所述衬底上形成鳍部材料膜;在所述鳍部材料膜表面形成图形化层;以所述图形化层为掩膜,刻蚀所述鳍部材料层,直至暴露出衬底表面,形成鳍部。

[0044] 在其它实施例中,所述鳍部为平面衬底,所述栅极结构形成于所述平面衬底表面。

[0045] 在本实施例中,所述基底200的材料为硅;在其它实施例中,所述基底的材料还可以为锗、锗化硅、碳化硅、砷化镓或镓化铟;在其它实施例中,所述基底还可以为绝缘体上的硅衬底(SOI)或者绝缘体上的锗衬底(GOI)。

[0046] 在本实施例中,所述栅极结构210包括:位于鳍部202的部分顶部表面和侧壁表面的栅介质层211、以及位于所述栅介质层211表面的栅电极层212。

[0047] 在本实施例中,所述栅介质层211的材料为高K介质材料,所述高K介质材料包括:氧化铪、氧化锆、氧化铪硅、氧化镧、氧化锆硅、氧化钛、氧化钽、氧化钡锆钛、氧化钡钛、氧化锆钛或氧化铝。在其它实施例中,所述栅介质层的材料为氧化硅。

[0048] 在本实施例中,所述栅电极层212的材料为金属,所述金属材料包括铜、钨、铝、钛、镍、氮化钛和氮化钽中的一种或多种组合。在其它实施例中,所述栅电极层的材料为多晶硅。

[0049] 在本实施例中,所述栅极结构210侧壁表面具有侧墙结构215。

[0050] 所述侧墙结构215的材料为绝缘材料,所述绝缘材料包括:氧化硅、氮化硅、氮氧化硅或者二氧化钛。

[0051] 在本实施例中,所述侧墙结构215的材料为氮化硅。

[0052] 需要说明的是,所述A-A1切线位于相邻鳍部202之间。

[0053] 请继续参考图6至图8,在所述隔离结构220上形成介质层230,所述介质层230暴露所述栅极结构210顶部表面。

[0054] 所述介质层230为层间介电质(ILD),用于为后续形成第一开口提供支撑。

[0055] 在本实施例中,所述介质层230顶部表面齐平于所述栅极结构210顶部表面。

[0056] 所述介质层230的形成方法包括:在所述隔离结构220上形成覆盖所述栅极结构210的介质材料膜(图中未示出);平坦化所述介质材料膜,直至暴露出所述栅极结构210顶部表面,在所述隔离结构220上形成所述介质层230。

[0057] 所述介质层230的材料和侧墙结构215的材料不同。

[0058] 所述介质层230的材料为绝缘材料,所述绝缘材料包括:氧化硅、氮化硅、氮氧化硅或者二氧化钛。

[0059] 在本实施例中,所述介质层230的材料为氧化硅。

[0060] 具体的,在本实施例中,所述介质材料膜还覆盖鳍部202的顶部表面和侧壁表面。

[0061] 接着,在所述介质层230内形成第一开口,所述第一开口侧壁暴露出栅极结构210,所述第一开口底部暴露出隔离结构220表面,具体形成所述第一开口的过程请参考图9至图14。

[0062] 请参考图9至图11,图9为在图6基础上的示意图,图10为在图7基础上的示意图,图11为图8基础上的示意图,在所述栅极结构210和介质层230表面形成掩膜层235,所述掩膜层235暴露出部分介质层230表面和栅极结构210表面、以及侧墙结构215表面;以所述掩膜层235为掩膜,刻蚀所述介质层230,直至暴露出隔离结构220表面,在所述介质层230内形成初始第一开口231,且所述初始第一开口231暴露出位于栅极结构210侧壁表面的侧墙结构215。

[0063] 刻蚀所述介质层230的工艺包括:干法刻蚀工艺和湿法刻蚀工艺中的一种或者两种组合。

[0064] 在本实施例中,刻蚀所述介质层230的工艺为干法刻蚀工艺。

[0065] 采用所述干法刻蚀工艺容易刻蚀所述介质层230,使得形成所述初始第一开口231的工艺难度较低。所述干法刻蚀的工艺参数包括:采用的刻蚀气体包括:含碳氟元素或碳氢氟元素的气体。

[0066] 所述初始第一开口231底部暴露出隔离结构220表面。

[0067] 在本实施例中,所述初始第一开口231的形成方法还包括:刻蚀所述介质层230,暴露出介质层230底部的隔离结构220之后,过刻蚀部分所述隔离结构220。

[0068] 通过过刻蚀部分所述隔离结构220,有利于充分暴露出侧墙结构215侧壁表面,从而后续能够充分去除位于栅极结构210侧壁表面的侧墙结构215,进而有利于充分暴露出栅极结构210侧壁表面。

[0069] 请参考图12至图14,图12为在图9基础上的示意图,图13为在图10基础上的示意图,图14为在图11基础上的示意图,去除所述初始第一开口231暴露出的侧墙结构215,在所述介质层230内形成第一开口240,且所述第一开口240暴露出栅极结构210表面。

[0070] 所述第一开口240用于与后续形成的第二开口共同为形成隔离层提供空间。

[0071] 在本实施例中,所述第一开口240的形成方法还包括:刻蚀所述侧墙结构215,暴露出所述隔离结构220之后,过刻蚀部分所述隔离结构220,在所述介质层230内形成所述第一

开口240。

[0072] 通过刻蚀部分隔离结构220,有利于保证所述栅极结构210的侧壁表面能够充分暴露,从而有利于降低后续刻蚀栅极结构210形成第二开口的难度,进而有利于提高形成的半导体结构的性能。

[0073] 需要说明的是,在本实施例中,所述栅极结构210包括栅介质层211和位于栅介质层211表面的栅电极层212,且所述侧墙结构215位于部分栅介质层211侧壁表面,去除所述侧墙结构215之后,暴露出栅极结构210中的部分栅介质层211,因此,所述第一开口240的形成方法还包括:去除侧墙结构215之后,去除暴露出的部分栅介质层211。

[0074] 在本实施例中,所述第一开口240侧壁暴露出栅极结构210中的栅电极层212侧壁表面。

[0075] 请参考图15至图17,图15为在图12基础上的示意图,图16为在图13基础上的示意图,图17为在图14基础上的示意图,形成所述第一开口240之后,去除所述第一开口240侧壁暴露出的栅极结构210,在所述栅极结构210内形成第二开口250,所述第二开口250暴露出隔离结构220表面,且在第二方向Y上所述第二开口250与所述第一开口240相邻且连通,所述第二方向Y垂直于第一方向X。

[0076] 所述第二开口250用于与第一开口240共同为后续形成隔离层提供空间。

[0077] 所述第二开口250的形成方法包括:形成所述第一开口240之后,以所述掩膜层235为掩膜,刻蚀所述栅极结构210,直至暴露出隔离结构220表面,在所述栅极结构210内形成所述第二开口250,且所述第二开口250与所述第一开口240相邻且连通。

[0078] 具体的,在本实施例中,刻蚀所述栅电极层212和位于所述栅电极层212底部的栅介质层211。

[0079] 所述第二开口250的形成方法还包括:刻蚀所述栅极结构210,暴露出所述隔离结构220之后,过刻蚀部分所述隔离结构220,在所述栅极结构210内形成所述第二开口250。

[0080] 通过刻蚀部分所述隔离结构220,保证充分去除所述掩膜层暴露出的栅极结构210,避免在第二开口250内残留刻蚀栅极结构210产生的副产物,导致漏电流的产生。

[0081] 通过首先在所述介质层230内形成第一开口240,所述第一开口240侧壁暴露出栅极结构210;形成所述第一开口240之后,刻蚀所述第一开口240暴露出的栅极结构210,从而在所述栅极结构210内形成第二开口250。由于刻蚀介质层230材料的工艺难度较低,使得容易在所述介质层230内形成所述第一开口,且形成第一开口240的形貌较好。形成所述第一开口240之后,由于所述第一开口240侧壁暴露出栅极结构的表面,从而增大了栅极结构240表面暴露出的面积,有利于后续刻蚀栅极结构240材料的工艺,使得在所述栅极结构210内形成贯穿其中的第二开口250的工艺难度降低,并且形成的第二开口250的形貌较好,进而有利于提高形成的半导体结构的性能。

[0082] 请参考图18至图20,在所述第一开口240和第二开口250内形成隔离层260。

[0083] 所述隔离层260位于所述第一开口240和第二开口250内,且所述第二开口250沿第二方向Y贯穿所述栅极结构210,因此,所述隔离层260能够将栅极结构210沿第二方向Y进行隔断。

[0084] 所述隔离层260的形成方法包括:形成所述第一开口240和第二开口250之后,在所述第一开口240、第二开口250、栅极结构210以及介质层230表面形成隔离材料膜(图中未示

出) ;平坦化所述隔离材料膜,直至暴露出栅极结构210和介质层230表面,在所述第一开口240和第二开口250内形成所述隔离层260。

[0085] 形成所述第一开口240和第二开口250之后,在所述第一开口240和第二开口250内填充隔离材料膜,从而在所述第一开口240和第二开口250内形成隔离层260。由于沿第二方向Y上所述第一开口240和第二开口250相邻且连通,即,所述第一开口240和第二开口250沿第二方向上Y的尺寸大于所述第二开口250的尺寸,从而在所述第一开口240和第二开口250内填充隔离材料膜的难度降低,进而有利于形成所述隔离层260,节省了工艺时间和成本。

[0086] 相应的,本发明实施例还提供一种采用上述方法形成的半导体结构,请继续参考图18至图20,包括:基底200,所述基底200上具有栅极结构210和隔离结构220,所述栅极结构210沿第一方向X延伸,所述栅极结构210位于所述隔离结构220表面;位于所述隔离结构220上的介质层230,所述介质层230暴露所述栅极结构210顶部表面;位于所述介质层230内的第一开口240,所述第一开口240暴露出栅极结构210侧壁表面,且所述第一开口210暴露出隔离结构220表面;位于所述栅极结构210内的第二开口250,所述第二开口250暴露出隔离结构表面,且在第二方向Y上所述第二开口250与所述第一开口240相邻且连通,所述第二方向Y垂直于第一方向X;位于所述第一开口240和第二开口250内的隔离层260。

[0087] 所述第一开口240还位于部分隔离结构220内。

[0088] 所述第二开口250还位于部分隔离结构220内。

[0089] 所述基底200包括衬底201和位于衬底201表面的鳍部202,所述栅极结构210横跨所述鳍部202的部分顶部表面和侧壁表面。

[0090] 在其它实施例中,所述鳍部包括沿基底表面法线排列的若干鳍部层,相邻鳍部层之间具有凹槽,所述栅极结构还位于所述凹槽内。

[0091] 所述第一开口240位于相邻鳍部202之间,所述第二开口250位于相邻鳍部202之间。

[0092] 所述隔离层260的材料包括:绝缘材料。

[0093] 所述绝缘材料包括:氧化硅、氮化硅、氮碳化硅、氮硼化硅、氮碳氧化硅或者氮氧化硅。

[0094] 在本实施例中,所述隔离层260的材料为氧化硅。

[0095] 所述介质层230顶部表面齐平于所述栅极结构210顶部表面,所述隔离层260顶部表面齐平于所述介质层230顶部表面。

[0096] 所述栅极结构210侧壁表面具有侧墙结构215;所述侧墙结构215的材料包括:绝缘材料。

[0097] 所述绝缘材料包括:氧化硅、氮化硅、氮碳化硅、氮硼化硅、氮碳氧化硅或者氮氧化硅。

[0098] 在本实施例中,所述侧墙结构215的材料为氮化硅。

[0099] 所述栅极结构210包括:位于基底200表面的栅介质层211和位于栅介质层211表面的栅电极层212。

[0100] 在本实施例中,所述栅介质层211位于所述鳍部202的部分顶部表面和侧壁表面。

[0101] 所述栅介质层211的材料包括:氧化硅或者高K介质材料。在本实施例中,所述栅介质层211的材料为高K介质材料。

[0102] 所述高K介质材料包括：氧化铪、氧化锆、氧化铪硅、氧化镧、氧化锆硅、氧化钛、氧化钽、氧化钡锶钛、氧化钡钛、氧化锶钛或氧化铝。

[0103] 在其它实施例中，所述栅介质层的材料为氧化硅。

[0104] 所述栅电极层212的材料包括：多晶硅或者金属。在本实施例中，所述栅电极层212的材料为金属。所述金属材料包括：铜、钨、铝、钛、镍、氮化钛和氮化钽中的一种或多种组合。

[0105] 在其它实施例中，所述栅电极层的材料为多晶硅。

[0106] 虽然本发明披露如上，但本发明并非限于于此。任何本领域技术人员，在不脱离本发明的精神和范围内，均可作各种更动与修改，因此本发明的保护范围应当以权利要求所限定的范围为准。

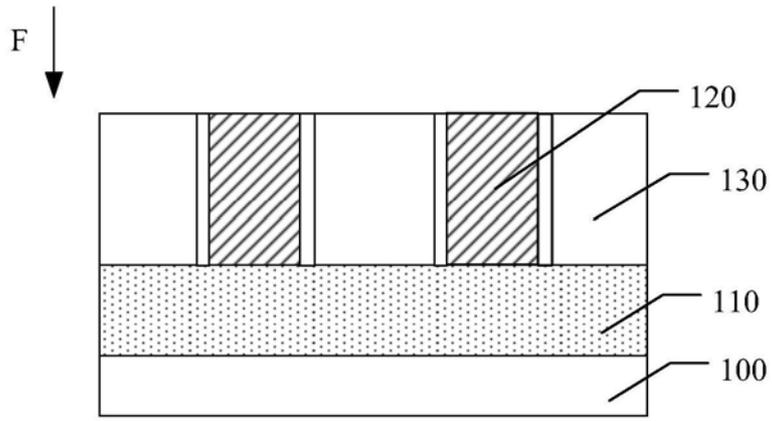


图1

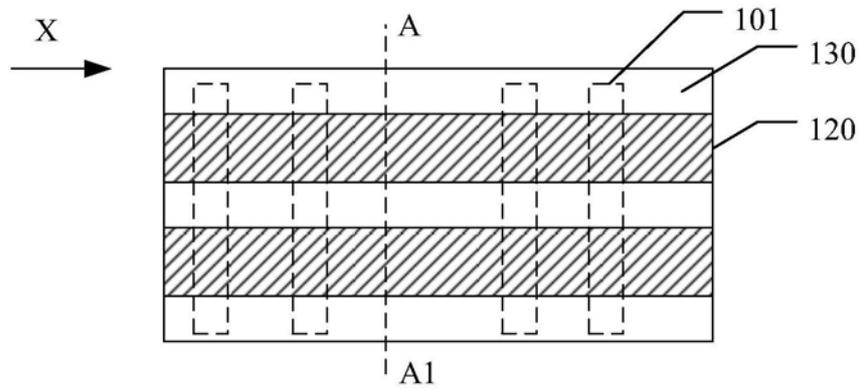


图2

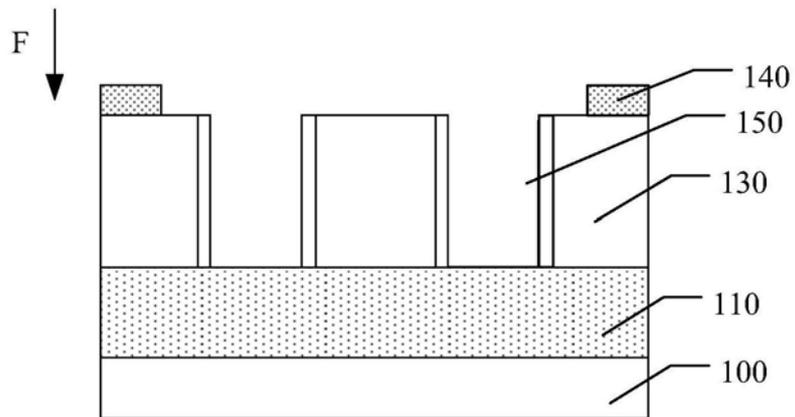


图3

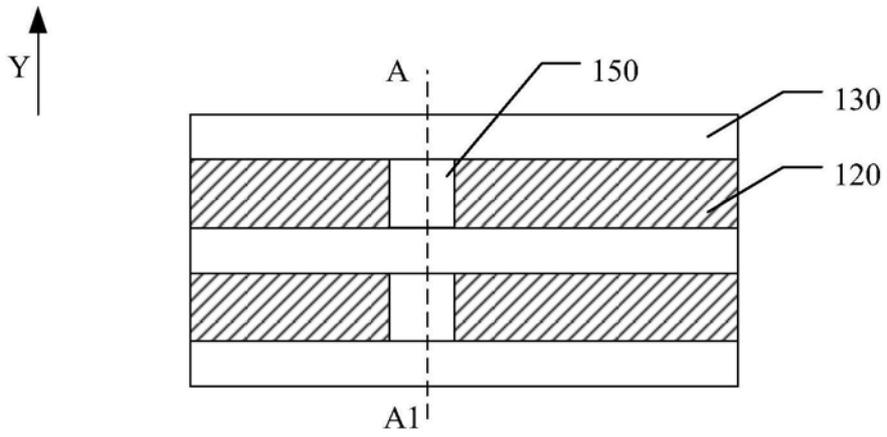


图4

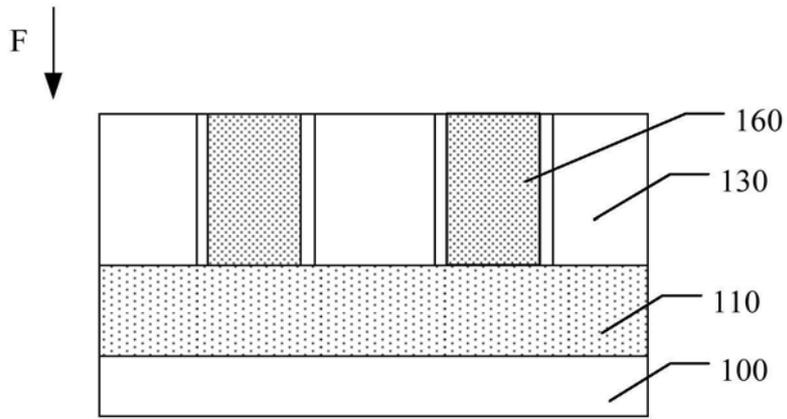


图5

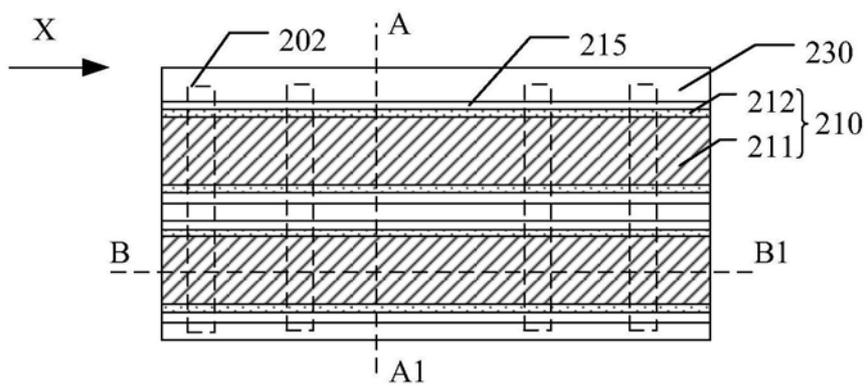


图6

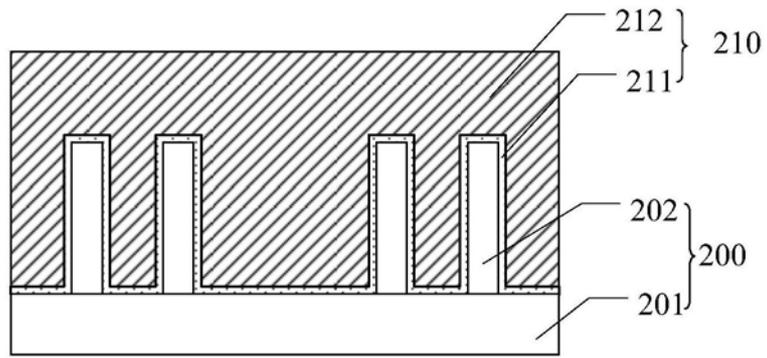


图7

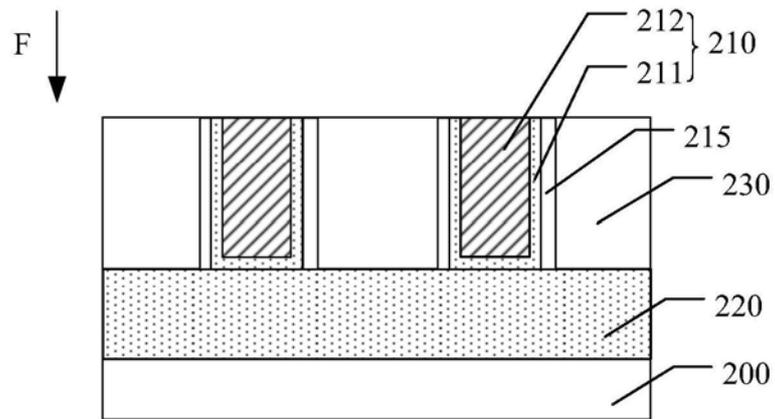


图8

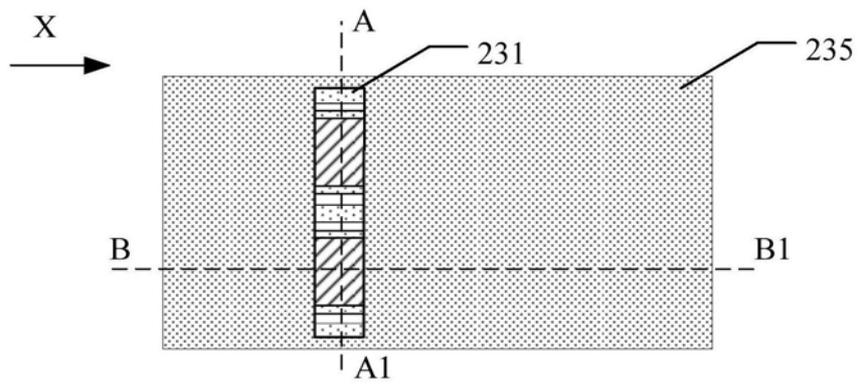


图9

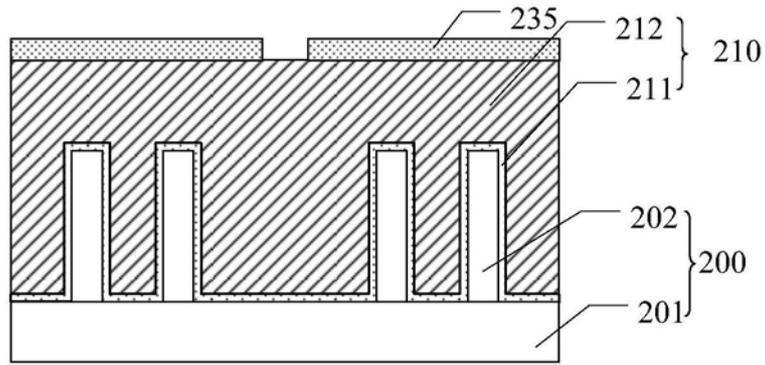


图10

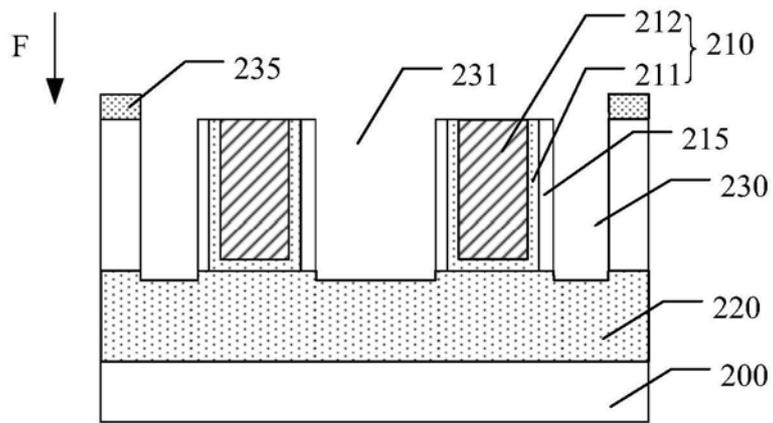


图11

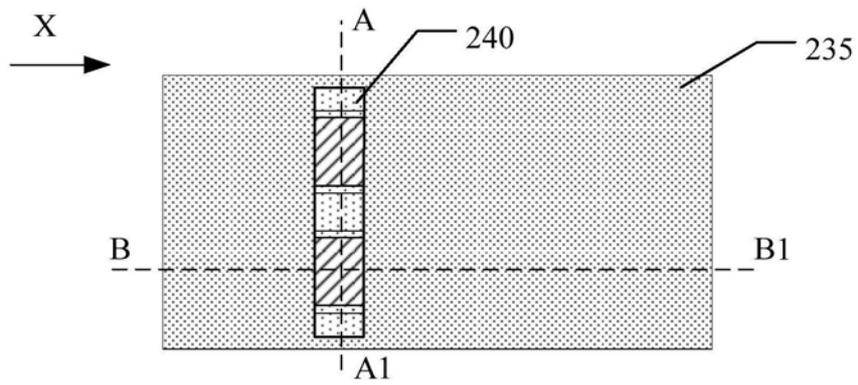


图12

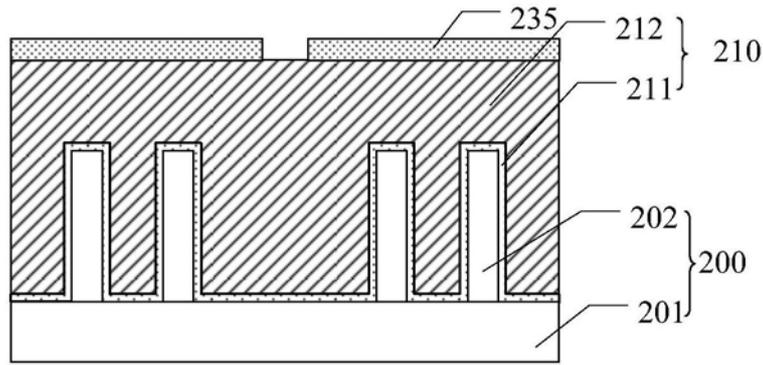


图13

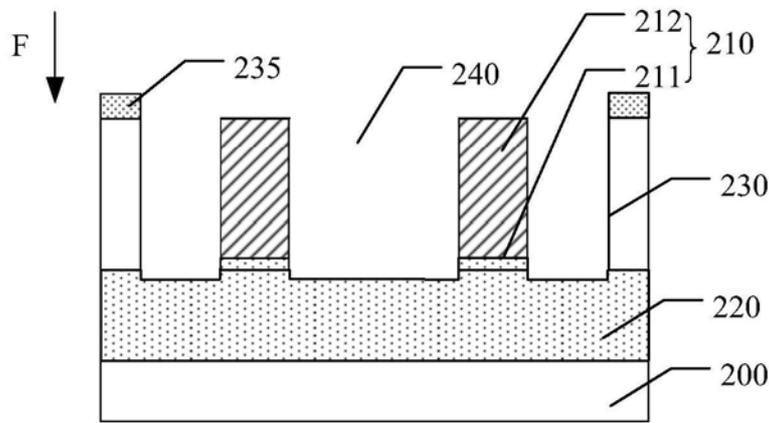


图14

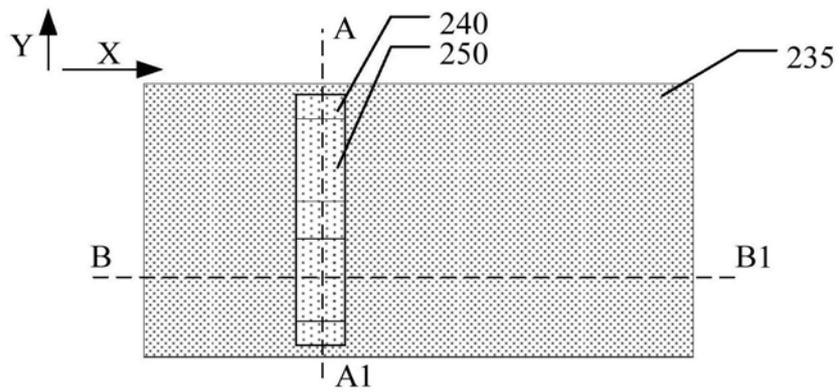


图15

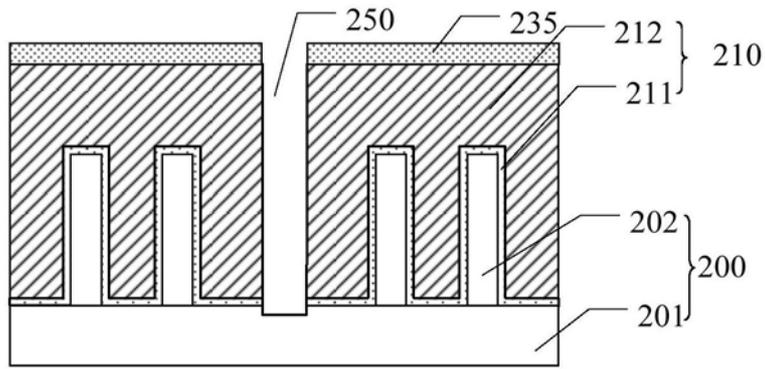


图16

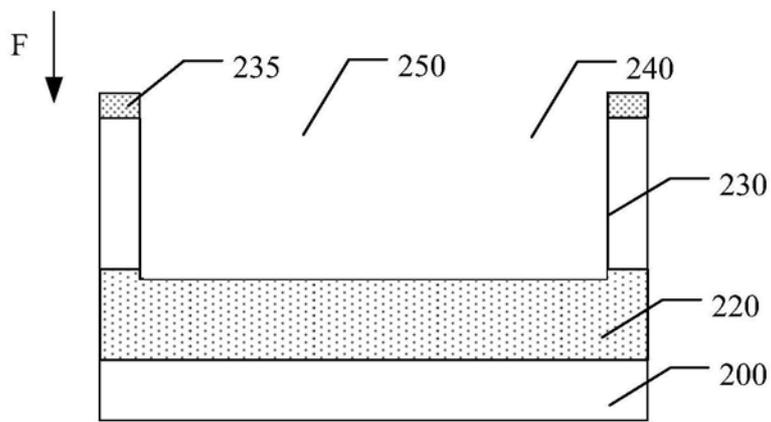


图17

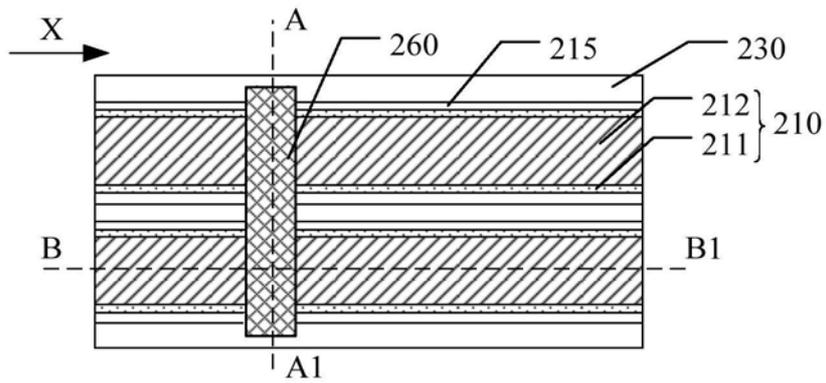


图18

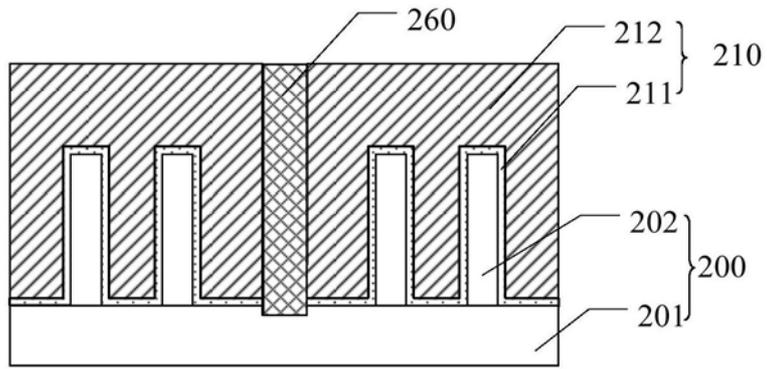


图19

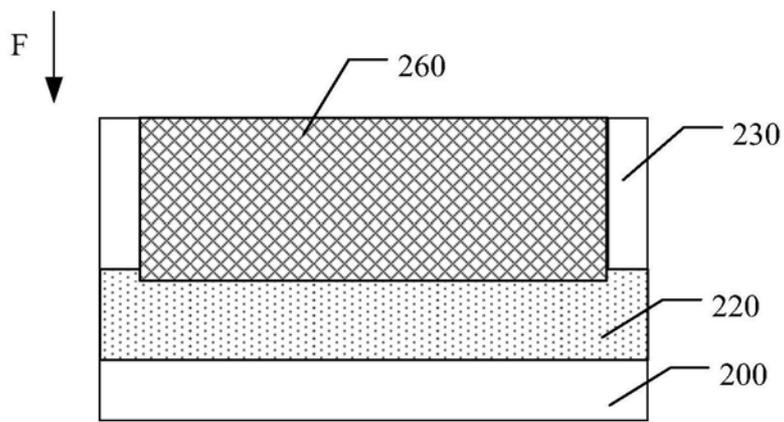


图20