(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0112838
(43) 공개일자 2019년10월07일

(51) 국제특허분류(Int. Cl.)
G11C 7/22 (2015.01) *G11C 7/10* (2015.01)
(52) CPC특허분류
G11C 7/22 (2018.05)
G11C 7/1084 (2013.01)
(21) 출원번호 10-2019-7028140
(22) 출원일자(국제) 2018년02월27일
심사청구일자 2019년09월25일
(85) 번역문제출일자 2019년09월25일
(86) 국제출원번호 PCT/US2018/019861
(87) 국제공개번호 WO 2018/160533
국제공개일자 2018년09월07일
(30) 우선권주장
15/445,935 2017년02월28일 미국(US)

(71) 출원인
마이크론 테크놀로지, 인크.
미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000
(72) 발명자
이, 현유
미국 83716 아이다호주 보이스 사우스 올드 히코리 스트리트 2657
김, 강용
미국 83716 아이다호주 보이스 사우스 리버 베이신 애비뉴 4115
(74) 대리인
양영준, 백만기

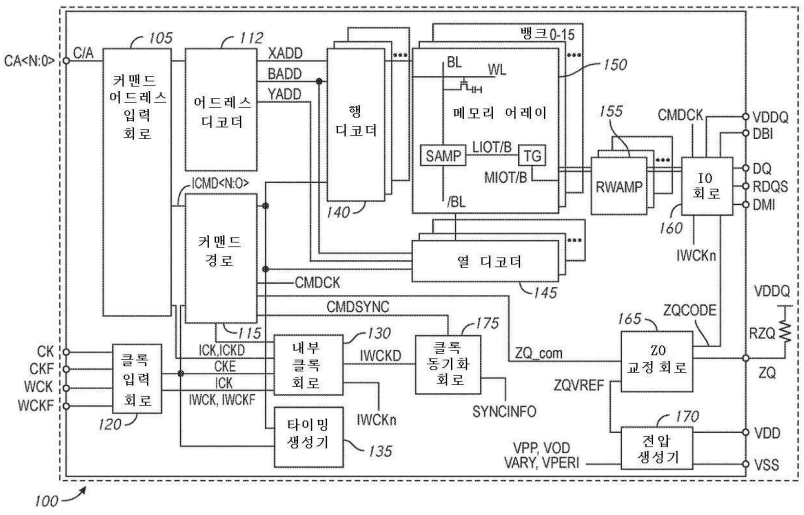
전체 청구항 수 : 총 36 항

(54) 발명의 명칭 **입력 클록 신호와 다상 클록 신호 간의 위상 관계를 결정하기 위한 장치 및 방법**

(57) 요 약

입력 클록 신호와 다상 클록 신호 간의 위상 관계를 결정하기 위한 장치 및 방법을 개시한다. 예시적인 장치는, 클록 신호를 수신하고 내부 클록 신호들을 제공하도록 구성된 클록 경로, 및 커맨드를 수신하고, 내부 클록 신호에 응답하여 커맨드를 커맨드 경로를 통해 전파하고, 클록 신호의 타이밍을 반영하는 타이밍을 갖는 내부 커맨드를 제공하도록 구성된 커맨드 경로를 포함한다. 예시적인 장치는, 데이터 클록 신호를 수신하고 데이터 클록 신호에 기초하여 다상 클록 신호들을 제공하고 지연된 다상 클록 신호를 제공하도록 구성된 데이터 클록 경로를 더 포함하고, 지연된 다상 클록 신호를 수신하고 내부 커맨드에 응답하여 지연된 다상 클록 신호의 논리 레벨을 래칭하도록 구성된 클록 동기화 회로를 더 포함한다.

대 표 도 - 도1



명 세 서

청구범위

청구항 1

장치로서,

클록 신호를 수신하고 내부 클록 신호를 제공하도록 구성된 클록 경로;

커맨드 경로로서, 커맨드를 수신하고, 상기 내부 클록 신호에 응답하여 상기 커맨드를 상기 커맨드 경로를 통해 전파하고, 상기 클록 신호의 타이밍을 반영하는 타이밍을 갖는 내부 커맨드를 제공하도록 구성된, 상기 커맨드 경로;

데이터 클록 신호를 수신하고 상기 데이터 클록 신호에 기초하여 다상 클록 신호를 제공하도록 구성된 데이터 클록 경로서, 지연된 다상 클록 신호를 제공하도록 더 구성된, 상기 데이터 클록 경로; 및

상기 지연된 다상 클록 신호를 수신하고, 상기 내부 커맨드에 응답하여 상기 지연된 다상 클록 신호의 논리 레벨을 래칭하도록 구성된 클록 동기화 회로를 포함하는, 장치.

청구항 2

제1항에 있어서, 상기 데이터 클록 경로는, 상기 데이터 클록 신호를 수신하고 다상 클록 신호를 제공하도록 구성된 클록 분할기 회로를 포함하되, 상기 다상 클록 신호는 서로 상대적인 위상을 갖는, 장치.

청구항 3

제2항에 있어서, 상기 서로 상대적인 위상을 갖는 상기 다상 클록 신호는 직교 위상 클록 신호를 포함하는, 장치.

청구항 4

제2항에 있어서, 상기 클록 분할기 회로는, 상기 데이터 클록 신호와의 제1 위상 관계 또는 상기 데이터 클록 신호와의 제2 위상 관계를 갖는 상기 다상 클록 신호를 제공하도록 구성된, 장치.

청구항 5

제4항에 있어서, 상기 지연된 다상 클록 신호의 논리 레벨은 상기 제1 위상 관계에 대하여 제1 논리 레벨이고, 상기 지연된 다상 클록 신호의 논리 레벨은 상기 제2 위상 관계에 대하여 제2 논리 레벨인, 장치.

청구항 6

제2항에 있어서, 상기 데이터 클록 경로는, 상기 다상 클록 신호들 중 하나의 다상 클록 신호를 수신하고 상기 하나의 다상 클록 신호를 지연시켜 상기 지연된 다상 클록 신호를 제공하도록 구성된 지연 회로를 더 포함하는, 장치.

청구항 7

제1항에 있어서, 상기 클록 동기화 회로는, 상기 지연된 다상 클록 신호의 논리 레벨을 래칭하게끔 상기 내부 커맨드에 의해 클로킹되도록 구성된 플립-플롭 회로를 포함하는, 장치.

청구항 8

제1항에 있어서, 상기 커맨드 경로는,

상기 내부 클록 신호에 응답하여 커맨드 신호를 래칭하고 래칭된 상기 커맨드 신호를 제공하도록 구성된 플립-플롭 회로; 및

상기 플립-플롭 회로에 연결되고, 상기 래칭된 커맨드 신호를 디코딩하고 디코딩된 커맨드 신호를 제공하도록

구성된 커맨드 디코더를 포함하되, 상기 내부 커맨드는 상기 디코딩된 커맨드 신호에 기초하는, 장치.

청구항 9

제8항에 있어서, 상기 커맨드 경로는, 상기 커맨드 디코더에 연결되고 상기 디코딩된 커맨드 신호에 지연을 추가하도록 구성된 커맨드 레이턴시 회로를 더 포함하되, 상기 지연은 레이턴시 정보에 의해 정의되고, 상기 디코딩된 커맨드 신호는, 상기 클록 경로에 의해 제공되는 지연된 내부 클록 신호에 응답하여 상기 커맨드 레이턴시 회로를 통해 시프트되는, 장치.

청구항 10

장치로서,

클록 신호를 수신하고 내부 클록 신호를 제공하도록 구성된 클록 경로;

데이터 클록 신호를 수신하고, 서로 상대적인 위상을 갖는 다상 클록 신호를을 제공하고, 또한, 지연된 데이터 클록 신호를 제공하도록 구성된 데이터 클록 경로로서, 상기 데이터 클록 신호는 상기 데이터 클록 신호의 활성화에 선행하는 정적 기간을 갖고, 상기 지연된 데이터 클록 신호는 동일한 정적 기간을 갖는, 상기 데이터 클록 경로;

커맨드 및 상기 내부 클록 신호를 수신하도록 구성되고, 또한, 상기 클록 신호의 클록 도메인의 타이밍을 갖는 내부 커맨드를 제공하도록 구성된 커맨드 경로; 및

상기 지연된 클록 신호를 수신하고, 상기 지연된 데이터 클록 신호를 래칭하게끔 상기 커맨드 경로로부터의 활성 내부 커맨드에 의해 클로킹되도록 구성된 클록 동기화 회로를 포함하되,

상기 데이터 클록 경로의 경로 지연 및 상기 커맨드 경로의 경로 지연은, 상기 지연된 클록 신호의 정적 기간 동안 상기 활성 내부 커맨드를 FF 회로에 제공하는, 장치.

청구항 11

제10항에 있어서, 상기 커맨드 경로는,

상기 내부 클록 신호에 응답하여 커맨드 신호를 래칭하고, 래칭된 커맨드 신호를 제공하도록 구성된 플립-플롭 회로;

상기 래칭된 커맨드 신호를 수신하고, 상기 래칭된 커맨드 신호를 디코딩하여 디코딩된 커맨드를 제공하도록 구성된 커맨드 디코더; 및

상기 디코딩된 커맨드를 수신하고, 지연된 내부 클록 신호에 응답하여 상기 디코딩된 커맨드를 시프트하여 상기 내부 커맨드를 제공하도록 구성된 커맨드 레이턴시 회로를 포함하는, 장치.

청구항 12

제10항에 있어서, 상기 데이터 클록 신호의 정적 기간은 상기 클록 신호의 클록 사이클에 기초하는, 장치.

청구항 13

제10항에 있어서, 상기 데이터 클록 경로는, 상기 데이터 클록 신호에 응답하여 직교 위상 클록 신호를 제공하도록 구성된 클록 분할기 회로를 포함하되, 상기 직교 위상 클록 신호는 상기 데이터 클록 신호보다 낮은 클록 주파수를 갖는, 장치.

청구항 14

제13항에 있어서, 상기 직교 위상 클록 신호는 상기 데이터 클록 신호의 클록 주파수의 절반을 갖는, 장치.

청구항 15

제10항에 있어서, 상기 클록 동기화 회로는 상기 래칭된 지연 데이터 클록 신호의 논리 레벨에 기초하여 출력 신호를 제공하도록 구성되고, 상기 래칭된 지연 데이터 클록 신호의 논리 레벨은 상기 데이터 클록 신호와의 상기 다상 클록 신호의 위상 관계를 나타내는, 장치.

청구항 16

장치로서,

데이터 클록 신호를 수신하고, 상기 데이터 클록 신호에 기초하여 다상 클록 신호를 제공하도록 구성된 데이터 클록 경로로서, 상기 다상 클록 신호는 상기 데이터 클록 신호와의 제1 위상 관계 또는 제2 위상 관계를 갖고, 상기 데이터 클록 경로는 상기 다상 클록 신호들 중 하나의 다상 클록 신호에 관하여 지연을 갖는 지연된 다상 클록 신호를 제공하도록 더 구성된, 상기 데이터 클록 경로;

커맨드를 수신하고, 상기 커맨드를 디코딩하고, 내부 클록 도메인의 타이밍을 갖는 내부 커맨드를 제공하도록 구성된 커맨드 경로; 및

상기 지연된 다상 클록 신호의 정적 기간 동안 논리 레벨을 래칭하고 상기 데이터 클록 신호에 대한 상기 다상 클록 신호의 위상 관계의 나타내는 논리 레벨을 갖는 출력 신호를 제공하게끔 상기 내부 커맨드에 의해 클로킹되도록 구성된 클록 동기화 회로를 포함하는, 장치.

청구항 17

제16항에 있어서, 상기 데이터 클록 경로는 상기 데이터 클록 신호에 기초하여 상기 다상 클록 신호를 제공하도록 구성된 클록 분할기 회로를 포함하고, 상기 클록 분할기 회로는,

상기 데이터 클록 신호에 기초하여 내부 데이터 클록 신호를 수신하도록 구성된 수신기 회로; 및

직렬 연결된 제1 플립-플롭(FF) 회로와 제2 플립-플롭 회로로서, 상기 제1 및 상기 제2 FF 회로는 활성 내부 커맨드가 활성화되는 경우 클로킹되도록 구성되고, 상기 제1 FF 회로는 제1 다상 클록 신호 및 제2 다상 클록 신호를 상기 제2 FF 회로의 데이터 입력에 제공하도록 구성되고, 상기 제2 FF 회로는 제3 및 제4 다상 클록 신호를 상기 제1 FF 회로의 데이터 입력에 제공하도록 구성된, 상기 제1 및 제2 FF 회로를 포함하는, 장치.

청구항 18

제16항에 있어서, 상기 커맨드 경로는 커맨드 경로 지연을 갖고, 상기 데이터 클록 경로는 데이터 클록 경로 지연을 갖고, 상기 커맨드 경로 지연과 상기 데이터 클록 경로 지연으로 인해, 활성화된 내부 커맨드가 상기 지연된 다상 클록 신호의 정적 기간 동안 상기 커맨드 경로에 의해 상기 클록 동기화 회로에 제공되는, 장치.

청구항 19

제18항에 있어서, 상기 데이터 클록 경로는, 상기 다상 클록 신호들 중 상기 하나의 다상 클록 신호에 관한 상기 지연된 다상 클록 신호의 지연을 제공하도록 구성된 지연 회로를 포함하는, 장치.

청구항 20

제16항에 있어서, 상기 커맨드 경로는 내부 클록 신호와 지연된 내부 클록 신호에 의해 클로킹되도록 구성되되, 상기 내부 클록 신호와 상기 지연된 내부 클록 신호는 상기 내부 클록 도메인의 각각의 타이밍을 갖는, 장치.

청구항 21

제16항에 있어서,

복수의 메모리 셀을 포함하는 메모리 어레이로서, 상기 복수의 메모리 셀에 데이터를 저장하고 상기 메모리 어레이로부터 데이터를 제공하도록 구성된, 상기 메모리 어레이; 및

상기 내부 커맨드에 의해 활성화되고 상기 다상 클록 신호에 의해 클로킹되는 경우 상기 메모리 어레이로부터 데이터를 제공하고 상기 메모리 어레이에 저장될 데이터를 수신하도록 구성된 입력/출력 회로를 더 포함하는, 장치.

청구항 22

방법으로서,

데이터 클록 신호가 활성화되기 전에 일정한 클록 레벨을 갖는 상기 데이터 클록 신호를 수신하는 단계;

상기 데이터 클록 신호에 기초하여 상기 데이터 클록 신호와의 위상 관계를 갖는 다상 클록 신호들을 제공하는 단계;

상기 다상 클록 신호들 중 하나의 다상 클록 신호를 지연하여 지연된 데이터 클록 신호를 제공하는 단계로서, 상기 지연된 데이터 클록 신호는, 활성화되는 상기 데이터 클록 신호에 기초하여 활성화되는, 상기 지연된 데이터 클록 신호를 제공하는 단계; 및

상기 지연된 데이터 클록 신호가 활성화되기 전에 상기 지연된 데이터 클록 신호의 논리 레벨을 래칭하는 단계를 포함하되, 상기 지연된 데이터 클록 신호의 논리 레벨은, 상기 데이터 클록 신호와의 상기 다상 클록 신호들의 위상 관계를 나타내는, 방법.

청구항 23

제22항에 있어서, 상기 데이터 클록 신호에 기초하여 상기 다상 클록 신호들을 제공하는 단계는,

상기 데이터 클록 신호의 제1 상승 에지에 연관된 클록 에지를 갖는 제1 다상 클록 신호를 제공하는 단계;

상기 데이터 클록 신호의 제1 하강 에지에 연관된 클록 에지를 갖는 제2 다상 클록 신호를 제공하는 단계;

상기 데이터 클록 신호의 제2 상승 에지에 연관된 클록 에지를 갖는 제3 다상 클록 신호를 제공하는 단계; 및

상기 데이터 클록 신호의 제2 하강 에지에 연관된 클록 에지를 갖는 제4 다상 클록 신호를 제공하는 단계를 포함하는, 방법.

청구항 24

제23항에 있어서, 상기 제1, 상기 제2, 상기 제3 및 상기 제4 다상 클록 신호의 클록 에지는 상승 에지인, 방법.

청구항 25

제23항에 있어서, 상기 제1, 상기 제2, 상기 제3 및 상기 제4 다상 클록 신호의 클록 에지는 하강 에지인, 방법.

청구항 26

제23항에 있어서, 제1 위상 관계는, 상승 에지인 상기 제1, 상기 제2, 상기 제3 및 상기 제4 다상 클록 신호의 클록 에지에 의해 표현되는, 방법.

청구항 27

제26항에 있어서, 제2 위상 관계는, 하강 에지인 상기 제1, 상기 제2, 상기 제3 및 상기 제4 다상 클록 신호의 클록 에지에 의해 표현되는, 방법.

청구항 28

제22항에 있어서, 상기 데이터 클록 신호는 정적 기간 동안 일정한 클록 레벨을 갖고, 상기 지연된 데이터 클록 신호는 활성화에 선행하여 상기 정적 기간을 갖는, 방법.

청구항 29

제28항에 있어서, 상기 지연된 데이터 클록 신호가 활성화되기 전에 상기 지연된 데이터 클록 신호의 논리 레벨을 래칭하는 단계는, 상기 지연된 데이터 클록 신호의 정적 기간 동안 상기 지연된 데이터 클록 신호의 논리 레벨을 래칭하는 단계를 포함하는, 방법.

청구항 30

제22항에 있어서,

커맨드 경로에서 커맨드를 수신하는 단계; 및

수신된 상기 커맨드를 디코딩하여 내부 커맨드 신호를 제공하는 단계를 더 포함하되,

상기 지연된 데이터 클록 신호의 논리 레벨은, 상기 내부 커맨드 신호에 응답하여 상기 지연된 데이터 클록 신호가 활성화되기 전에 래칭되는, 방법.

청구항 31

방법으로서,

커맨드를 수신하고 이에 응답하여 내부 커맨드를 제공하는 단계;

데이터 클록 단자에서 수신되는 데이터 클록 신호에 기초하여 다상 클록 신호들을 제공하는 단계로서, 상기 데이터 클록 신호는 정적 기간을 갖고, 상기 다상 클록 신호는 상기 데이터 클록 신호와의 복수의 위상 관계 중 하나의 위상 관계를 갖는, 상기 다상 클록 신호들을 제공하는 단계;

상기 내부 커맨드에 응답하여, 상기 다상 클록 신호들 중 지연된 하나의 다상 클록 신호의 정적 기간 동안 상기 다상 클록 신호들 중 상기 지연된 하나의 다상 클록 신호를 평가하는 단계로서, 상기 다상 클록 신호들 중 상기 지연된 하나의 다상 클록 신호의 정적 기간은 상기 데이터 클록 신호의 정적 기간에 기초하는, 상기 지연된 하나의 다상 클록 신호를 평가하는 단계; 및

상기 다상 클록 신호들과 상기 데이터 클록 신호의 상기 복수의 위상 관계 중 상기 하나의 위상 관계를 나타내는 논리 레벨을 갖는 출력 신호를 제공하는 단계를 포함하는, 방법.

청구항 32

제31항에 있어서,

클록 신호를 수신하는 단계;

상기 클록 신호에 기초하여 내부 클록 신호를 제공하는 단계를 더 포함하되,

상기 내부 클록 신호를 제공하는 단계는, 상기 내부 클록 신호에 따라 커맨드 경로에서 상기 커맨드를 디코딩하여 상기 내부 커맨드를 제공하고 상기 내부 커맨드를 상기 커맨드 경로를 통해 전파하는 단계를 더 포함하는, 방법.

청구항 33

제31항에 있어서, 상기 데이터 클록 신호에 기초하여 상기 다상 클록 신호들을 제공하는 단계는, 서로 90도 위상 관계를 갖는 클록 신호들을 제공하는 단계를 포함하는, 방법.

청구항 34

제31항에 있어서, 상기 데이터 클록 신호와의 상기 복수의 위상 관계는 제1 위상 관계와 제2 위상 관계를 포함하되, 상기 방법은,

상기 출력 신호가 상기 제1 위상 관계를 나타내는 경우 상기 제1 위상 관계를 갖는 다상 신호들을 제공하는 단계; 및

상기 출력 신호가 상기 제2 위상 관계를 나타내는 경우 상기 다상 신호들을 제2 위상 관계로부터 제1 위상 관계로 스위칭하는 단계를 더 포함하는, 방법.

청구항 35

제34항에 있어서, 상기 제1 위상 관계는 순차적 위상 관계를 포함하고, 상기 제2 위상 관계는 비순차적 위상 관계를 포함하는, 방법.

청구항 36

제31항에 있어서, 상기 내부 커맨드에 응답하여 메모리 어레이로부터 데이터를 제공하거나 또는 상기 메모리 어레이에 데이터를 저장하는 단계를 더 포함하는, 방법.

발명의 설명

기 술 분 야

배 경 기 술

[0001] 반도체 메모리는 나중에 검색될 수 있는 데이터를 저장하도록 많은 전자 시스템에서 사용된다. 더욱 빠르며 더 큰 연산 능력을 갖고 전력 소비량이 덜한 전자 시스템에 대한 수요가 증가함에 따라, 더욱 빠르게 액세스할 수 있고, 더 많은 데이터를 저장할 수 있고, 전력을 덜 사용할 수 있는 반도체 메모리가, 변화하는 요구를 충족시키도록 지속적으로 개발되어 왔다. 그러한 개발의 일부는, 전자 시스템에서 메모리의 성능을 개선하도록 한 세대에서 다음 세대로 사양이 변경되면서 반도체 메모리를 제어하고 액세스하기 위한 새로운 사양을 만드는 것을 포함한다.

[0002] 반도체 메모리는, 일반적으로 메모리에 커맨드 신호, 어드레스 신호, 클록 신호를 제공함으로써 제어된다. 다양한 신호는 예를 들어 메모리 제어기에 의해 제공될 수 있다. 커맨드 신호는, 다양한 메모리 동작, 예를 들어, 메모리로부터 데이터를 검색하는 판독 동작 및 데이터를 메모리에 저장하는 기입 동작을 수행하도록 반도체 메모리를 제어할 수 있다. 메모리가 새롭게 개발됨에 따라, 메모리에는, 예를 들어, 커맨드 신호와 어드레스 신호를 타이밍(timing) 맞추도록 사용되는 시스템 클록 신호가 제공될 수 있고, 또한, 메모리에 의해 제공되는 판독 데이터를 타이밍하고 및 메모리로부터 제공되는 기입 데이터를 타이밍 맞추도록 사용되는 데이터 클록 신호가 제공될 수 있다.

[0003] 전형적인 설계에서, 판독 데이터는, 메모리에 의해 연관된 판독 커맨드의 수신에 대하여 알려진 타이밍을 갖는 메모리에 의해 제공된다. 알려진 타이밍은 판독 레이턴시 정보(RL)에 의해 정의된다. 유사하게, 기입 데이터는, 메모리에 의해 연관된 기입 커맨드의 수신에 대하여 알려진 타이밍을 갖는 메모리에 의해 수신된다. 알려진 타이밍은 기입 레이턴시 정보(WL)에 의해 정의된다. RL 정보와 WL 정보는 전형적으로 시스템 클록 신호 CK 및 CKF의 클록 사이클의 수에 의해 정의된다. 예를 들어, RL 정보는 시스템 클록 신호 tCK의 18개 클록 사이클의 RL을 정의할 수 있다. 결과적으로, 판독 데이터는, 메모리에 의해 판독 커맨드가 수신된 후 18개의 tCK로 메모리에 의해 제공된다. RL 정보와 WL 정보는 메모리 제어기에 의해 메모리에 프로그래밍될 수 있다.

[0004] 데이터 클록 신호를 사용하는 메모리 설계와 관련하여, 데이터 클록 신호는, 판독 데이터의 제공 또는 메모리에 의한 기입 데이터의 수신을 동기화하도록 (예를 들어, 메모리 제어기로부터) 메모리에 제공된다. 데이터 클록 신호에는, 데이터를 제공하거나 데이터를 수신하여 RL/WL 정보를 만족시키도록 메모리 커맨드의 수신에 대한 타이밍이 사양에 따라 제공된다. 메모리는, 활성 데이터 클록 신호에 응답하고 이에 따라 데이터를 제공하거나 수신한다.

[0005] 반도체 메모리에 포함된 클록 회로는 다양한 동작을 수행하도록 사용되는 내부 클록 신호를 생성하는 데 사용될 수 있다. 예를 들어, 일부 클록 회로는 데이터 클록 신호에 기초하여 다상 클록 신호를 제공할 수 있다. 다상 클록 신호는, 예를 들어, 메모리에 의한 데이터의 제공 및/또는 수신을 타이밍 맞추는 데 사용될 수 있다. 다상 클록 신호는, 서로 상대 위상(예를 들어, 90도) 및 데이터 클록 신호와의 상대 위상을 갖는다. 일부 메모리에서, 클록 회로는, 하나 이상의 다상 클록 신호의 평가에 의해 결정될 때까지 알려지지 않은 데이터 클록 신호에 대한 위상 관계를 갖는 다상 클록 신호를 제공한다.

[0006] 메모리의 적절한 동작을 위해 다상 클록 신호와 데이터 클록 신호 간의 위상 관계의 결정이 필요할 수 있다. 이러한 상황에서, 그 결정은, 메모리의 적절한 동작이 최소 지연 및 전력 소비로 시작되거나 재개될 수 있도록 신속하고 효율적으로 행해져야 한다.

도면의 간단한 설명

[0007] 도 1은 본 발명의 일 실시형태에 따른 장치의 블록도이다.

도 2는 본 개시내용의 일 실시형태에 따른 장치의 일부의 블록도이다.

도 3은 본 개시내용의 일 실시형태에 따른 도 2의 장치의 클록 분할기 회로의 동작에 관련된 다양한 신호의 타이밍도이다.

도 4는 본 개시내용의 일 실시형태에 따른 클록 분할기 회로의 개략도이다.

도 5는 본 개시내용의 일 실시형태에 따른 도 2의 장치의 동작에 관련된 다양한 신호의 타이밍도이다.

도 6은 본 개시내용의 일 실시형태에 따른 도 2의 장치의 동작에 관련된 다양한 신호의 타이밍도이다.

도 7은 본 개시내용의 일 실시형태에 따른 리피터 회로(repeater circuit)의 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0008] 본 발명의 실시형태들에 대한 충분한 이해를 제공하기 위해 소정의 세부 사항을 이하에서 설명한다. 그러나, 통상의 기술자에게는, 본 발명의 실시형태들이 이러한 소정의 세부 사항 없이도 실시될 수 있다는 점이 명백할 것이다. 또한, 본 명세서에서 설명하는 본 발명의 특정 실시형태들은, 예로서 제공된 것이며, 본 발명의 범위를 이들 특정 실시형태로 한정하는 데 사용되어서는 안 된다. 다른 경우에, 본 발명을 불필요하게 모호하게 하는 것을 피하기 위해, 공지되어 있는 회로, 제어 신호, 타이밍 프로토콜, 및 소프트웨어 동작은 상세히 예시하지 않았다.

[0009] 도 1은 본 개시내용의 일 실시형태에 따른 장치의 블록도이다. 장치는 반도체 장치(100)일 수 있으며, 이와 같이 지칭될 것이다. 일부 실시형태에서, 반도체 장치(100)는, 예를 들어, 단일 반도체 칩에 통합된 저 전력 DDR(LPDDR) 메모리와 같은 DRAM 장치를 제한 없이 포함할 수 있다. 반도체 장치(100)는 메모리 다이를 포함한다. 다이는, 외부 기판, 예를 들어, 메모리 모듈 기판, 마더보드 등에 장착될 수 있다. 반도체 장치(100)는 메모리 어레이(150)를 더 포함할 수 있다. 메모리 어레이(150)는 복수의 뱅크(bank)를 포함하고, 각 뱅크는, 복수의 워드 라인(WL), 복수의 비트 라인(BL), 및 복수의 워드 라인(WL)과 복수의 비트 라인(BL)의 교차점에 배열된 복수의 메모리 셀(MC)을 포함한다. 워드 라인(WL)의 선택은 행 디코더(140)에 의해 수행되고, 비트 라인(BL)의 선택은 열 디코더(145)에 의해 수행된다. 감지 증폭기(SAMP)는 대응하는 비트 라인(BL)에 대해 위치하고 적어도 하나의 각각의 로컬 I/O 라인 쌍(LIOT/B)에 접속되고, 이러한 라인 쌍은 다시 스위치로서 기능하는 전송 게이트(TG)를 통해 적어도 하나의 각 메인 I/O 라인 쌍(MIOT/B)에 접속된다.

[0010] 반도체 장치(100)는, 커맨드/어드레스 신호(CA<N:0>)를 수신하도록 커맨드/어드레스 버스에 연결된 커맨드 및 어드레스 단자, 클록 신호(CK와 CKF)를 수신하기 위한 클록 단자, 데이터 클록 신호(WCK와 WCKF)를 수신하기 위한 데이터 클록 단자, 데이터 단자(DQ, RDQS, DBI, DMI), 전원 단자(VDD, VSS, VDDQ, VSSQ) 및 ZQ 교정 단자(ZQ)를 포함하는 복수의 외부 단자를 사용할 수 있다.

[0011] 커맨드/어드레스 단자에는 외부로부터 어드레스 신호 및 뱅크 어드레스 신호가 공급될 수 있다. 어드레스 단자에 공급된 어드레스 신호 및 뱅크 어드레스 신호는 커맨드/어드레스 입력 회로(105)를 통해 어드레스 디코더(112)로 전송된다. 어드레스 디코더(112)는, 어드레스 신호를 수신하고, 디코딩된 행 어드레스 신호를 행 디코더(140)에 공급하고, 디코딩된 열 어드레스 신호를 열 디코더(145)에 공급한다. 어드레스 디코더(112)는, 또한, 뱅크 어드레스 신호를 수신하고, 뱅크 어드레스 신호를 행 디코더(140) 및 열 디코더(145)에 공급한다.

[0012] 커맨드/어드레스 단자에는, 또한, 예를 들어, 메모리 제어기와 같이 외부로부터 커맨드 신호(CA<N:0>)가 공급될 수 있다. 커맨드 신호(CA<N:0>)는, 커맨드/어드레스 입력 회로(105)를 통해 커맨드 경로(115)에 커맨드 신호(ICMD<N:0>)로서 제공될 수 있다. 커맨드 경로(115)는, 워드 라인을 선택하기 위한 행 커맨드 신호 및 비트 라인을 선택하기 위한 열 커맨드 신호를 포함하는 다양한 내부 커맨드를 생성하도록 커맨드 신호(ICMD<N:0>)를 디코딩하는 회로를 포함한다. 내부 커맨드는, 클로킹된 커맨드(CMDCK) 및 동기화 커맨드(CMDSYNC)와 같은 출력 및 입력 활성화 커맨드도 포함한다.

[0013] 판독 커맨드가 발행되고 판독 커맨드가 행 어드레스와 열 어드레스에 적시에 공급되면, 판독 데이터는, 이들 행 어드레스 및 열 어드레스에 의해 지정된 메모리 어레이(150)의 메모리 셀로부터 판독된다. 판독 커맨드는 커맨드 경로(115)에 의해 수신되고, 이러한 커맨드 경로는 내부 커맨드를 입력/출력 회로(160)에 제공하여, 판독 데이터가 WCK 클록 신호 및 WCKF 클록 신호에 따라 데이터 단자(DQ, RDQS, DBI, DMI)로부터 판독/기입 증폭기(155) 및 입력/출력 회로(160)를 통해 외부로 출력된다. 판독 데이터는, 반도체 장치에서, 예를 들어, 모드 레지스터(도 1에 도시되지 않음)에서 프로그래밍될 수 있는 판독 레이턴시 정보(RL)에 의해 정의된 시각에 제공된다. 판독 레이턴시 정보(RL)는 CK 클록 신호의 클록 사이클로 정의될 수 있다. 예를 들어, 판독 레이턴시 정보(RL)는, 연관된 판독 데이터가 제공될 때 반도체 장치(100)에 의해 판독 커맨드가 수신된 후의 CK 신호의 다수의 클록 사이클일 수 있다.

[0014] 기입 커맨드가 발행되고 기입 커맨드가 행 어드레스와 열 어드레스에 적시에 공급되면, 기입 데이터는 WCK 클록 신호 및 WCKF 클록 신호에 따라 데이터 단자(DQ, DBI, DMI)에 공급되고, 기입 커맨드는 커맨드 경로(115)에 의

해 수신되고, 이러한 커맨드 경로는 내부 커맨드를 입력/출력 회로(160)에 제공하여, 기입 데이터가, 입력/출력 회로(160)의 데이터 수신기에 의해 수신되고, 입력/출력 회로(160) 및 판독/기입 증폭기(155)를 통해 메모리 어레이(150)에 공급되고, 행 어드레스와 열 어드레스에 의해 지정된 메모리 셀에 기입된다. 기입 데이터는 기입 레이턴시 WL 정보에 의해 정의된 시각에 데이터 단자에 제공된다. 기입 레이턴시(WL) 정보는, 반도체 장치(100)에서, 예를 들어, 모드 레지스터(도 1에 도시되지 않음)에서 프로그래밍될 수 있다. 기입 레이턴시(WL) 정보는 CK 클록 신호의 클록 사이클로 정의될 수 있다. 예를 들어, 기입 레이턴시 정보(WL)는, 연관된 기입 데이터가 제공될 때 기입 커맨드가 반도체 장치(100)에 의해 수신된 후의 CK 신호의 다수의 클록 사이클일 수 있다.

[0015] 반도체 장치(100)에 포함된 외부 단자의 설명을 참조하면, 클록 단자 및 데이터 클록 단자에는 외부 클록 신호 및 상보적 외부 클록 신호가 공급된다. 외부 클록 신호(CK, CKF, WCK, WCKF)는 클록 입력 회로(120)에 공급될 수 있다. 클록 입력 회로(120)는 내부 클록 신호(ICK, IWCK, IWCKF)를 생성하도록 외부 클록 신호를 수신할 수 있다. 내부 클록 신호(ICK, IWCK, IWCKF)는 내부 클록 회로(130)에 공급된다.

[0016] 내부 클록 회로(130)는, 수신된 내부 클록 신호 및 커맨드/어드레스 입력 회로(105)로부터의 클록 인에이블 신호(CKE)에 기초하여 다양한 위상 및 주파수 제어된 내부 클록 신호를 제공하는 회로를 포함한다. 예를 들어, 내부 클록 회로(130)는, ICK 클록 신호를 수신하고 내부 클록 신호(ICK 및 ICKD)를 제공하는 클록 경로(도 1에 도시되지 않음)를 포함할 수 있으며, 여기서 ICKD는 내부 클록 신호(ICK)와 동일하지만 지연에 의해 ICK 클록 신호에 대하여 지연된 것이다. ICK 클록 신호 및 ICKD 클록 신호는 커맨드 경로(115)에 제공될 수 있다. 내부 클록 회로(130)는, IWCK 클록 신호 및 IWCKF 클록 신호를 수신하고 내부 클록 신호(IWCK 및 IWCKF)에 기초하여 다상 클록 신호(IWCKn)를 제공하는 데이터 클록 경로(도 1에 도시되지 않음)를 더 포함할 수 있다. 아래에서 더 상세히 설명하는 바와 같이, 다상 클록 신호(IWCKn)는 서로 상대 위상을 갖고, WCK 클록 신호 및 WCKF 클록 신호와의 위상 관계를 갖는다. 다상 클록 신호(IWCKn)는, 또한, 판독 데이터의 출력 타이밍 및 기입 데이터의 입력 타이밍을 제어하도록 입력/출력 회로(160)에 제공될 수 있다. 데이터 클록 경로는 지연된 다상 클록 신호(IWCKD)도 제공할 수 있으며, 이 신호는 더 지연된 다상 클록 신호(IWCKn) 중 하나이다.

[0017] 클록 동기화 회로(175)에는 지연된 다상 클록 신호(IWCKD) 및 동기화 커맨드(CMDSYNC)가 제공된다. 아래에서 더 상세히 설명하는 바와 같이, 클록 동기화 회로는, 다상 클록 신호(IWCKn)와 WCK 클록 신호 및 WCKF 클록 신호 간의 위상 관계를 나타내는 논리 레벨을 갖는 출력 신호(SYNCINFO)를 제공한다.

[0018] 전원 단자에는 또한 전원 전위(VDD 및 VSS)가 제공된다. 이들 전원 전위(VDD 및 VSS)는 내부 전압 생성 회로(170)에 공급된다. 내부 전압 생성 회로(170)는, 전원 전위(VDD 및 VSS)에 기초하여 다양한 내부 전위(VPP, VOD, VARY, VPERI 등) 및 기준 전위(ZQVREF)를 생성한다. 내부 전위(VPP)는 주로 행 디코더(140)에 사용되고, 내부 전위(VOD 및 VARY)는 주로 메모리 어레이(150)에 포함된 감지 증폭기에 사용되고, 내부 전위(VPERI)는 다른 많은 회로 블록에 사용된다. 기준 전위(ZQVREF)는 ZQ 교정 회로(165)에서 사용된다.

[0019] 전원 단자에는 전원 전위(VDDQ)가 공급된다. 전원 전위(VDDQ)는 전원 전위(VSS)와 함께 입력/출력 회로(160)에 공급된다. 전원 전위(VDDQ)는 본 개시내용의 일 실시형태에서 전원 전위(VDD)와 동일한 전위일 수 있다. 전원 전위(VDDQ)는 본 개시내용의 다른 일 실시형태에서 전원 전위(VDD)와는 다른 전위일 수 있다. 그러나, 전용 전원 전위(VDDQ)는, 입력/출력 회로(160)에 의해 생성되는 전원 노이즈가 다른 회로 블록으로 전파되지 않도록 입력/출력 회로(160)를 위해 사용된다.

[0020] 교정 단자(ZQ)는 ZQ 교정 회로(165)에 접속된다. ZQ 교정 회로(165)는, ZQ 교정 커맨드(ZQ_com)에 의해 활성화될 때 RZQ의 임피던스 및 기준 전위(ZQVREF)를 참조하여 교정 동작을 수행한다. 교정 동작에 의해 취득되는 임피던스 코드(ZQCODE)는 입력/출력 회로(160)에 공급되어, 입력/출력 회로(160)에 포함된 출력 버퍼(도시되지 않음)의 임피던스가 특정된다.

[0021] 도 2는 본 개시내용의 일 실시형태에 따른 장치의 일부의 블록도이다. 도 2의 장치의 일부는 본 개시내용의 일부 실시형태에서 도 1의 반도체 장치(100)에 포함될 수 있다. 장치는 클록 경로(210), 커맨드 경로(230), 데이터 클록 경로(250), 및 클록 동기화 회로(270)를 포함한다. 클록 경로(210), 커맨드 경로(220), 또는 데이터 클록 경로(230) 중 하나 이상은, 본 개시내용의 범위를 벗어나지 않고 나머지 경로들 중 어떠한 것도 동일하게 유지하면서 수정될 수 있다.

[0022] 클록 경로(210)는, 상보적 클록 신호(CK 및 CKF)를 수신하고 내부 클록 신호(ICK)를 제공하는 수신기 회로(212)를 포함할 수 있다. 수신기 회로(212)는 도 1의 클록 입력 회로(120)에 포함될 수 있다. 내부 클록 신호(ICK)는 CK 클록 신호 및 CKF 클록 신호에 기초한다. 클록 신호는, 제1 클록 신호의 상승 에지가 제2 클록 신호의

하강 에지와 동시에 발생하고 제2 클록 신호의 상승 에지가 제1 클록 신호의 하강 에지와 동시에 발생하는 경우에 상보적이다. 리피터 회로(214)는 ICK 클록 신호를 수신하고 ICK' 클록 신호를 지연 회로(216)에 제공한다. 리피터 회로(214)는 수신기 회로(212)로부터 지연 회로(216)로 클록 라인을 통해 ICK' 클록 신호를 구동한다. ICK' 클록 신호는 지연된 ICK 클록 신호(ICKD)를 제공하도록 지연 회로(216)에 의해 지연된다. 아래에서 더 상세히 설명하는 바와 같이, 지연 회로(216)는 커맨드 경로(230)에서의 회로의 전파 지연을 모델링한다. 리피터 회로(218)는, ICKD 클록 신호를 수신하고, ICKD' 클록 신호를 커맨드 레이턴시 회로(242)의 FF 회로(244(0) 내지 244(N))에 제공한다. 리피터 회로(218)는 ICKD' 클록 신호를 클록 라인을 통해 FF 회로(244(0) 내지 244(N))로 구동한다.

[0023] 커맨드 경로(230)는 커맨드(CA<N:0>)를 수신하고 커맨드 신호(ICMD<N:0>)를 제공하는 수신기 회로(232)를 포함할 수 있다. 수신기 회로(232)는 도 1의 커맨드/어드레스 입력 회로(105)에 포함될 수 있다. 커맨드(CA<N:0>)는 (N+1) 커맨드 신호로 표현되는 (N+1) 이진수("비트")를 포함하고, 커맨드(ICMD<N:0>)는 (N+1) 커맨드 신호로 표현되는 (N+1) 비트를 포함하고, 여기서 N은 0이 아닌 양수이다. 수신기 회로(232)는 (N+1)개의 수신기 회로를 포함하고, 각 수신기 회로는 CA<N:0>의 커맨드 신호 각각을 수신하고 각 커맨드 신호(ICMD<N:0>)를 제공한다.

[0024] 커맨드 신호(ICMD<N:0>)는 리피터 회로(234)에 제공되며, 리피터 회로는 커맨드 신호를 커맨드 라인을 통해 플립-플롭(FF) 회로(236)로 구동하도록 커맨드 신호(ICMD<N:0>')를 제공한다. 리피터 회로(234)는 (N+1)개의 리피터 회로의 복수의 그룹을 포함한다. (N+1)개의 리피터 회로의 각 그룹은 커맨드 신호(ICMD<N:0>) 중 하나를 위한 것이다. FF 회로(236)는, (N+1)개의 FF 회로를 포함하는데, 각 커맨드 신호(ICMD<N:0>')에 대하여 하나의 FF 회로를 포함한다. 커맨드 신호(ICMD<N:0>')는, FF 회로(236)에 의해 래칭되고 래칭된 커맨드 신호(CMDLAT<N:0>)로서 제공된다. FF 회로(236)는 클록 경로(210)의 리피터 회로(214)에 의해 제공되는 ICK' 클록 신호에 의해 클로킹된다. 이어서, 래칭된 커맨드 신호(CMDLAT<N:0>)가 리피터 회로(238)에 제공되며, 리피터 회로는 래칭된 커맨드 신호(CMDLAT<N:0>')를 커맨드 라인을 통해 커맨드 디코더 회로(240)로 구동한다. 리피터 회로(238)는, (N+1)개의 리피터 회로를 포함하는데, CMDLAT 신호의 각각에 대해 하나의 리피터 회로를 포함한다.

[0025] 커맨드 디코더 회로(240)는 래칭된 커맨드 신호(CMDLAT<N:0>')를 디코딩하고 디코딩된 커맨드(CMDDEC)를 제공한다. 커맨드 디코더 회로(240)는 클록 경로(210)에 의해 제공되는 지연된 내부 클록(ICKD')에 의해 클로킹될 수 있다. 커맨드 레이턴시 회로(242)는, 디코딩된 커맨드(CMDDEC)를 수신하고, 커맨드 레이턴시 정보(LAT)에 따른 지연만큼 그 디코딩된 커맨드를 지연한다. 커맨드 레이턴시 정보(LAT)는, 클록 신호, 예를 들어, 클록 경로(210)에 제공되는 클록 신호(CK)의 다수의 클록 사이클을 정의할 수 있으며, 이때 커맨드에 연관된 데이터는, 반도체 장치(100)에 의해 제공되며(예를 들어, 연관된 판독 커맨드에 대한 판독 데이터에 해당) 또는 반도체 장치(100)에 의한 연관된 커맨드의 수신에 후속하여 반도체 장치(100)에 제공된다(예를 들어, 연관된 기입 커맨드에 대한 기입 데이터에 해당한다). 커맨드 레이턴시 정보(LAT)는, 커맨드(CA<N:0>)(예를 들어, 판독 커맨드 또는 기입 커맨드)에 따라 판독 레이턴시 정보(RL) 또는 기입 레이턴시 정보(WL)를 나타낼 수 있다.

[0026] 리피터 회로(214)를 통한 수신기 회로(212)로부터의 전파 지연은 리피터 회로(234)를 통한 수신기 회로(232)로부터의 전파 지연과 정합될 수 있다. 이러한 방식으로, CK(및 CKF) 클록 신호의 클록 에지가 수신기 회로(212)에 의해 수신되는 것과 동시에 커맨드(CA<N:0>)가 수신기 회로(232)에 의해 수신될 때, (클록 신호(ICLK')에 대한) 클록 에지는 그 커맨드에 대한 커맨드 신호(ICMD<N:0>')를 래칭하도록 FF 회로(236)를 클로킹한다. 리피터 회로(238)를 통한 전파 지연은 지연 회로(216)에 의해 모델링될 수 있어서, FF 회로(236)에 의해 제공되는 CMDLAT<N:0> 신호와 커맨드 디코더 회로(240)에 의해 수신되는 CMDLAT<N:0>' 신호 간의 임의의 지연은, ICK' 클록 신호와 지연된 클록 신호(ICKD) 간의 지연과 정합될 수 있다. 리피터 회로(238)와 지연 회로(216)의 지연이 정합함으로써, 커맨드(CA<N:0>)와 동시에 수신되는 CK 클록 신호의 클록 에지가 커맨드 디코더 회로(240)도 클로킹하여 그 커맨드에 대한 CMDLAT<N:0>' 신호를 디코딩하게 된다.

[0027] 커맨드 레이턴시 회로(242)는, 지연된 클록 신호(ICKD')에 의해 클로킹되어 커맨드 레이턴시 회로(242)에 의해 제공되는 디코딩된 커맨드(CMDDEC)를 클로킹된 커맨드(CMDCK)로서 지연하는 복수의 FF 회로(244(0) 내지 244(N))를 포함한다. 지연된 클록 신호(ICKD)는 전술한 바와 같이 클록 경로(210)에 의해 제공된다. 클로킹된 커맨드(CMDCK)는 ICK' 클록 신호에 따라 FF 래치 회로(236)에 의한 ICMD<N:0>' 커맨드 신호의 래칭에 의해 CK(및 CKF) 클록 신호에 대한 타이밍을 갖고, 디코딩된 커맨드(CMDDEC)는 ICKD' 클록 신호에 의해 FF 회로(244(0) 내지 244(N))를 통해 클로킹된다. 전술한 바와 같이, ICK, ICK', ICKD 및 ICKD' 클록 신호는 CK 및 CKF 클록 신호에 기초한다. 결과적으로, 클로킹된 커맨드(CMDCK)는 CK 클록 신호의 타이밍을 반영한다. 클로킹된 커맨드(CMDCK)는 CK 클록 도메인의 타이밍을 갖는 것이라고 칭할 수 있다. 클로킹된 커맨드(CMDCK)는 커맨드를 수행하기 위한 회로를 활성화하도록 제공될 수 있다. 예를 들어, 판독 커맨드에 대해, 클로킹된 커맨드(CMDCK)는, (예

를 들어, IO 회로(160)의) 출력 회로를 활성화하여 판독 데이터를 제공하도록 제공될 수 있다.

[0028] 클로킹된 커맨드(CMDCK)는, 동기화 커맨드(CMDSYNC)를 클록 동기화 회로(270)에 제공하도록 커맨드 라인을 통해 클로킹된 커맨드(CMDCK)를 구동하는 리피터 회로(246)에 제공된다. 동기화 커맨드(CMDSYNC)는, 클로킹된 커맨드(CMDCK)에 대해 전술한 바와 같이 CK 클록 신호 및 CKF 클록 신호에 대한 타이밍 관계도 갖는다. 클록 동기화 회로(270)는 도 2에 도시된 바와 같이 본 개시내용의 일 실시형태에서 FF 회로일 수 있다. FF 회로와는 다른 회로는 본 개시내용의 다른 일 실시형태에서 클록 동기화 회로(270)에 포함되거나 대체될 수 있다. 동기화 커맨드(CMDSYNC)는 클록 동기화 회로(270)를 클로킹하는 데 사용된다. 클록 동기화 회로(270)는, 데이터 클록 경로(250)에 의해 제공되는 IWCK90D 클록 신호의 논리 레벨을 래칭하고, 래칭된 IWCK90D 클록 신호의 논리 레벨을 갖는 출력 신호(SYNCINFO)를 제공한다. 커맨드 신호(ICMD<N:0>, ICMD<N:0>', CMDLAT<N:0>, CMDLAT<N:0>'), 디코딩된 커맨드(CMDDEC), 클로킹된 커맨드(CMDCK), 및 동기화 커맨드(CMDSYNC)는, 커맨드(CA<N:0>)에 기초하는 내부 커맨드로 간주할 수 있다.

[0029] 데이터 클록 경로(250)는 수신기 회로(252)로부터 상보적 내부 클록 신호(IWCK 및 IWCKF)를 수신한다. 수신기 회로(252)는, 상보적 클록 신호(WCK 및 WCKF)를 수신하고, WCK 클록 신호 및 WCKF 클록 신호에 기초하여 상보적 내부 클록 신호(IWCK 및 IWCKF)를 제공한다. 수신기 회로(252)는 도 1의 클록 입력 회로(120)에 포함될 수 있다. IWCK 클록 신호 및 IWCKF 클록 신호는, 다상 클록 신호(IWCK0, IWCK90, IWCK180, IWCK270)(통칭하여 다상 클록 신호(IWCKn)라고 함)를 제공하도록 구성된 클록 분할기 회로(254)에 제공된다. 다상 클록 신호는, 서로에 대한 상대 위상을 갖고, WCK 클록 신호 및 WCKF 클록 신호의 클록 주파수보다 작은 클록 주파수를 갖는다. 본 개시내용의 일 실시형태에서, IWCK0, IWCK90, IWCK180 및 IWCK270 클록 신호는 서로 90도의 상대 위상을 갖는다. 예를 들어, IWCK90 클록 신호는 IWCK0 클록 신호에 대해 90도의 위상을 갖고, IWCK180 클록 신호는 IWCK0 클록 신호에 대해 180도의 위상(및 IWCK90 클록 신호에 대해 90도의 위상)을 갖고, IWCK270 클록 신호는 IWCK0 클록 신호에 대해 270도의 위상(및 IWCK180 클록 신호에 대해 90도의 위상)을 갖는다. 이러한 경우에, 다상 클록 신호(IWCK0, IWCK90, IWCK180, IWCK270)는 "직교" 위상 클록 신호라고 칭할 수 있다. 본 개시내용의 일 실시형태에서, IWCK0, IWCK90, IWCK180 및 IWCK270 클록 신호는 WCK 클록 신호 및 WCKF 클록 신호의 클록 주파수의 절반인 클록 주파수를 갖는다.

[0030] 다상 클록 신호는 리피터 회로(256)에 제공된다. 리피터 회로(256)는 다상 클록 신호(IWCKn)의 각각에 대한 리피터 회로를 포함한다. 리피터 회로(256)는, 클록 분할기 회로(254)로부터 클록 분배 회로(258)로 클록 라인을 통해 다상 클록 신호(IWCKn)를 구동한다. 클록 분배 회로(258)는 다상 클록 신호(IWCKn)를 다상 클록 신호에 따라 동작하는 다양한 회로에 제공한다. 예를 들어, 다상 클록 신호(IWCKn)는, 데이터를 제공 및 수신하도록(도 2에서 "DQ 블록으로"라고 되어 있음) 클록 입력/출력 회로(도 2에 도시되지 않음)에 제공될 수 있다. 클록 분배 회로(258)는, 본 개시내용의 일부 실시형태에서 클록 신호의 전압 레벨을 변경하는 회로도 포함할 수 있다. 본 개시내용의 일 실시형태에서, 클록 분배 회로(258)는, 다상 클록 신호(IWCKn)에 고 전압의 고 클록 레벨을 제공하기 위해 고 클록 레벨의 전압 레벨을 저 전압에서 고 전압으로 시프트하기 위한 회로를 포함한다. 예를 들어, 리피터(256)에 의해 제공되는 다상 클록 신호의 고 클록 레벨의 전압 레벨은, 클록 분배 회로(258)에 의해 제공되는 다상 클록 신호(IWCKn)의 고 클록 레벨의 전압 레벨보다 작을 수 있다.

[0031] 클록 분배 회로(258)로부터의 다상 클록 신호(IWCKn(IWCK0, IWCK90, IWCK180 및 IWCK270)) 중 적어도 하나가 지연 회로(260)에 또한 제공된다. 지연 회로(260)는, 클록 분배 회로(258)에 의해 제공되는 다상 클록 신호에 대한 지연을 갖는 클록 신호를 제공한다. 예를 들어, 본 개시내용의 일 실시형태에서, IWCK90 클록 신호는, IWCK90 클록 신호에 대한 지연을 갖는 IWCK90D 클록 신호를 제공하는 지연 회로(260)에 제공된다. 지연 시간은, 클록 경로(210)에 의해 제공되는 클록 신호(ICK, ICK', ICKD 및 ICKD')에 의해 클로킹될 때 데이터 클록 경로(250)의 경로 지연과 커맨드 경로(230)의 경로 지연 간의 차에 기초할 수 있다. 경로 지연은 일반적으로 경로를 통한 신호의 전파 지연이다. 데이터 클록 경로(250)의 경로 지연은, 수신기 회로(252)로부터 지연 회로(260)를 통해 클록 동기화 회로(270)로 향하는 전파 지연이다. 커맨드 경로(230)의 경로 지연은 수신기 회로(232)로부터 리피터(246)를 통해 클록 동기화 회로(270)로 향하는 전파 지연이다.

[0032] 전술한 바와 같이, 클록 분할기 회로(254)는 IWCK 클록 신호 및 IWCKF 클록 신호를 수신하고 다상 클록 신호(IWCK0, IWCK90, IWCK180, IWCK270)를 제공하도록 구성된다. 또한, 전술한 바와 같이, IWCK 클록 신호 및 IWCKF 클록 신호는 WCK 클록 신호 및 WCKF 클록 신호에 기초한다. 본 발명의 일 실시형태에서, IWCK 클록 신호 및 IWCK 클록 신호는 WCK 클록 신호 및 WCKF 클록 신호의 클록 주파수와 동일한 클록 주파수를 가지며, IWCK 클록 신호는 WCK 클록 신호에 대응하고, IWCKF 클록 신호는 WCKF 클록 신호에 대응한다.

[0033] 클록 분할기 회로(254)에 의해 제공되는 다상 클록 신호(IWCKn)는, 서로에 대한 상대 위상을 가지며, WCK 클록 신호 및 WCKF 클록 신호(및 IWCK 클록 신호 및 IWCKF 클록 신호)의 클록 주파수보다 작은 클록 주파수를 갖는다. 본 개시내용의 일 실시형태에서, 다상 클록 신호는 IWCK 클록 신호 및 IWCKF 클록 신호의 클록 주파수의 절반을 갖는다. 결과적으로, 다상 클록 신호(IWCKn)의 1개의 클록 사이클에 대하여 IWCK 클록 신호 및 IWCKF 클록 신호의 2개의 클록 사이클이 존재한다.

[0034] 클록 분할기 회로(254)에 의해 제공되는 다상 클록 신호(IWCK0, IWCK90, IWCK180 및 IWCK270)는 WCK 클록 신호 및 WCKF 클록 신호에 대한 2개의 위상 관계 중 하나를 가질 수 있다. 제1 위상 관계와 제2 위상 관계가 도 3에 도시되어 있다. 제1 위상 관계에서, IWCK0 클록 신호의 상승 에지(320)는 IWCK(및 WCK) 클록 신호의 제1 상승 에지(310)에 연관되고, IWCK90 클록 신호의 상승 에지(322)는 IWCK/WCK 클록 신호의 제1 하강 에지(312)에 연관되고, IWCK180 클록 신호의 상승 에지(324)는 IWCK/WCK 클록 신호의 제2 상승 에지(314)에 연관되고, IWCK270 클록 신호의 상승 에지(326)는 IWCK/WCK 클록 신호의 제2 하강 에지(316)에 연관된다. 제1 위상 관계는 "순차적"(in order) 위상 관계라고 칭할 수 있다.

[0035] 제2 위상 관계에서, IWCK0 클록 신호의 하강 에지(330)는 IWCK(및 WCK) 클록 신호의 제1 상승 에지(310)에 연관되고, IWCK90 클록 신호의 하강 에지(332)는 IWCK/WCK 클록 신호의 제1 하강 에지(312)에 연관되고, IWCK180 클록 신호의 하강 에지(334)는 IWCK/WCK 클록 신호의 제2 상승 에지(314)에 연관되고, IWCK270 클록 신호의 하강 에지(336)는 IWCK/WCK 클록 신호의 제2 하강 에지(316)에 연관된다. 제2 위상 관계는 "비순차적"(out of order) 위상 관계라고 칭할 수 있다.

[0036] 제1 및 제2 위상 관계는, WCK 및 WCKF(및 IWCK 및 IWCKF) 클록 신호의 클록 주파수가 변할 때에도, 예를 들어, IWCK 클록 신호의 하강 에지(316)에 후속하여 도 3에 도시된 바와 같이 클록 주파수가 증가할 때에도, 유지된다.

[0037] 클록 분할기 회로(254)에 의해 제공되는 다상 클록 신호(IWCKn)의 위상 관계는, 결정이 이루어질 때까지 알려지지 않을 수 있다. 다상 클록 신호(IWCKn)의 위상 관계는, 예를 들어, 다상 클록 신호들 중 적어도 하나를 평가함으로써 결정될 수 있다. 아래에서 더 상세히 설명하는 바와 같이, 클록 동기화 회로(270)에 의해 제공되는 출력 신호(SYNCINFO)는 다상 클록 신호(IWCKn)의 위상 관계에 관한 정보를 제공한다. 예를 들어, 도 2에 도시된 본 개시내용의 실시형태에서, 출력 신호(SYNCINFO)의 논리 레벨은 다상 클록 신호(IWCKn)의 위상 관계를 나타낸다.

[0038] 다상 클록 신호(IWCKn)의 위상 관계를 결정하는 것은, 반도체 장치(100)의 적절한 동작이 위상 관계들 중 하나의 위상 관계를 갖는 다상 클록 신호에 기초할 수 있기 때문에 필요할 수 있다. 예를 들어, 다상 클록 신호가 "순차적" 위상 관계를 가질 때 반도체 장치(100)에 의해 판독 데이터가 적절히 제공될 수 있고 기입 데이터가 적절히 수신될 수 있다. 이러한 예에서, 다상 클록 신호(IWCKn)가 "비순차적" 위상 관계를 갖는 것으로 결정되면, 다상 클록 신호들 중 다양한 다상 클록 신호가 "순차적" 다상 클록 신호를 제공하도록 스위칭될 수 있다. 예를 들어, 비순차적 다상 클록 신호들 중 IWCK180 클록 신호와 IWCK0 클록 신호가 스위칭될 수 있고, 비순차적 다상 클록 신호들 중 IWCK270 클록 신호와 IWCK90 클록 신호가 스위칭될 수 있다. 결과적으로, "비순차적" 다상 클록 신호는 "순차적" 다상 클록 신호들로 스위칭된다.

[0039] 출력 신호(SYNCINFO)의 논리 레벨이 다상 클록 신호들의 위상 관계를 나타내는 본 개시내용의 일 실시형태에서, 출력 신호(SYNCINFO)는 다상 클록 신호의 스위칭을 제어하는 논리 회로 또는 다른 회로를 제어하도록 제공될 수 있다. 예를 들어 출력 신호(SYNCINFO)가 다상 클록 신호들이 "순차적" 위상 관계를 갖는 것을 나타내는 제1 논리 레벨을 갖는 경우, 제어 논리 회로는 다상 클록 신호를 스위칭하지 않도록 스위칭 회로(예를 들어, 멀티플렉서 회로)를 제어하기 위한 제어 신호를 제공할 수 있다. 반대로, 출력 신호(SYNCINFO)가 다상 클록 신호들이 "비순차적" 위상 관계를 갖는 것을 나타내는 제2 논리 레벨을 갖는 경우, 제어 논리 회로는, "비순차적" 다상 클록 신호가 "순차적" 다상 클록 신호로 스위칭되도록, 스위칭 회로를 제어하여 다상 클록 신호를 스위칭하게 하는 제어 신호를 제공할 수 있다. 출력 신호(SYNCINFO)는 본 개시내용의 다른 실시형태에서 다르게 사용될 수 있고, 다상 클록 신호의 위상 관계를 정정하는 방안은 본 개시내용의 다른 실시형태에서 또한 상이할 수 있다(예를 들어, 정확한 위상 관계를 갖는 다상 신호를 제공하도록 클록 분할기 회로를 제어하고, 다상 클록 신호를 반전하는 등을 행할 수 있다).

[0040] 도 4는 본 개시내용의 일 실시형태에 따른 클록 분할기 회로(400)의 개략도이다. 클록 분할기 회로(400)는 본 개시내용의 일 실시형태에서 클록 분할기 회로(254)로서 사용될 수 있다. 클록 분할기 회로(400)는, 상보적 클록 신호(IWCK 및 IWCKF)를 수신하고 상보적 클록 신호(ICLK 및 ICLKF)를 제공하는 수신기 회로(405)를

포함한다. ICLK 클록 신호 및 ICLKF 클록 신호는 플립-플롭(FF) 회로(410 및 420)의 클록 입력에 제공된다. FF 회로(410 및 420)는, ICLK 클록 신호 및 ICLKF 클록 신호에 의해 클로킹되어 각각의 데이터 입력(D 및 DF)에서 상보적 입력 신호를 수신하고 데이터 출력(Q 및 QF)에서 상보적 출력 신호를 제공한다. IWCK0' 클록 신호는 FF 회로(410)의 데이터 출력(Q)에 제공되고, IWCK90' 클록 신호는 FF 회로(420)의 데이터 출력(Q)에 제공되고, IWCK180' 클록 신호는 FF 회로(410)의 데이터 출력(QF)에 제공되고, IWCK270' 클록 신호는 FF 회로(420)의 데이터 출력(QF)에 제공된다. IWCK0' 클록 신호는 FF 회로(420)의 데이터 입력(D)에 제공되고, IWCK90' 클록 신호는 FF 회로(410)의 데이터 입력(DF)에 제공되고, IWCK180' 클록 신호는 FF 회로(420)의 데이터 입력(DF)에 제공되고, IWCK270' 클록 신호는 FF 회로(410)의 데이터 입력(D)에 제공된다. 클록 분할기 회로(400)는 멀티플렉서(MPX)(430 내지 433)를 더 포함할 수 있다. MPX(431 및 432) 각각은 IWCK0' 클록 신호 및 IMC180' 클록 신호를 수신할 수 있고, MPX(432 및 433) 각각은 IWCK90' 클록 신호 및 IWCK270' 클록 신호를 수신한다. 본 개시내용의 일부 실시형태에서, SYNCINF0 신호가 저 논리 레벨인 경우, MPX(430, 431, 432 및 433)는, 각각, IWCK0' 클록 신호를 IWCK0 클록 신호로서, IWCK180' 클록 신호를 IWCK180 클록 신호로서, IWCK90' 클록 신호를 IWCK90 클록 신호로서, IWCK270' 클록 신호를 IWCK270 신호로서 선택 및 출력할 수 있다. 반면, SYNCINF0 신호가 고 논리 레벨인 경우, MPX(430, 431, 432, 433)는, 각각, IWCK180' 클록 신호를 IWCK0 클록 신호로서, IWCK0' 클록 신호를 IWCK180 클록 신호로서, IWCK270' 클록 신호를 IWCK90 클록 신호로서, IWCK90' 클록 신호를 IWCK270 클록 신호로서 선택 및 출력할 수 있다.

[0041] 클록 분할기 회로(400)의 동작을 도 3 및 도 4를 참조하여 설명한다. 동작 시, 클록 분할기 회로(400)는 서로 90도의 상대 위상을 갖는 다상 클록 신호(IWCK0, IWCK90, IWCK180 및 IWCK270)를 제공한다. 다상 클록 신호는 IWCK 클록 신호 및 IWCKF 클록 신호에 기초하며, 이러한 클록 신호는 전술한 바와 같이 WCK 클록 신호 및 WCKF 클록 신호에 기초할 수 있다. 클록 분할기 회로(400)는, IWCK 클록 신호 및 IWCKF 클록 신호의 클록 주파수의 절반인 클록 주파수를 갖는 다상 클록 신호를 제공한다. 결과적으로, IWCK 클록 신호 및 IWCKF 클록 신호의 2개의 클록 사이클은 다상 클록 신호의 1개의 클록 사이클과 동일한 시간이 걸린다.

[0042] IWCK와 IWCKF(및 ICLK와 ICLKF) 클록 신호가 고 클록 레벨과 저 클록 레벨 간에 클로킹될 때, FF 회로(410 및 420)는, 각각의 데이터 협력(D, DF)에 인가되는 논리 레벨을 수신하고 각각의 데이터 출력(Q, QF)에서 논리 레벨을 제공하도록 클로킹된다. 출력의 논리 레벨이 변함에 따라, 각각의 클록 신호(IWCK0', IWCK90', IWCK180' 및 IWCK270')가 인가되는 데이터 입력(D, DF)에서의 논리 레벨이 변경된다. 그 결과, IWCK 클록 신호와 IWCKF 클록 신호가 다시 고 클록 레벨과 저 클록 레벨 간에 클로킹되는 경우, 각각의 데이터 입력(D, DF)에서의 새로운 논리 레벨이 수신되어 각각의 데이터 출력(Q, QF)에서 제공된다. IWCK 클록 신호 및 IWCKF 클록 신호의 연속적 클로킹으로 인해, 데이터 입력과 데이터 출력에서의 논리 레벨이 지속적으로 주기적으로 변경된다. FF 회로(410 및 420)가 직렬로 연결되어 있기 때문에, 결과적인 다상 클록 신호(IWCK0, IWCK90, IWCK180 및 IWCK270)는 IWCK 및 IWCKF(및 ICLK 및 ICLKF) 클록 신호의 클록 주파수의 절반을 갖는다.

[0043] 클록 분할기 회로(400)는, 도 3을 참조하여 전술한 2개의 위상 관계 중 하나를 갖는 다상 클록 신호(IWCK0, IWCK90, IWCK180, IWCK270)를 제공할 수 있다. 특히, 클록 분할기 회로(400)는, 다상 클록 신호의 상승 에지가 IWCK 클록 신호의 클록 에지에 연관된 (예를 들어, "순차적") 제1 위상 관계를 갖거나 다상 클록 신호의 하강 에지가 IWCK 클록 신호의 클록 에지에 연관된 (예를 들어, "비순차적") 제2 위상 관계를 갖는 다상 클록 신호(IWCK0, IWCK90, IWCK180, IWCK270)를 제공할 수 있다.

[0044] 도 2를 참조하면, 다상 클록 신호(IWCK0, IWCK90, IWCK180, IWCK270)와 WCK 클록 신호 및 WCKF 클록 신호의 위상 관계는, 동기화 커맨드(CMDSYNC)가 활성화될 때 IWCK90D 클록 신호를 평가함으로써 결정될 수 있다. 동기화 커맨드(CMDSYNC)가 활성화되면, 클록 동기화 회로(270)는 IWCK90D 클록 신호의 논리 레벨을 래칭하고 래칭된 논리 레벨을 출력 신호(SYNCINF0)로서 제공하도록 클로킹된다. 아래에 더 상세히 설명하는 바와 같이, 출력 신호(SYNCINF0)의 결과적인 논리 레벨은, 다상 클록 신호가 WCK 클록 신호 및 WCKF 클록 신호와의 제1 위상 관계를 갖는지 또는 제2 위상 관계를 갖는지를 나타낸다.

[0045] 도 5와 도 6은 본 개시내용의 일 실시형태에 따른 도 2의 장치의 동작에 관련된 다양한 신호의 타이밍도이다. 도 5와 도 6은 판독 커맨드에 응답하여 수행되는 판독 동작과 관련하여 다양한 신호를 도시한다. 판독 데이터(DQ)는 판독 커맨드의 수신에 관하여 판독 레이턴시 정보(RL)에 의해 정의된 시각에 제공된다. WCK 클록 신호 및 WCKF 클록 신호와 다상 클록 신호(IWCK0, IWCK90, IWCK180, IWCK270)의 위상 관계를 결정하는 것과 관련하여, 도 5는 제1 위상 관계("순차적")를 나타내고, 도 6은 제2 위상 관계("비순차적")를 나타낸다. 출력 신호(SYNCINF0)의 논리 레벨은 결정된 위상 관계를 나타내는 논리 레벨을 갖는다. 예를 들어, 도 5는 "순차적" 제1 위상 관계를 나타내는 저 논리 레벨을 갖는 출력 신호(SYNCINF0)를 도시하고, 도 6은 "비순차적" 제2 위상 관계

를 나타내는 고 논리 레벨을 갖는 출력 신호(SYNCINFO)를 도시한다.

[0046] 도 2와 도 5를 참조하면, 판독 커맨드(READ)는 시각(T0)에 CK 클록 신호의 상승 에지에서 수신기 회로(232)에 의해 수신된다. (커맨드(CA<N:0>)로 표현되는) 판독 커맨드(READ)는 리피터 회로(234)를 통해 FF 회로(236)에 제공된다. 시각(T0)에서의 CK 클록 신호의 상승 에지는, 판독 커맨드를 래칭하도록 FF 회로(236)를 클로킹하기 위한 ICK 및 ICKF 클록 신호로서 제공된다. 래칭된, 판독 커맨드는 리피터 회로(238)를 통해 커맨드 디코더 회로(240)에 제공되고, (시각(T0)에서의 CK 클록 신호의 상승 에지에 대응하는) ICK의 상승 에지는, 판독 커맨드를 디코딩하는 커맨드 디코더 회로(240)를 클로킹하기 위한 ICKD 클록 신호로서 사용되도록 지연 회로(216)에 의해 지연된다. 디코더 회로(240)는, 판독 레이턴시 정보(RL)에 따라 디코딩된 판독 커맨드에 지연을 추가하도록, 디코딩된 판독 커맨드를 커맨드 레이턴시 회로(242)에 제공한다. FF 회로(244(0) 내지 244(N))는, 디코딩된 판독 커맨드를 커맨드 레이턴시 회로(242)를 통해 시프트하도록 ICKD 클록 신호에 의해 클로킹된다. FF 회로(244(0))는, 시각(T0)에서의 CK 클록 신호의 상승 에지에 대응하는 ICKD 클록 신호의 상승 에지에 의해 클로킹된다. 판독 커맨드(READ)의 전파는 도 5에 상세하게 도시되어 있지 않지만, 통상의 기술자는 본 설명으로부터 충분히 이해할 것이다.

[0047] 시각(T1)에서, WCK 클록 신호 및 WCKF 클록 신호가 활성화된다. 활성 WCK 클록 신호 및 WCKF 클록 신호는 고 클록 레벨과 저 클록 레벨 간에 주기적으로 변경된다. 시각(T1) 전에, WCK 클록 신호 및 WCKF 클록 신호는 일정한 클록 레벨에서 유지되며, 이를 "정적 기간"이라고 칭할 수 있다. 도 5에 도시된 본 개시내용의 실시형태에서, WCK 클록 신호는 CK 클록 신호의 1.5배 클록 사이클(즉, 1.5tCK)의 정적 기간 동안 저 클록 레벨에서 유지된다. WCK 클록 신호 및 WCKF 클록 신호에 대한 정적 기간은, WCK 클록 신호의 초기 상승 에지 앞에 있는 화살표 및 WCK 클록 신호의 초기 하강 에지 앞에 있는 화살표에 의해 도 5에 도시되어 있다. 정적 기간은 도 5에서 1.5tCK로 도시되어 있지만, 정적 기간의 길이는 본 개시내용의 다른 실시형태에서 상이할 수 있다. WCK 클록 신호 및 WCKF 클록 신호는, 초기에 제1 클록 주파수에서 제공되지만, 나중에 제1 클록 주파수보다 높은 제2 클록 주파수에서 제공될 수도 있다. 도 5에 도시된 바와 같이, WCK 클록 신호 및 WCKF 클록 신호는 1개의 클록 사이클 동안 제1 클록 주파수에서 제공되고 이어서 제1 주파수의 두 배의 주파수에서 제공된다.

[0048] 전술한 바와 같이, WCK 클록 신호 및 WCKF 클록 신호는 수신기 회로(252)를 통해 클록 분할기 회로(254)에 제공된다. 클록 분할기 회로(254)는, 서로에 대하여 상대 위상을 갖고 WCK 클록 신호 및 WCKF 클록 신호의 클록 주파수보다 낮은 클록 주파수를 갖는 다상 클록 신호(IWCK0, IWCK90, IWCK180, IWCK270)를 제공한다. 도 5는, IWCK0, IWCK90, IWCK180, IWCK270 클록 신호가 서로에 대해 90도 위상을 갖고 WCK 클록 신호 및 WCKF 클록 신호의 클록 주파수의 절반인 클록 주파수를 갖는 본 개시내용의 일실시형태를 도시한다. 도 5에 도시된 본 개시내용의 실시형태에서, 시각(T3)에서의 IWCK0 클록 신호의 상승 에지는 시각(T1)에서의 WCK 클록 신호의 제1 상승 에지에 연관되고, 시각(T4)에서의 IWCK90 클록 신호의 상승 에지는 시각(T2)에서의 WCK 클록 신호의 제1 하강 에지에 연관되고, IWCK180 클록 신호의 상승 에지는 WCK 클록 신호의 제2 상승 에지에 연관되고, IWCK270 클록 신호의 상승 에지는 WCK 클록 신호의 제2 하강 에지에 연관된다.

[0049] 다상 클록 신호(IWCK0, IWCK90, IWCK180, IWCK270)는 클록 분배 회로(258)를 통해 데이터를 제공 및 수신하는 클록 입력/출력 회로에 제공된다. IWCK90 클록 신호는, 시각(T6)에서 IWCK90D 클록 신호를 클록 동기화 회로(270)에 제공하도록 지연 회로(260)에 의해 지연된다. WCK 클록 신호 및 WCKF 클록 신호의 정적 기간은, 또한, 도 5에 도시된 바와 같이 각 다상 클록 신호 및 IWCK90D 클록 신호에 대한 클록 경로를 통해 전파된다. 지연 회로(260)의 지연을 포함하는, IWCK90 클록 신호와 IWCK90D 클록 신호 간의 지연은, 시각(T4)과 시각(T6) 사이에 해당한다. 수신기 회로(252)로부터 지연 회로(260)를 통한 클록 경로의 총 경로 지연은 시각(T1)과 시각(T6) 사이에 해당한다.

[0050] WCK 클록 신호 및 WCKF 클록 신호가 클록 경로에 제공되고 다상 IWCK0, IWCK90, IWCK180 및 IWCK270 클록 신호가 입력/출력 회로에 제공되는 동안뿐만 아니라 IWCK90D 클록 신호가 클록 동기화 회로(270)에 제공되는 동안, 판독 커맨드는, ICKD 클록 신호에 의해 커맨드 레이턴시 회로(242)를 통해 디코딩된 커맨드 CMDDEC로서 시프트되는 것을 포함하여 커맨드 경로(230)를 통해 계속 전파된다. 판독 커맨드는, 마지막 FF 회로(244(N))에 의해 클로킹되어 커맨드(CMDCK)로서 제공되고, 이어서 리피터 회로(246)를 통해 클록 동기화 회로(270)에 동기화 커맨드(CMDSYNC)로서 제공된다. 동기화 커맨드(CMDSYNC)의 상승 에지는 도 5에서 시각(T5)에 도시되어 있다. 동기화 커맨드(CMDSYNC)의 상승 에지는 시각(T0)에서 수신된 판독 커맨드에 대응한다. 판독 레이턴시 정보(RL)에 의해 정의된 바와 같이, 판독 커맨드에 대한 판독 데이터(DQ)는 시각(T7)에서 제공된다.

[0051] 시각(T5)에서의 동기화 커맨드(CMDSYNC)의 상승 에지는 클록 동기화 회로(270)를 클로킹하여 IWCK90D 클록 신호

의 논리 레벨을 래칭한다. 도 5에 도시된 바와 같이, 동기화 커맨드(CMDSYNC)는 IWCK90D 클록 신호의 정적 기간 동안 클록 동기화 회로(270)를 클로킹한다. 시각(T5)에서, IWCK90D는 저 논리 레벨이며, 그 결과, 도 5에 도시된 바와 같이 출력 신호(SYNCINFO)의 논리 레벨이 시각(T5)에 후속하여 낮다. 전술한 바와 같이, 저 논리 레벨 출력 신호(SYNCINFO)는, 다상 클록 신호(IWCK0, IWCK90, IWCK180, IWCK270)와 WCK 클록 신호 및 WCKF 클록 신호 간의 "순차적" 위상 관계를 나타낸다. "순차적" 위상 관계의 표시는, 시각(T1)에서의 WCK 클록 신호의 상승 에지에 연관된 시각(T3)에서의 IWCK0 클록 신호의 상승 에지와 일치한다. 도 4를 참조하여 전술한 바와 같이, 클록 분할기 회로(400)는 "순차적" 위상 관계를 갖는 다상 클록 신호(IWCK0, IWCK90, IWCK180, IWCK270)를 계속 생성한다.

[0052] 정적 기간 동안 다상 클록 신호들 중 하나(예를 들어, IWCK90D 클록 신호)를 평가함으로써, WCK 클록 신호 및 WCKF 클록 신호와 다상 클록 신호의 위상 관계는, 정적 기간 이후까지 대기하는 것보다, 예를 들어, 다상 클록 신호가 WCK 클록 신호 및 WCKF 클록 신호와 동기화될 때까지 대기하는 것보다 빨리 결정될 수 있다. 정적 기간 동안 다상 클록 신호를 평가하는 것은, 또한, 정적 기간 후에 결정하는 것보다 큰 타이밍 마진으로 위상 관계를 정확하게 결정할 수 있게 한다. 정적 기간에 후속하여, 클록 신호의 듀티 사이클 왜곡, 프로세스로 인한 경로 지연의 타이밍 편차, 전압 및 온도의 변동 등에 의해 타이밍 마진이 좁아질 수 있다.

[0053] 다상 클록 신호(IWCK0, IWCK90, IWCK180, IWCK270)와 WCK 클록 신호 및 WCKF 클록 신호 간의 "비순차적" 위상 관계의 일례를 도 2 및 도 6을 참조하여 설명한다.

[0054] 도 6은, 시각(T3)에서의 IWCK0 클록 신호의 하강 에지가 시각(T1)에서의 WCK 클록 신호의 제1 상승 에지에 연관되고, 시각(T4)에서의 IWCK90 클록 신호의 하강 에지가 시각(T2)에서의 WCK 클록 신호의 제1 하강 에지에 연관되고, IWCK180 클록 신호의 하강 에지가 WCK 클록 신호의 제2 상승 에지에 연관되고, IWCK270 클록 신호의 하강 에지가 WCK 클록 신호의 제2 하강 에지에 연관된다는 점을 제외하고는, 도 5의 타이밍 도와 유사하다. 대조적으로, 도 5를 참조하여 전술한 바와 같이, 시각(T3)에서의 IWCK0 클록 신호의 상승 에지는 시각(T1)에서의 WCK 클록 신호의 제1 상승 에지에 연관되고, 시각(T4)에서의 IWCK90 클록 신호의 상승 에지는 시각(T2)에서의 WCK 클록 신호의 제1 하강 에지에 연관된다.

[0055] WCK90 클록 신호는 IWCK90D 클록 신호를 제공하도록 지연 회로(260)를 통해 제공된다. 시각(T4)에서의 IWCK90 클록 신호의 하강 에지는 시각(T6)에서의 IWCK90D 클록 신호의 하강 에지를 초래한다. IWCK90 클록 신호의 고 논리 레벨 정적 기간은, 시각(T6)에서의 IWCK90D 클록 신호의 하강 에지에 선행하는 도 6에 도시된 IWCK90D 클록 신호의 고 논리 레벨 정적 기간을 초래한다.

[0056] 도 5의 예에서와 같이, 시각(T0)에서의 판독 커맨드(READ)는 시각(T5)에서의 동기화 커맨드(CMDSYNC)의 상승 에지를 초래한다. 판독 레이턴시 정보(RL)에 의해 정의된 바와 같이, 판독 커맨드(READ)에 대한 판독 데이터(DQ)는 시각(T7)에 제공된다. 시각(T5)에서의 동기화 커맨드(CMDSYNC)의 상승 에지는, 시각(T5)에서의 IWCK90D 클록 신호의 논리 레벨을 래칭하도록 클록 동기화 회로(270)를 클로킹한다. 도 6에 도시된 바와 같이, 동기화 커맨드(CMDSYNC)는 IWCK90D 클록 신호의 정적 기간 동안 클록 동기화 회로(270)를 클로킹한다. IWCK90D 클록 신호는 전술한 바와 같이 IWCK90D 클록 신호의 정적 기간 동안 시각(T6) 전에 고 논리 레벨을 갖는다. 결과적으로, 클록 동기화 회로(270)는 시각(T5)에 후속하여 도 6에 도시된 바와 같이 고 논리 레벨을 갖는 출력 신호(SYNCINFO)를 제공한다. 전술한 바와 같이, 고 논리 레벨 출력 신호(SYNCINFO)는, WCK 클록 신호 및 WCKF 클록 신호와 다상 클록 신호(IWCK0, IWCK90, IWCK180, IWCK270)의 "비순차적" 위상 관계를 나타낸다. "비순차적" 위상 관계의 표시는, 시각(T1)에서의 WCK 클록 신호의 상승 에지에 연관된 시각(T3)에서의 IWCK0 클록 신호의 하강 에지와 일치하지 않는다. 도 4를 참조하여 전술한 바와 같이, SYNCINFO 신호의 고 논리 레벨은, 클록 분할기 회로(400)가 다상 클록 신호(IWCK0, IWCK90, IWCK180, IWCK270)를 "비순차적" 위상 관계로부터 "순차적" 위상 관계로 변경하게 한다.

[0057] 도 7은 본 개시내용의 일 실시형태에 따른 리피터 회로(700)의 개략도이다. 리피터 회로(700)는, 본 개시내용의 일부 실시형태에 따라 클록 경로(210), 커맨드 경로(220), 및/또는 데이터 클록 경로(250)에서 리피터 회로로서 사용될 수 있다.

[0058] 리피터 회로(700)는 인버터 회로(710) 및 인버터 회로(720)를 포함한다. 인버터 회로(710 및 720)는 직렬 연결된다. 인버터 회로(710 및 720) 각각은 입력 신호를 수신하고 입력 신호의 보수인 출력 신호를 제공한다. 예를 들어, 인버터 회로가 논리 레벨이 높은 입력 신호를 수신할 때, 인버터 회로는 논리 레벨이 낮은 출력 신호를 제공한다. 반대로, 인버터 회로가 논리 레벨이 낮은 입력 신호를 수신할 때, 인버터 회로는 논리 레벨이 높은 출력 신호를 제공한다. 입력 신호의 보수를 출력 신호(OUT)로서 제공함에 있어서, 인버터 회로는 출력 신호

(OUT)를 고 논리 레벨 및 저 논리 레벨에 대응하는 전압으로 구동한다.

[0059] 동작 시, 입력 신호(IN)가 인버터 회로(710)에 제공된다. 인버터 회로(710)는 입력 신호(IN)의 상보적 논리 레벨을 갖는 출력 신호(OUTIN)를 제공한다. 출력 신호(OUTIN)는 인버터 회로(720)에 입력 신호로서 제공된다. 인버터 회로(720)는 입력 신호(OUTIN)의 상보적 논리 레벨을 갖는 출력 신호(OUT)를 제공한다. 입력 신호(IN)를 반전하여 출력 신호(OUTIN)를 제공한 후 출력 신호(OUTIN)를 반전하여 출력 신호((OUT)를 제공한 결과, 리피터 회로(700)에 의해 제공되는 결과 출력 신호(OUT)는, 입력 신호(IN)와 동일한 논리 레벨을 갖고, 논리 레벨의 전체 전압으로 구동되었다. 입력 신호(IN)는 동일한 논리 레벨을 해당 논리 레벨의 전체 전압으로 구동함으로써 반복되었다.

[0060] 전술한 내용으로부터, 본 발명의 특정 실시형태를 예시의 목적으로 본 명세서에서 설명하였지만, 본 발명의 사상과 범위를 벗어나지 않고 다양한 변형이 이루어질 수 있음을 이해할 것이다. 이에 따라, 본 발명은 첨부된 청구범위에 의한 것을 제외하고는 한정되지 않는다.

[0061] 본 개시내용의 일 실시형태에서, 장치는, 클록 경로, 커맨드 경로, 데이터 클록 경로, 및 클록 동기화 회로를 포함한다. 클록 경로는 클록 신호를 수신하고 내부 클록 신호를 제공하도록 구성된다. 커맨드 경로는, 커맨드를 수신하고, 내부 클록 신호에 응답하여 커맨드 경로를 통해 커맨드를 전파하고, 클록 신호의 타이밍을 반영하는 타이밍을 갖는 내부 커맨드를 제공하도록 구성된다. 데이터 클록 경로는, 데이터 클록 신호를 수신하고 데이터 클록 신호에 기초하여 다상 클록 신호를 제공하도록 구성된다. 데이터 클록 경로는, 또한, 지연된 다상 클록 신호를 제공하도록 구성된다. 클록 동기화 회로는, 지연된 다상 클록 신호를 수신하고 내부 커맨드에 응답하여 지연된 다상 클록 신호의 논리 레벨을 래칭하도록 구성된다.

[0062] 부가적으로 또는 대안적으로, 데이터 클록 경로는, 데이터 클록 신호를 수신하고 다상 클록 신호를 제공하도록 구성된 클록 분할기 회로를 포함하고, 여기서 다상 클록 신호는 서로에 대한 위상을 갖는다.

[0063] 부가적으로 또는 대안적으로, 서로에 대해 위상을 갖는 다상 클록 신호는 직교 위상 클록 신호를 포함한다.

[0064] 부가적으로 또는 대안적으로, 클록 분할기 회로는, 데이터 클록 신호와의 제1 위상 관계 또는 데이터 클록 신호와의 제2 위상 관계를 갖는 다상 클록 신호를 제공하도록 구성된다.

[0065] 부가적으로 또는 대안적으로, 지연된 다상 클록 신호의 논리 레벨은 제1 위상 관계에 대한 제1 논리 레벨이고, 지연된 다상 클록 신호의 논리 레벨은 제2 위상 관계에 대한 제2 논리 레벨이다.

[0066] 부가적으로 또는 대안적으로, 데이터 클록 경로는, 다상 클록 신호들 중 하나의 다상 클록 신호를 수신하고 그 하나의 다상 클록 신호를 지연하여 지연된 다상 클록 신호를 제공하도록 구성된 지연 회로를 더 포함한다.

[0067] 부가적으로 또는 대안적으로, 클록 동기화 회로는, 지연된 다상 클록 신호의 논리 레벨을 래칭하기 위해 내부 커맨드에 의해 클로킹되도록 구성된 플립-플롭 회로를 포함한다.

[0068] 부가적으로 또는 대안적으로, 커맨드 경로는, 내부 클록 신호에 응답하여 커맨드 신호를 래칭하고 이를 제공하도록 구성된 플립-플롭 회로를 포함한다. 커맨드 디코더는, 플립-플롭 회로에 연결되고, 래칭된 커맨드 신호를 디코딩하고 디코딩된 커맨드 신호를 제공하도록 구성되고, 여기서 내부 커맨드는 디코딩된 커맨드 신호에 기초한다.

[0069] 부가적으로 또는 대안적으로, 커맨드 경로는, 커맨드 디코더에 연결되고 디코딩된 커맨드 신호에 지연을 추가하도록 구성된 커맨드 레이턴시 회로를 더 포함한다. 지연은 레이턴시 정보에 의해 정의되고, 디코딩된 커맨드 신호는, 클록 경로에 의해 제공되는 지연된 내부 클록 신호에 응답하여 커맨드 레이턴시 회로를 통해 시프트된다.

[0070] 본 개시내용의 다른 일 양태에서, 장치는, 클록 경로, 데이터 클록 경로, 커맨드 경로, 및 클록 동기화 회로를 포함한다. 클록 경로는 클록 신호를 수신하고 내부 클록 신호를 제공하도록 구성된다. 데이터 클록 경로는, 데이터 클록 신호를 수신하고 서로 상대적인 위상을 갖는 다상 클록 신호를 제공하고 지연된 데이터 클록 신호를 또한 제공하도록 구성된다. 데이터 클록 신호는 데이터 클록 신호의 활성화에 선행하는 정적 기간을 갖고, 지연된 데이터 클록 신호는 동일한 정적 기간을 갖는다. 커맨드 경로는, 커맨드 및 내부 클록 신호를 수신하도록 구성되고, 또한, 클록 신호의 클록 도메인에서 타이밍을 갖는 내부 커맨드를 제공하도록 구성된다. 클록 동기화 회로는, 지연된 클록 신호를 수신하고 커맨드 경로로부터의 활성 내부 커맨드에 의해 클로킹되어 지연된 데이터 클록 신호를 래칭하도록 구성된다. 데이터 클록 경로의 경로 지연 및 커맨드 경로의 경로 지연은, 지연된 클록 신호의 정적 기간 동안 활성 내부 커맨드를 FF 회로에 제공한다.

[0071] 부가적으로 또는 대안적으로, 커맨드 경로는 플립-플롭 회로, 커맨드 디코더, 및 커맨드 레이턴시 회로를 포함한다. 플립-플롭 회로는 내부 클록 신호에 응답하여 커맨드 신호를 래칭하고 래칭된 커맨드 신호를 제공하도록 구성된다. 커맨드 디코더는, 래칭된 커맨드 신호를 수신하고 래칭된 커맨드 신호를 디코딩하여 디코딩된 커맨드를 제공하도록 구성된다. 커맨드 레이턴시 회로는, 디코딩된 커맨드를 수신하고 지연된 내부 클록 신호에 응답하여 디코딩된 커맨드를 시프트하여 내부 커맨드를 제공하도록 구성된다.

[0072] 부가적으로 또는 대안적으로, 데이터 클록 신호의 정적 기간은 클록 신호의 클록 사이클에 기초한다.

[0073] 부가적으로 또는 대안적으로, 데이터 클록 경로는, 데이터 클록 신호에 응답하여 직교 위상 클록 신호를 제공하도록 구성된 클록 분할기 회로를 포함한다. 직교 위상 클록 신호는 데이터 클록 신호보다 낮은 클록 주파수를 갖는다.

[0074] 부가적으로 또는 대안적으로, 직교 위상 클록 신호는 데이터 클록 신호의 클록 주파수의 절반을 갖는다.

[0075] 부가적으로 또는 대안적으로, 클록 동기화 회로는 래칭된 지연 데이터 클록 신호의 논리 레벨에 기초하여 출력 신호를 제공하도록 구성된다. 래칭된 지연 데이터 클록 신호의 논리 레벨은 다상 클록 신호와 데이터 클록 신호의 위상 관계를 나타낸다.

[0076] 본 개시내용의 다른 일 양태에서, 장치는 데이터 클록 경로, 커맨드 경로, 및 클록 동기화 회로를 포함한다. 데이터 클록 경로는, 데이터 클록 신호를 수신하고 데이터 클록 신호에 기초하여 다상 클록 신호를 제공하도록 구성된다. 다상 클록 신호는 데이터 클록 신호와의 제1 위상 관계 또는 제2 위상 관계를 갖는다. 데이터 클록 경로는, 또한, 다상 클록 신호들 중 하나의 다상 클록 신호에 대하여 지연을 갖는 지연된 다상 클록 신호를 제공하도록 구성된다. 커맨드 경로는, 커맨드를 수신하고 커맨드를 디코딩하고 내부 클록 도메인에서 타이밍을 갖는 내부 커맨드를 제공하도록 구성된다. 클록 동기화 회로는, 지연된 다상 클록 신호의 정적 기간 동안 논리 레벨을 래칭하도록 내부 커맨드에 의해 클로킹되고, 데이터 클록 신호에 대한 다상 클록 신호의 위상 관계를 나타내는 논리 레벨을 갖는 출력 신호를 제공하도록 구성된다.

[0077] 부가적으로 또는 대안적으로, 데이터 클록 경로는, 데이터 클록 신호에 기초하여 다상 클록 신호를 제공하도록 구성된 클록 분할기 회로를 포함한다. 클록 분할기 회로는, 데이터 클록 신호에 기초하여 내부 데이터 클록 신호를 수신하도록 구성된 수신기 회로를 포함하고, 직렬로 연결된 제1 및 제2 플립-플롭(FF) 회로를 더 포함한다. 제1 및 제2 FF 회로는, 활성 내부 커맨드가 활성화될 때 클로킹되도록 구성된다. 제1 FF 회로는 제1 및 제2 다상 클록 신호를 제2 FF 회로의 데이터 입력에 제공하도록 구성되고, 제2 FF 회로는 제3 및 제4 다상 클록 신호를 제1 FF 회로의 데이터 입력에 제공하도록 구성된다.

[0078] 부가적으로 또는 대안적으로, 커맨드 경로는 커맨드 경로 지연을 갖고, 데이터 클록 경로는 데이터 클록 경로 지연을 갖는다. 커맨드 경로 지연 및 데이터 클록 경로 지연에 의해, 지연된 다상 클록 신호의 정적 기간 동안 활성화된 내부 커맨드가 커맨드 경로에 의해 클록 동기화 회로에 제공된다.

[0079] 부가적으로 또는 대안적으로, 데이터 클록 경로는, 다상 클록 신호들 중의 다상 클록 신호에 대한 지연된 다상 클록 신호의 지연을 제공하도록 구성된 지연 회로를 포함한다.

[0080] 부가적으로 또는 대안적으로, 커맨드 경로는 내부 클록 신호 및 지연된 내부 클록 신호에 의해 클로킹되도록 구성된다. 내부 클록 신호 및 지연된 내부 클록 신호는 내부 클록 도메인에서 각각의 타이밍을 갖는다.

[0081] 부가적으로 또는 대안적으로, 메모리 어레이 및 입력/출력 회로가 추가로 포함된다. 메모리 어레이는, 복수의 메모리 셀을 포함하고, 복수의 메모리 셀에 데이터를 저장하고 메모리 셀로부터 데이터를 제공하도록 구성된다. 입력/출력 회로는, 내부 커맨드에 의해 활성화되고 다상 클록 신호에 의해 클로킹될 때 메모리 어레이로부터 데이터를 제공하고 메모리 어레이에 저장될 데이터를 수신하도록 구성된다.

[0082] 본 개시내용의 또 다른 일 양태에서, 방법은, 데이터 클록 신호가 활성화되기 전에 일정한 클록 레벨을 갖는 데이터 클록 신호를 수신하고 데이터 클록 신호에 기초하여 다상 클록 신호들을 제공하는 단계를 포함한다. 다상 클록 신호는 데이터 클록 신호와 위상 관계를 갖는다. 다상 클록 신호들 중 하나의 다상 클록 신호는 지연된 데이터 클록 신호를 제공하도록 지연된다. 지연된 데이터 클록 신호는 활성화되는 데이터 클록 신호에 기초하여 활성화된다. 지연된 데이터 클록 신호의 논리 레벨은, 지연된 데이터 클록 신호가 활성화되기 전에 래칭된다. 지연된 데이터 클록 신호의 논리 레벨은, 다상 클록 신호와 데이터 클록 신호의 위상 관계를 나타낸다.

[0083] 부가적으로 또는 대안적으로, 데이터 클록 신호에 기초하여 다상 클록 신호들을 제공하는 단계는, 데이터 클록 신호의 제1 상승 에지에 연관된 클록 에지를 갖는 제1 다상 클록 신호를 제공하는 단계, 데이터 클록 신호의 제

1 하강 에지에 연관된 클록 에지를 갖는 제2 다상 클록 신호를 제공하는 단계, 데이터 클록 신호의 제2 상승 에지에 연관된 클록 에지를 갖는 제3 다상 클록 신호를 제공하는 단계, 및 데이터 클록 신호의 제2 하강 에지에 연관된 클록 에지를 갖는 제4 다상 클록 신호를 제공하는 단계를 포함한다.

[0084] 부가적으로 또는 대안적으로, 제1, 제2, 제3 및 제4 다상 클록 신호의 클록 에지는 상승 에지이다.

[0085] 부가적으로 또는 대안적으로, 제1, 제2, 제3 및 제4 다상 클록 신호의 클록 에지는 하강 에지이다.

[0086] 부가적으로 또는 대안적으로, 제1 위상 관계는, 상승 에지인 제1, 제2, 제3 및 제4 다상 클록 신호의 클록 에지에 의해 표현된다.

[0087] 부가적으로 또는 대안적으로, 제2 위상 관계는, 하강 에지인 제1, 제2, 제3 및 제4 다상 클록 신호의 클록 에지에 의해 표현된다.

[0088] 부가적으로 또는 대안적으로, 데이터 클록 신호는 정적 기간 동안 일정한 클록 레벨을 갖고, 지연된 데이터 클록 신호는 활성화에 선행하는 정적 기간을 갖는다.

[0089] 부가적으로 또는 대안적으로, 지연된 데이터 클록 신호가 활성화되기 전에 지연된 데이터 클록 신호의 논리 레벨을 래칭하는 단계는, 지연된 데이터 클록 신호의 정적 기간 동안 지연된 데이터 클록 신호의 논리 레벨을 래칭하는 단계를 포함한다.

[0090] 부가적으로 또는 대안적으로, 커맨드 경로에서 커맨드를 수신하고 수신된 커맨드를 디코딩하여 내부 커맨드 신호를 제공하는 단계가 더 포함된다. 지연된 데이터 클록 신호의 논리 레벨은, 내부 커맨드 신호에 응답하여 지연된 데이터 클록 신호가 활성화되기 전에 래칭된다.

[0091] 본 개시내용의 또 다른 일 양태에서, 방법은, 커맨드를 수신하고 이에 응답하여 내부 커맨드를 제공하는 단계를 포함한다. 다상 클록 신호는 데이터 클록 단자에서 수신된 데이터 클록 신호에 기초하여 제공된다. 데이터 클록 신호는 정적 기간을 갖고, 다상 클록 신호는 데이터 클록 신호와 복수의 위상 관계 중 하나의 위상 관계를 갖는다. 내부 커맨드에 응답하여, 다상 클록 신호 중 지연된 하나의 다상 클록 신호의 정적 기간 동안 다상 클록 신호 중 그 지연된 하나의 다상 클록 신호가 평가된다. 다상 클록 신호들 중 지연된 하나의 다상 클록 신호의 정적 기간은 데이터 클록 신호의 정적 기간에 기초한다. 다상 클록 신호와 데이터 클록 신호의 복수의 위상 관계 중 하나의 위상 관계를 나타내는 논리 레벨을 갖는 출력 신호가 제공된다.

[0092] 부가적으로 또는 대안적으로, 클록 신호를 수신하고 클록 신호에 기초하여 내부 클록 신호를 제공하는 단계가 추가로 포함된다. 내부 커맨드를 제공하는 단계는, 커맨드 경로의 커맨드를 디코딩하여 내부 커맨드를 제공하고 내부 커맨드를 내부 클록 신호에 따라 커맨드 경로를 통해 전파하는 단계를 포함한다.

[0093] 부가적으로 또는 대안적으로, 데이터 클록 신호에 기초하여 다상 클록 신호들을 제공하는 단계는 서로 90도 위상 관계를 갖는 클록 신호를 제공하는 단계를 포함한다.

[0094] 부가적으로 또는 대안적으로, 데이터 클록 신호와의 복수의 위상 관계는 제1 위상 관계 및 제2 위상 관계를 포함한다. 방법은, 출력 신호가 제1 위상 관계를 나타낼 때 제1 위상 관계를 갖는 다상 신호를 제공하는 단계, 및 출력 신호가 제2 위상 관계를 나타낼 때 다상 신호를 제2 위상 관계로부터 제1 위상 관계로 스위칭하는 단계를 더 포함한다.

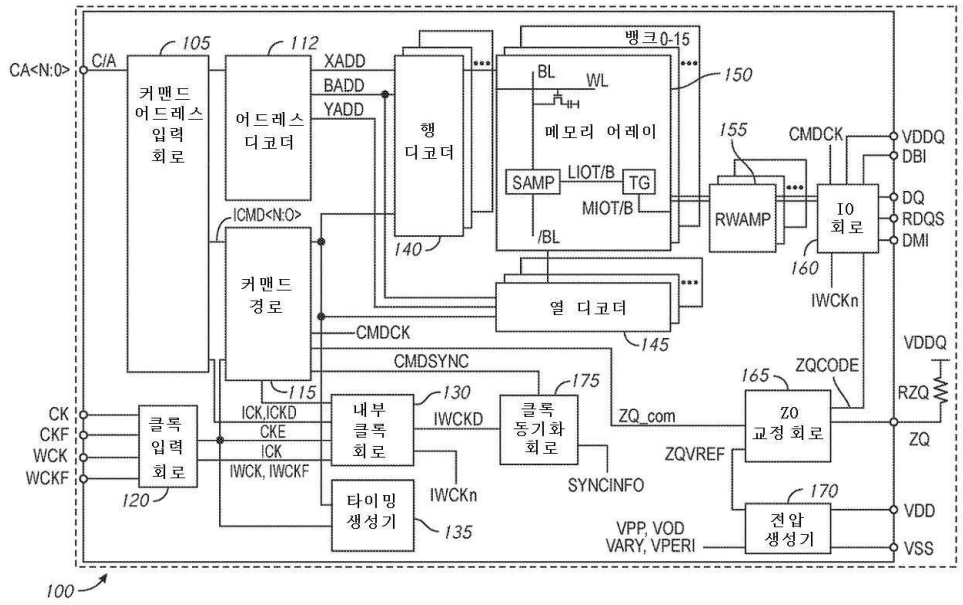
[0095] 부가적으로 또는 대안적으로, 제1 위상 관계는 순차적 위상 관계를 포함하고, 제2 위상 관계는 비순차적 위상 관계를 포함한다.

[0096] 부가적으로 또는 대안적으로, 내부 커맨드에 응답하여 메모리 어레이로부터 데이터를 제공하거나 메모리 어레이에 데이터를 저장하는 단계가 추가로 포함된다.

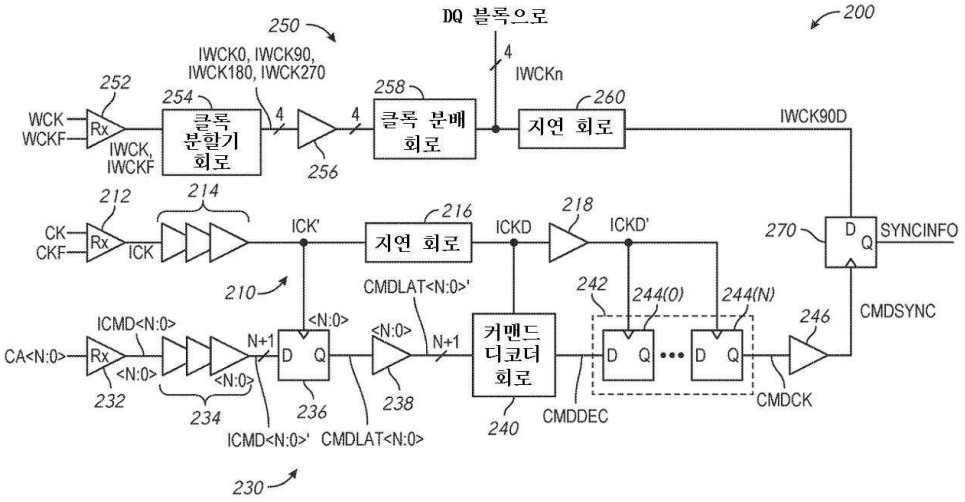
[0097] 본 개시내용의 실시형태들에 대한 다른 변형예들은 본 개시내용에 기초하여 통상의 기술자에게 명백할 것이다. 따라서, 본 개시내용의 범위는 전술한 특정하게 개시된 실시형태들에 의해 한정되어서는 안 된다.

도면

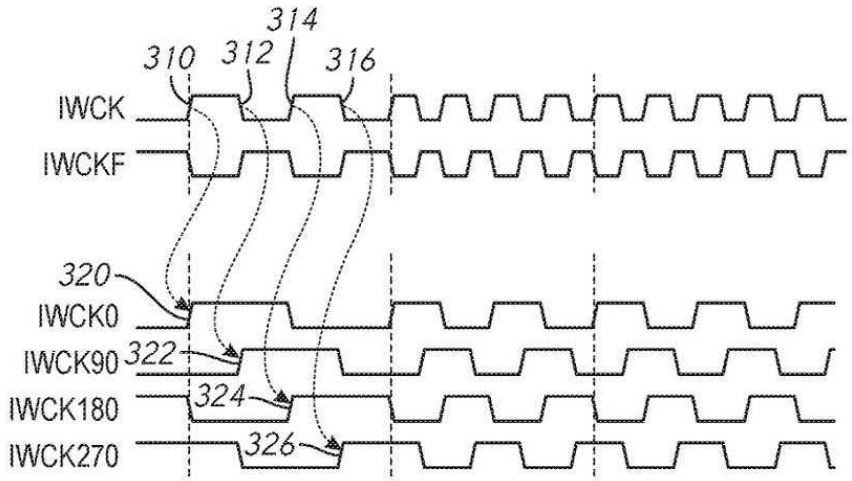
도면1


CA<N:0>
C/A
105
커맨드 어드레스 입력 회로
112
어드레스 디코더
XADD
BADD
YADD
행 디코더
뱅크0-15
BL
WL
150
메모리 어레이
155
CMDCK
VDDQ
DBI
SAMP
LIOT/B
TG
MIOT/B
/BL
RWAMP
IO 회로
DQ
RDQS
DMI
160
IWCKn
ICMD<N:0>
커맨드 경로
140
열 디코더
145
CMDCK
CMDSYNC
VDDQ
115
ZQCODE
165
CK
CKF
WCK
WCKF
클록 입력 회로
120
ICK,ICKD
CKE
ICK
IWCK, IWCKF
내부 클록 회로
130
IWCKD
175
클록 동기화 회로
ZQ_com
ZQ 교정 회로
RZQ
ZQ
ZQVREF
타이밍 생성기
IWCKn
135
SYNCINFO
170
VPP, VOD
VARY, VPERI
전압 생성기
VDD
VSS
100

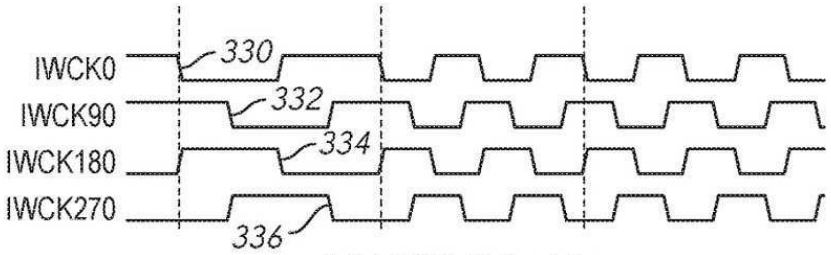
도면2


DQ 블록으로
200
250
IWCK0, IWCK90,
IWCK180, IWCK270
4
IWCKn
252
254
258
260
WCK
WCKF
Rx
IWCK,
IWCKF
클록 분할기 회로
4
4
256
클록 분배 회로
지연 회로
IWCK90D
212
214
216
218
270
CK
CKF
Rx
ICK
ICK'
지연 회로
ICKD
ICKD'
D
Q
SYNCINFO
210
CMDLAT<N:0>'
242
244(0)
244(N)
246
CMDSYNC
ICMD<N:0>
CA<N:0>
Rx
<N:0>
N+1
D
Q
<N:0>
<N:0>
N+1
커맨드 디코더 회로
D
Q
D
Q
232
234
236
238
240
CMDDEC
CMDCK
ICMD<N:0>'
CMDLAT<N:0>
230

도면3

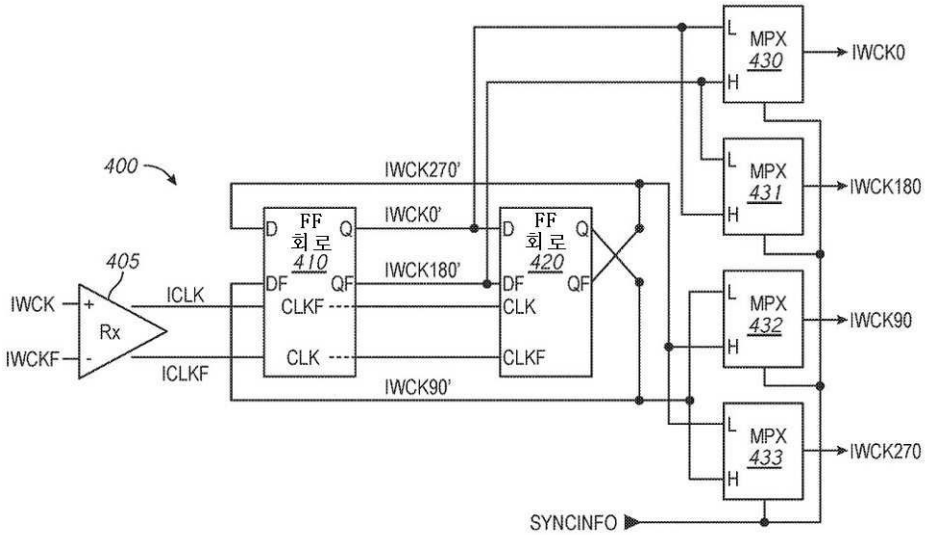


"순차적" 위상 관계

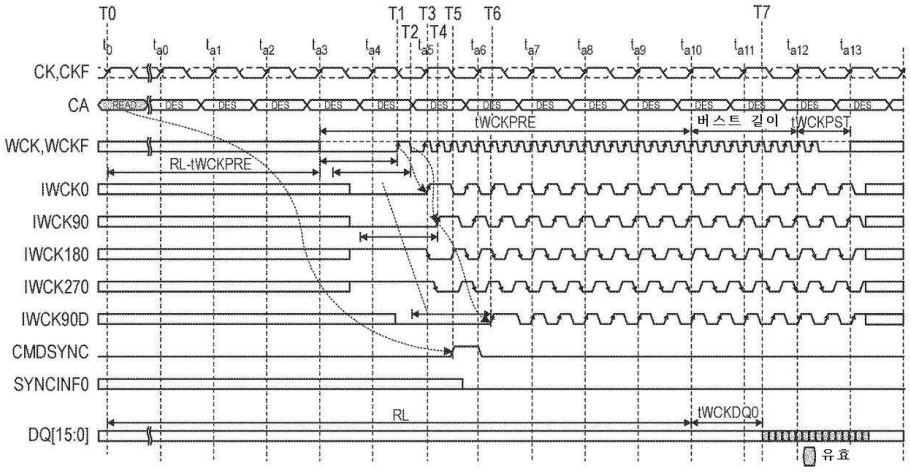


"비순차적" 위상 관계

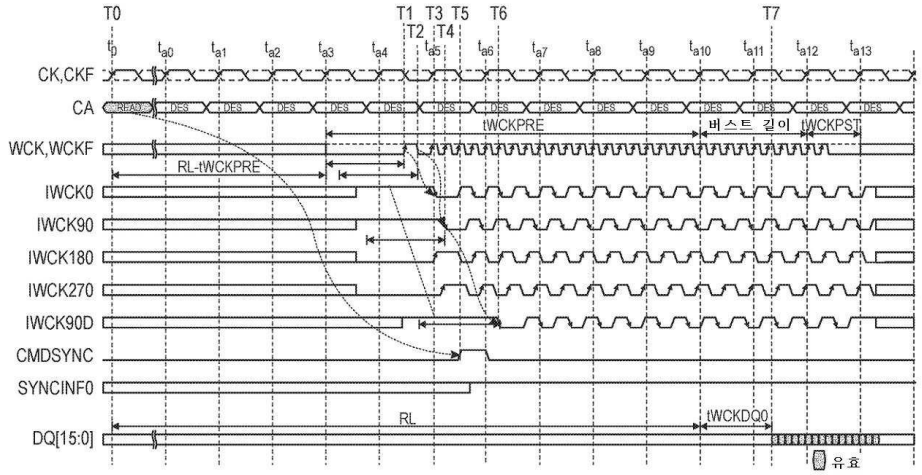
도면4



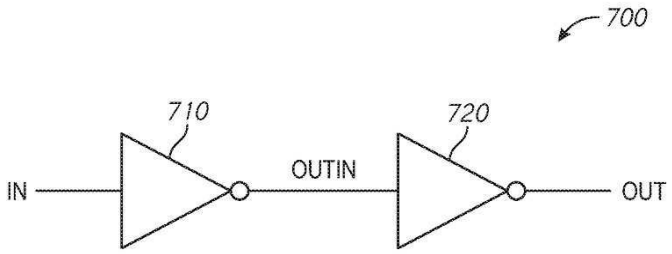
도면5


T0
T1
T2
T3
T4
T5
T6
T7
CK,CKF
CA
READ
DES
tWCKPRE
버스트 길이
tWCKPST
WCK,WCKF
RL-tWCKPRE
IWCK0
IWCK90
IWCK180
IWCK270
IWCK90D
CMDSYNC
SYNCINF0
RL
tWCKDQ0
DQ[15:0]
유효

도면6


T0
T1
T2
T3
T4
T5
T6
T7
CK,CKF
CA
READ
DES
tWCKPRE
버스트 길이
tWCKPST
WCK,WCKF
RL-tWCKPRE
IWCK0
IWCK90
IWCK180
IWCK270
IWCK90D
CMDSYNC
SYNCINF0
RL
tWCKDQ0
DQ[15:0]
유효

도면7


700
710
720
IN
OUTIN
OUT