



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년03월04일
 (11) 등록번호 10-0886642
 (24) 등록일자 2009년02월25일

(51) Int. Cl.
H01L 27/108 (2006.01) *H01L 27/04* (2006.01)
 (21) 출원번호 10-2006-0120002
 (22) 출원일자 2006년11월30일
 심사청구일자 2006년11월30일
 (65) 공개번호 10-2007-0089583
 (43) 공개일자 2007년08월31일
 (30) 우선권주장
 1020060019612 2006년02월28일 대한민국(KR)
 (56) 선행기술조사문헌
 KR20050107027 A*
 KR20060105851 A
 KR20010060040 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1
 (72) 발명자
 한기현
 서울 영등포구 당산동1가 137번지 202호
 (74) 대리인
 특허법인 신성

전체 청구항 수 : 총 14 항

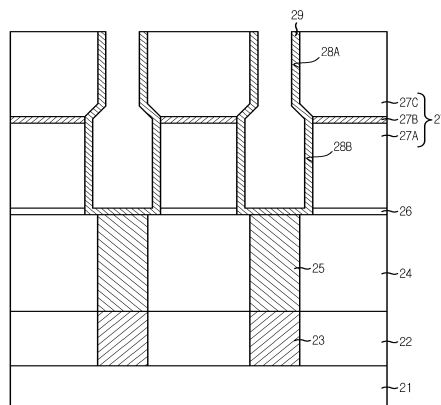
심사관 : 이우식

(54) 캐패시터의 제조 방법

(57) 요약

본 발명은 하부전극이 위치할 오픈영역 형성시의 식각 불량 및 바닥 면적의 좁아짐을 방지하여 캐패시터의 용량을 확보할 수 있는 반도체 소자의 캐패시터 제조 방법을 제공하기 위한 것으로, 본 발명의 캐패시터의 제조 방법은 동일 물질의 제1절연막과 제3절연막 사이에 상기 제1,3절연막과 식각선택비가 다른 제2절연막이 삽입된 하부전극분리막을 형성하는 단계; 상기 제3절연막을 식각하여 하부선펙이 넓어진 상부 오픈영역을 형성하는 단계; 상기 상부 오픈영역의 넓어진 하부선펙을 따라 자기정렬적으로 상기 제2절연막과 제1절연막을 식각하여 상기 하부 오픈영역을 형성하는 단계; 및 상기 하부 오픈영역과 상부 오픈영역으로 이루어진 오픈영역 내부에 하부전극을 형성하는 단계를 포함하고, 이와 같이 오픈영역의 하부영역을 큰 선펙으로 형성함으로써 하부전극분리막의 높이를 높이지 않으면서도 하부전극의 면적 증대를 구현하여 고집적화에 대응하는 충분한 용량의 고집적 캐패시터를 제조할 수 있는 효과가 있다.

대표도 - 도2f



특허청구의 범위

청구항 1

삭제

청구항 2

동일 물질의 제1절연막과 제3절연막 사이에 상기 제1,3절연막과 식각선택비가 다른 제2절연막이 삽입된 하부전극분리막을 형성하는 단계;

상기 제3절연막을 식각하여 하부선폭이 넓어진 상부 오픈영역을 형성하는 단계;

상기 상부 오픈영역의 넓어진 하부선폭을 따라 자기정렬적으로 상기 제2절연막과 제1절연막을 식각하여 상기 하부 오픈영역을 형성하는 단계; 및

상기 하부 오픈영역과 상부 오픈영역으로 이루어진 오픈영역 내부에 하부전극을 형성하는 단계

를 포함하는 캐패시터의 제조 방법.

청구항 3

제2항에 있어서,

상기 제3절연막 식각시,

상기 제2절연막 바로 위에서 상기 제3절연막의 식각이 집중되도록 상기 제3절연막과 제2절연막의 식각선택비가 6:1 또는 6:1보다 큰 값이 되는 식각가스를 사용하는 캐패시터의 제조 방법.

청구항 4

제2항에 있어서,

상기 제1절연막 식각시,

상기 제1절연막과 제2절연막의 식각선택비가 6:1 또는 6:1보다 큰 값이 되는 식각가스를 사용하는 캐패시터의 제조 방법.

청구항 5

제2항에 있어서,

상기 제2절연막 식각시, 상기 제1,3절연막과의 식각선택비가 1:1이 되는 식각가스를 사용하는 캐패시터의 제조 방법.

청구항 6

제2항 내지 제5항 중 어느 한 항에 있어서,

상기 하부전극분리막에서,

상기 제1 및 제3절연막은 산화막이고, 상기 제2절연막은 질화막인 캐패시터의 제조 방법.

청구항 7

제6항에 있어서,

상기 제1절연막은 PSG이고, 상기 제3절연막은 PTEOS이며, 상기 제2절연막은 실리콘질화막인 캐패시터의 제조 방법.

청구항 8

제6항에 있어서,

상기 제1 및 제3절연막 식각시, 식각가스는 O₂, CHF₃ 및 CF₄의 혼합가스를 사용하는 캐패시터의 제조 방법.

청구항 9

제8항에 있어서,

상기 O₂의 유량은 3~7sccm, 상기 CHF₃의 유량은 30~50sccm, 상기 CF₄의 유량은 20~60sccm을 사용하는 캐패시터의 제조 방법.

청구항 10

제6항에 있어서,

상기 제2절연막 식각시, O₂와 CHF₃의 혼합가스로 진행하는 캐패시터의 제조 방법.

청구항 11

제10항에 있어서,

상기 O₂의 유량은 3~7sccm, 상기 CHF₃의 유량은 30~60sccm을 사용하는 캐패시터의 제조 방법.

청구항 12

제6항에 있어서,

상기 제2절연막은 100~300Å의 두께로 형성하는 캐패시터의 제조 방법.

청구항 13

제6항에 있어서,

상기 하부전극분리막 아래에 상기 제2절연막과 동일하게 질화막인 식각배리어막이 더 형성되고, 상기 식각배리어막은 상기 제1절연막 식각후에 식각하는 캐패시터의 제조 방법.

청구항 14

제13항에 있어서,

상기 식각배리어막 식각시, O₂와 CHF₃의 혼합가스로 진행하는 캐패시터의 제조 방법.

청구항 15

제14항에 있어서,

상기 O₂의 유량은 3~7sccm, 상기 CHF₃의 유량은 30~60sccm을 사용하는 캐패시터의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <10> 본 발명은 반도체 제조 기술에 관한 것으로, 특히, 반도체 소자의 캐패시터 제조 방법에 관한 것이다.
- <11> 현재의 반도체 메모리 소자는 고집적화, 소형화 및 고속화에 따라 캐패시터가 차지하는 면적이 감소하고 있다. 비록 반도체 소자가 고집적화 및 소형화되더라도 캐패시터의 최소한의 정전 용량은 확보되어야 한다.
- <12> 최근에는 반도체 소자의 크기가 나노미터(nm)급 극미세소자화 됨에 따라 반도체 소자의 개발공정에서 캐패시터의 용량 확보를 위해 캐패시터가 형성되는 절연막의 높이가 증가되는 추세이다.

- <13> 도 1은 종래기술에 따른 캐패시터의 제조 방법을 도시한 도면이다.
- <14> 도 1을 참조하면, 반도체 기판(11) 상에 제1층간절연막(12)에 의해 서로 분리되는 랜딩플러그콘택(LPC, 13)을 형성한다. 이어서, 제1층간절연막(12) 상에 제2층간절연막(14)을 형성한 후, 제2층간절연막(14)을 식각하여 스토리지노드콘택홀을 형성한다. 이어서, 스토리지노드콘택홀에 매립되는 스토리지노드콘택(15)을 형성한다.
- <15> 이어서, 전면에 식각배리어막(16)과 하부전극분리막(17)을 형성한 후, 하부전극분리막(17)과 식각배리어막(16)을 식각하여 하부전극이 위치할 오픈영역을 형성한다.
- <16> 이어서, 오픈영역 내부에 하부전극(18)을 형성한다.
- <17> 종래기술은, 하부전극분리막(17)의 높이(H)를 높여 캐패시터의 용량을 확보하고자 하였다.
- <18> 그러나, 소자의 집적도가 높아짐에 따라 하부전극분리막(17)의 높이는 더욱 높아져야 충분한 용량 확보가 가능해지고, 그 높이가 더욱 높아짐에 따라 하부전극분리막(17)과 식각배리어막(16) 식각시 발생하는 부산물로 인하여 식각이 더이상 진행되지 않는 현상('A' 참조)이 발생하거나, 식각이 진행되더라도 오픈영역의 바닥면적이 좁아지는 문제('B' 참조)가 발생한다.

발명이 이루고자 하는 기술적 과제

- <19> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 하부전극이 위치할 오픈영역 형성시의 식각 불량 및 바닥 면적의 좁아짐을 방지하여 캐패시터의 용량을 확보할 수 있는 반도체 소자의 캐패시터 제조 방법을 제공하는 것을 그 목적으로 한다.

발명의 구성 및 작용

- <20> 상기의 목적을 달성하기 위한 본 발명의 캐패시터의 제조 방법은 동일 물질의 제1절연막과 제3절연막 사이에 상기 제1,3절연막과 식각선택비가 다른 제2절연막이 삽입된 하부전극분리막을 형성하는 단계; 상기 제3절연막을 식각하여 하부선폭이 넓어진 상부 오픈영역을 형성하는 단계; 상기 상부 오픈영역의 넓어진 하부선폭을 따라 자기정렬적으로 상기 제2절연막과 제1절연막을 식각하여 상기 하부 오픈영역을 형성하는 단계; 및 상기 하부 오픈영역과 상부 오픈영역으로 이루어진 오픈영역 내부에 하부전극을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <21> 바람직하게, 상기 제3절연막 식각시 상기 제2절연막 바로 위에서 상기 제3절연막의 식각이 집중되도록 상기 제3절연막과 제2절연막의 식각선택비를 적어도 6: 1 이상이 되는 식각가스를 사용하는 것을 특징으로 하고, 상기 제1절연막 식각시 상기 제1절연막과 제2절연막의 식각선택비를 적어도 6: 1 이상이 되는 식각가스를 사용하는 것을 특징으로 하며, 상기 제2절연막 식각시 상기 제1,3절연막과의 식각선택비가 1:1이 되는 식각가스를 사용하는 것을 특징으로 한다.
- <22> 바람직하게, 상기 제1절연막은 PSG이고, 상기 제3절연막은 PTEOS이며, 상기 제2절연막은 실리콘질화막이다.
- <23> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- <24> 도 2a 내지 도 2f는 본 발명의 실시예에 따른 캐패시터의 제조 방법을 나타낸 공정 단면도이다.
- <25> 도 2a에 도시된 바와 같이, 반도체 기판(21) 상에 제1층간절연막(22)에 의해 서로 분리되는 랜딩플러그콘택(LPC, 23)을 형성한다. 여기서, 랜딩플러그콘택(23)은 제1층간절연막(22)을 식각하여 콘택홀을 형성하고, 폴리실리콘막 증착 및 식각을 통해 형성한다. 그리고, 랜딩플러그콘택(23) 형성전에는 트랜지스터(도시 생략)가 형성될 수 있다.
- <26> 이어서, 제1층간절연막(22) 상에 제2층간절연막(24)을 형성한 후, 제2층간절연막(24)을 식각하여 스토리지노드 콘택홀을 형성한다. 이어서, 스토리지노드콘택홀에 매립되는 스토리지노드콘택(25)을 형성한다. 여기서, 스토리지노드콘택(25)은 제2층간절연막(24)을 식각하여 스토리지노드콘택홀을 형성하고, 폴리실리콘막 증착 후 식각 또는 CMP(Chemical Mechanical Polishing)를 통해 형성한다. 그리고, 스토리지노드콘택(25) 형성전에는 비트라인이 형성될 수 있으며, 이에 따라 제2층간절연막(24)은 다층의 층간절연막 구조일 수 있다. 그리고, 제1 및 제

2층간절연막(22, 24)은 BPSG(Boron Phosphorous Silicate Glass)와 같은 산화막이다.

- <27> 이어서, 전면에 식각배리어막(26)과 하부전극분리막(27)을 형성한다. 여기서, 식각배리어막(26)은 질화막으로 형성하며, 후속 식각공정시 식각배리어 역할을 한다. 그리고, 하부전극분리막(27)은 하부전극이 위치할 오픈영역을 제공하는 하부전극간 분리 절연막 역할을 하는데, 본 발명은 하부전극분리막(27)을 다음과 같이 3중 구조로 형성한다.
- <28> 하부전극분리막(27)은 식각선택비가 서로 다른 적어도 2종의 절연막 조합으로서, 식각선택비가 서로 다른 산화막과 질화막의 조합일 수 있다. 예를 들어, 산화막(Oxide), 질화막(Nitride) 및 산화막(Oxide)의 순서로 적층된 3중 구조이다.
- <29> 바람직하게, 실시예에서 하부전극분리막(27)은 PSG(Phosphorous Silicate Glass, 27A), 실리콘질화막(27B) 및 PETEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate, 27C)의 순서로 적층된 구조이며, 이때 실리콘질화막(27B)은 그 두께가 100~300Å으로서 얇게 형성한다. 이와 같이, 실리콘질화막(27B)은 PSG(27A)와 PETEOS(27C)에 비해 그 두께가 얇은데, PSG(27A)와 PETEOS(27C)의 두께는 캐패시터의 용량 확보를 위해 충분히 두껍게 한다. 예컨대, PSG(27A)와 PETEOS(27C)의 총 두께는 적어도 25000Å 정도이다.
- <30> 위와 같이 하부전극분리막(27)을 3중 구조로 형성한 후에 하부전극이 위치할 오픈영역 형성을 위한 식각공정을 진행한다. 오픈영역 형성을 위한 식각공정은 PETEOS(27C) 식각, 실리콘질화막(27B) 식각, PSG(27A) 식각 및 식각배리어막(26) 식각의 순서로 진행하여 스토리지드콘택(25)의 표면을 노출시킨다.
- <31> 먼저, 도 2b에 도시된 바와 같이, PETEOS(27C)을 식각한다. 이때, 질화막보다 산화막이 적어도 6:1 이상 빠르게 식각되는 식각가스의 비율을 이용하는 자기정렬콘택식각(Self Aligned Contact etch)을 진행한다.
- <32> 따라서, PETEOS(27C) 식각시 실리콘질화막(27B)의 표면이 노출되면 실리콘질화막(27B)의 표면에서 식각이 느려지면서 실리콘질화막(27B) 바로 위 상부의 PETEOS(27C)의 식각이 많이 진행된다. 이로써, 실리콘질화막(27B) 바로 위, 이는 PETEOS(27B)의 바닥부분이 되며, PETEOS(27C)의 바닥부분에서 식각이 집중되는 과도한 식각이 진행되어 도면과 같이 실리콘질화막(27B) 바로 위에서 PETEOS(28C) 식각에 의해 형성된 상부 오픈영역(28A)의 하부선폭(Bottom Critical Dimension)이 넓어진다.
- <33> 바람직하게, 자기정렬콘택식각을 이용하는 PETEOS(27C)의 식각시, 식각가스는 3~7sccm의 O₂, 30~50sccm의 CHF₃ 및 20~60sccm의 CF₄를 혼합하여 이용하고, 이와 같이 O₂/CHF₃/CF₄의 혼합가스를 이용하면 실리콘질화막(27B)보다 PETEOS(27C)이 적어도 6:1 이상 빠르게 식각되는 식각선택비를 얻는다.
- <34> 이어서, 도 2c에 도시된 바와 같이 상부 오픈영역(28A) 아래에 노출된 실리콘질화막(27B)을 식각한다. 이때, 상부 오픈영역(28A)의 하부선폭이 넓어진 상태이므로 실리콘질화막(27B)은 자기정렬적으로 식각이 진행되어 그 선폭이 넓어지게 된다.
- <35> 바람직하게, 실리콘질화막(27B)의 식각은 산화막과 질화막의 식각선택비가 1:1이 되는 식각가스를 사용하며, 그 예로는 O₂(3~7sccm)와 CHF₃(30~60sccm)의 혼합가스를 사용한다.
- <36> 도 2d에 도시된 바와 같이, 실리콘질화막(27B) 식각후 드러난 PSG(28A)를 식각한다. 이때, 실리콘질화막(27B)의 선폭이 넓어진 상태이므로 PSG(28A)의 식각된 선폭또한 자기정렬적으로 넓어지게 된다.
- <37> 따라서, PSG(28A)의 식각이 완료된 후의 결과를 살펴보면, 최종 오픈영역은 PSG(28A) 식각에 의해 제공되는 하부 오픈영역(28B)과 PETEOS(28C) 식각에 의해 제공되는 상부 오픈영역(28A)으로 이루어지고, 상부 오픈영역(28A)보다 하부 오픈영역(28B)의 선폭이 더 큰 형태를 갖는다. 그리고, 하부 오픈영역(28B)과 상부 오픈영역(28A)간 경계부분이 되는 지역은 네가티브 슬로프(Negative slope)를 갖고, 이러한 네가티브 슬로프는 PETEOS(27C) 식각시 바닥부분에서 식각이 과도하게 진행되기 때문임을 밝힌 바 있다.
- <38> PSG(27A)의 식각공정은, PETEOS(27C)의 식각과 동일하게 자기정렬콘택식각을 이용하며, 질화막 물질인 식각배리어막(26)에서 식각이 멈추도록 한다. 이로써, PSG(27A) 식각시에도 식각배리어막(26) 바로 위 PSG(27A)의 바닥부분에서 식각이 집중되는 과도한 식각이 진행될 수 있다.
- <39> 바람직하게, 자기정렬콘택식각을 이용하는 PSG(27A)의 식각시, 식각가스는 3~7sccm의 O₂, 30~50sccm의 CHF₃ 및 20~60sccm의 CF₄를 혼합하여 이용하고, 이와 같이 O₂/CHF₃/CF₄의 혼합가스를 이용하면 식각배리어막(26)보다 PSG(27A)이 적어도 6:1 이상 빠르게 식각되는 식각선택비를 얻는다.

- <40> 한편, 실리콘질화막(27B)이 없는 경우에는 PETEOS(27C) 바닥의 과도한 식각특성을 얻기 어렵고, PETEOS(27C)와 PSG(27A)가 모두 산화막이므로 오픈영역의 바닥면적이 좁아지는 것을 피하기 어렵다. 또한, 실리콘질화막(27B)이 없는 경우에는, 후속 PSG(27A) 식각시에도 그 선평의 조절이 어려워 하부 오픈영역(28B)의 선평을 상부 오픈영역(28A)보다 더 크게 하기 어렵다.
- <41> 도 2e에 도시된 바와 같이, 식각배리어막(26)을 식각하여 스토리지노드콘택(25)의 표면을 노출시킨다. 바람직하게, 질화막 물질인 식각배리어막(26)의 식각은 산화막과 질화막의 선평비가 1:1이 되는 식각가스를 사용하며, 그 예로는 O₂(3~7sccm)와 CHF₃(30~60sccm)의 혼합가스를 사용한다.
- <42> 도 2f에 도시된 바와 같이, 상부 오픈영역(28A)과 하부 오픈영역(28B)로 이루어진 오픈영역의 내부에 하부전극(29)을 형성한다. 이때, 하부전극(29)은 도전막 증착 및 하부전극분리공정을 통해 형성하며, 하부전극(29)은 폴리실리콘막 또는 금속막이 사용된다.
- <43> 오픈영역의 내부에 형성되는 하부전극(29)은 그 형태가 하부가 상부에 비해 더 큰 면적을 갖고 형성되어, 하부전극의 면적 증대를 구현한다.
- <44> 도시하지 않았지만, 후속 공정으로, 하부전극(29) 상에 유전막과 상부전극을 형성한다.
- <45> 전술한 바에 따르면, 본 발명의 실시예는 하부전극분리막(27)을 PSG(27A), 실리콘질화막(27B) 및 PETEOS(27C)의 3중 구조로 형성하고 각 막의 식각시 조건을 다르게 하므로써, 오픈영역 형성을 위한 식각 불량을 방지하고, 오픈영역의 바닥면적이 좁아지는 것도 방지한다.
- <46> 한편, 상술한 실시예에서는 하부전극분리막을 PSG, 실리콘질화막, PETEOS의 순서로 적층하였으나, PETEOS, 실리콘질화막 및 PSG의 순서로 적층하여도 가능하다. 또한, 다른 실시예로서 PSG와 PETEOS는 HDP(High Density Plasma oxide), USG(Undoped Silicate Glass)와 같은 산화막 물질을 사용하여도 무방하다. 즉, 산화막, 질화막 및 산화막의 순서로 적층된 조합의 절연막 구조도 적용이 가능하다.
- <47> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

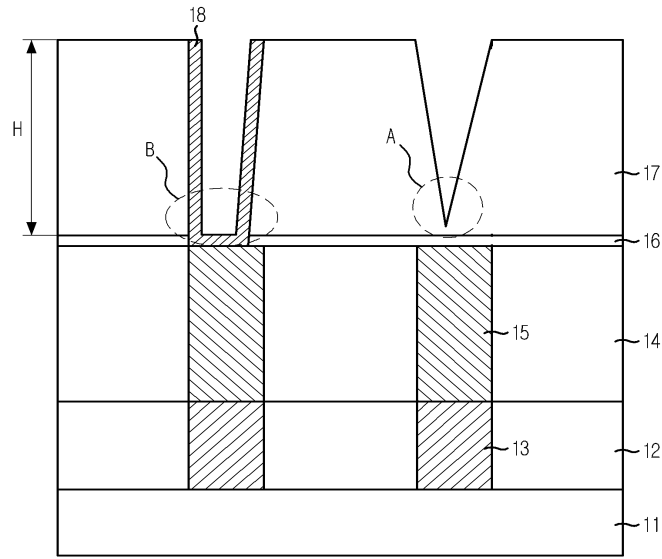
- <48> 상술한 본 발명은 오픈영역을 제공하는 하부전극분리막의 높이를 높이지 않으면서도 하부전극의 면적 증대를 구현하여 고집적화에 대응하는 충분한 용량의 고집적 캐패시터를 제조할 수 있는 효과가 있다.

도면의 간단한 설명

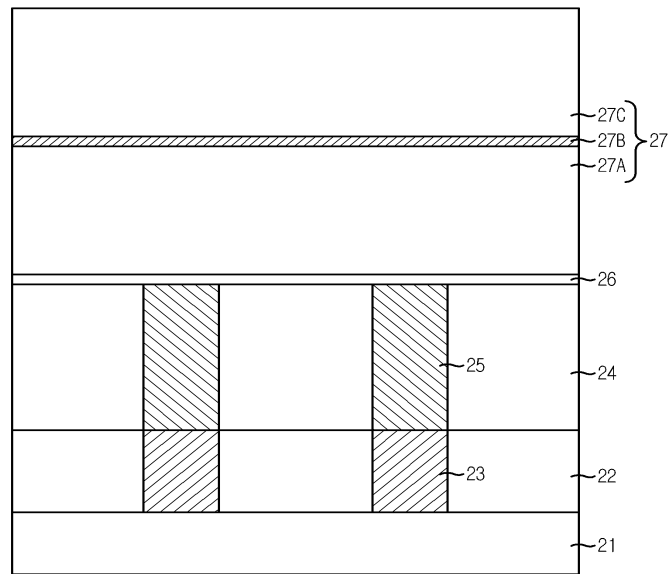
- <1> 도 1은 종래기술에 따른 캐패시터의 제조 방법을 도시한 도면.
- <2> 도 2a 내지 도 2f는 본 발명의 실시예에 따른 캐패시터의 제조 방법을 나타낸 공정 단면도.
- <3> * 도면의 주요부분에 대한 부호의 설명 *
- <4> 21 : 반도체 기판 22 : 제1층간절연막
- <5> 23 : 랜딩플러그콘택 24 : 제2층간절연막
- <6> 25 : 스토리지노드콘택 26 : 식각배리어막
- <7> 27A : PSG 27B : 실리콘질화막
- <8> 27C : PETEOS 28A : 상부 오픈영역
- <9> 28B : 하부 오픈영역 29 : 하부전극

도면

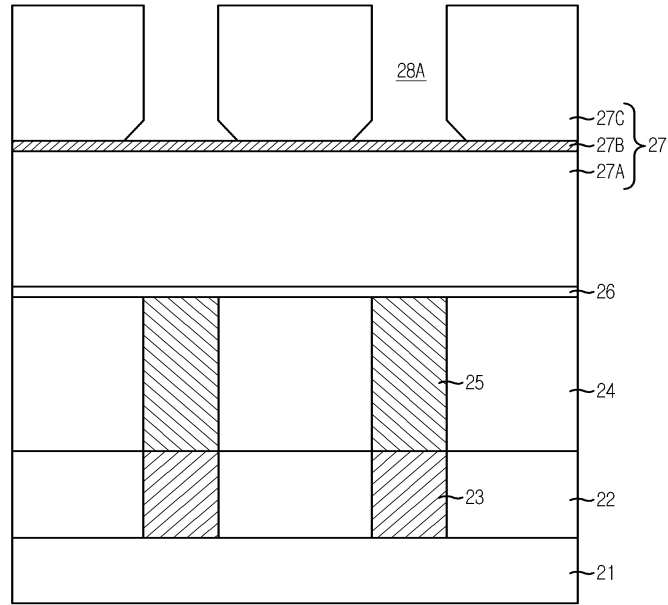
도면1



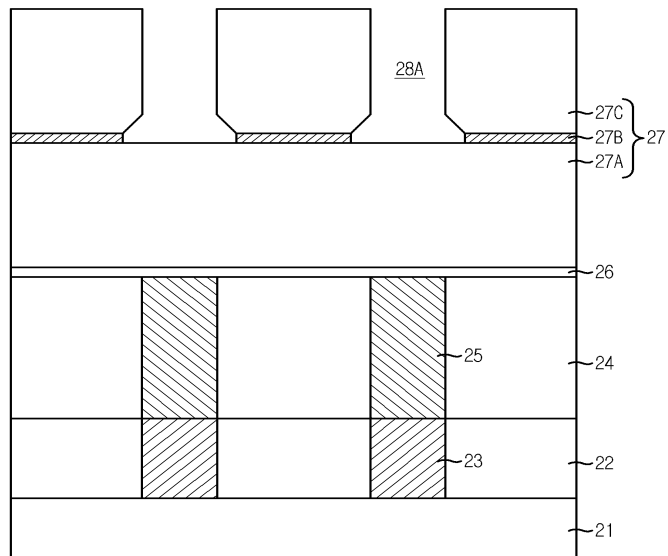
도면2a



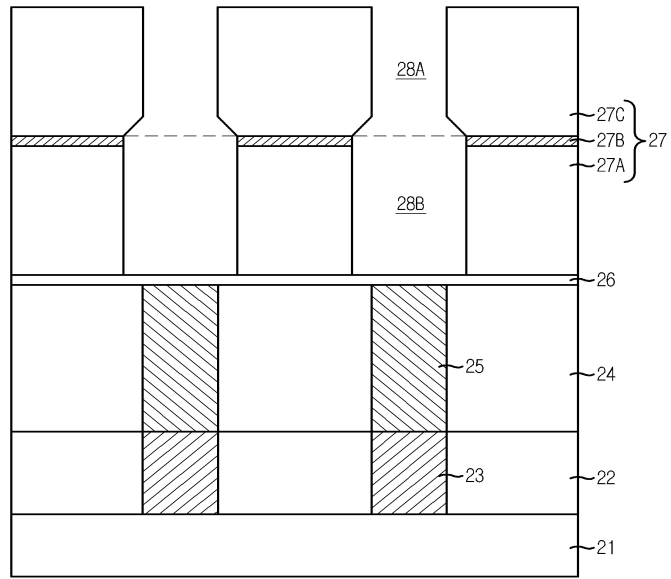
도면2b



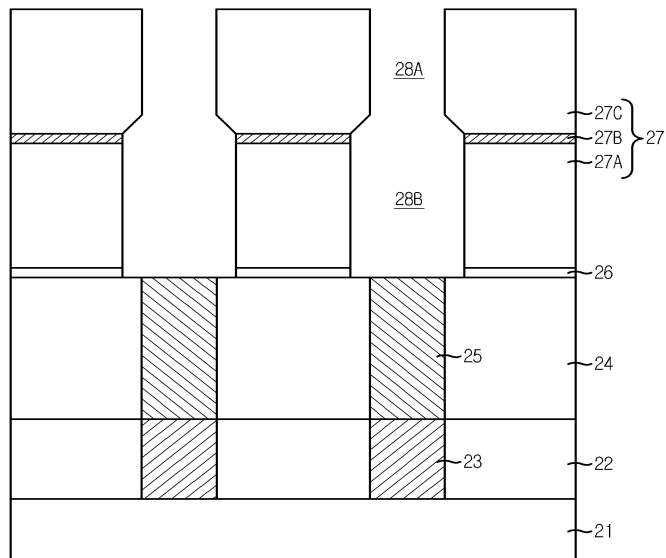
도면2c



도면2d



도면2e



도면2f

