

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-73942

(P2007-73942A)

(43) 公開日 平成19年3月22日(2007.3.22)

(51) Int. Cl. F I テーマコード (参考)  
 H O 1 L 29/78 (2006.01) H O 1 L 29/78 3 O 1 D 5 F 1 4 O

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号	特願2006-215204 (P2006-215204)	(71) 出願人	000003078 株式会社東芝
(22) 出願日	平成18年8月8日 (2006.8.8)		東京都港区芝浦一丁目1番1号
(31) 優先権主張番号	特願2005-233428 (P2005-233428)	(74) 代理人	100058479 弁理士 鈴江 武彦
(32) 優先日	平成17年8月11日 (2005.8.11)	(74) 代理人	100091351 弁理士 河野 哲
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100075672 弁理士 峰 隆司
		(74) 代理人	100109830 弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 半導体装置

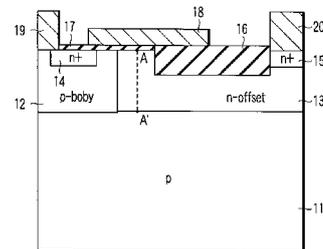
(57) 【要約】

【課題】 オン時のスナップバック電圧を改善することができる半導体装置を提供する。

【解決手段】 半導体基板 11 上に、p-型ボディ層 12 が形成され、p-型ボディ層 12 に隣接してn-型オフセット層 13 が形成されている。p-型ボディ層 12 には、n-型オフセット層 13 より高い不純物濃度を有するn+型ソース層 14 が形成されている。n-型オフセット層 13 には、n-型オフセット層 13 より高い不純物濃度を有するn+型ドレイン層 15 が形成されている。n+型ソース層 14 とn+型ドレイン層 15 との間のn-型オフセット層 13 にはシリコン酸化膜 16 が埋め込まれている。n+型ソース層 14 とシリコン酸化膜 16 との間のp-型ボディ層 12 上及びn-型オフセット層 13 上にはゲート絶縁膜 17 及びゲート電極 18 が形成されている。さらに、n-型オフセット層 13 における不純物濃度プロファイルの第1ピークはシリコン酸化膜 16 より深い位置に形成されている。

【選択図】 図1

図1



## 【特許請求の範囲】

## 【請求項 1】

半導体基板上に形成された第 1 導電型の第 1 半導体層と、  
 前記半導体基板上に、前記第 1 半導体層に隣接して形成された第 2 導電型の第 2 半導体層と、  
 前記第 1 半導体層の表面領域に形成され、前記第 2 半導体層より高い不純物濃度を有する第 2 導電型の第 3 半導体層と、  
 前記第 2 半導体層の表面領域に形成され、前記第 2 半導体層より高い不純物濃度を有する第 2 導電型の第 4 半導体層と、  
 前記第 3 半導体層と前記第 4 半導体層との間の前記第 2 半導体層の表面領域に埋め込まれた絶縁膜と、  
 前記第 3 半導体層と前記絶縁膜との間の前記第 1 半導体層上及び前記第 2 半導体層上に形成されたゲート絶縁膜と、  
 前記ゲート絶縁膜上に形成されたゲート電極とを具備し、  
 前記第 2 半導体層における不純物濃度プロファイルの第 1 ピークは前記絶縁膜より深い位置に形成されていることを特徴とする半導体装置。

10

## 【請求項 2】

前記第 2 半導体層には、前記不純物濃度プロファイルの前記第 1 ピークより小さい第 2 ピークが前記絶縁膜より浅い位置に形成されていることを特徴とする請求項 1 に記載の半導体装置。

20

## 【請求項 3】

前記第 2 半導体層に形成された前記不純物濃度プロファイルの前記第 1 ピークは、前記絶縁膜の底面位置と前記第 2 半導体層の底面位置との中間部分に存在することを特徴する請求項 1 または 2 に記載の半導体装置。

## 【請求項 4】

前記絶縁膜は、前記ゲート電極と前記第 4 半導体層との間に、前記ゲート電極と接して形成されていることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

## 【請求項 5】

前記絶縁膜は、前記ゲート電極と前記第 4 半導体層との間に、前記第 4 半導体層とは離間して形成されていることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置。

30

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

この発明は、高速スイッチング用デバイス、並びにパワー用デバイスとして使用される半導体装置に関するものであり、例えば横型の電界効果トランジスタに関するものである。

## 【背景技術】

## 【0002】

従来から高耐圧駆動回路などに用いられる高耐圧半導体素子と、低耐圧駆動回路などに用いられる低耐圧半導体素子が同一の基板上に形成されたパワー IC は知られており、多くの用途が考えられている。この種のパワー IC の出力段に用いられる高耐圧構造を持つ MOS 電界効果トランジスタ（以下、高耐圧 MOS FET）には、低いオン抵抗が要求されている。低いオン抵抗を実現するために、高耐圧 MOS FET は、通常、微細プロセスにより製造されている。

40

## 【0003】

ところで、微細化が進み、0.25 μm ルール以下にて高耐圧 MOS FET が製造されるようになると、素子分離領域が LOCOS から STI (Shallow Trench Isolation) に変更される。素子分離領域が STI にて形成された構造を持つ高耐圧 MOS FET は、例えば、特許文献 1 に記載されている。このような構造を持つ高耐圧 MOS FET では、例えば耐圧 20 V 系の素子において、ゲートオンのときにソース - ドレイン間電圧が 15 V 前

50

後でスナップバックするという問題が生じる場合がある。

【特許文献1】特開2003-37267号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

この発明は、オン時のスナップバック電圧を改善することができる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0005】

この発明の一実施形態の半導体装置は、半導体基板上に形成された第1導電型の第1半導体層と、前記半導体基板上に、前記第1半導体層に隣接して形成された第2導電型の第2半導体層と、前記第1半導体層の表面領域に形成され、前記第2半導体層より高い不純物濃度を有する第2導電型の第3半導体層と、前記第2半導体層の表面領域に形成され、前記第2半導体層より高い不純物濃度を有する第2導電型の第4半導体層と、前記第3半導体層と前記第4半導体層との間の前記第2半導体層の表面領域に埋め込まれた絶縁膜と、前記第3半導体層と前記絶縁膜との間の前記第1半導体層上及び前記第2半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを具備し、前記第2半導体層における不純物濃度プロファイルの第1ピークは前記絶縁膜より深い位置に形成されていることを特徴とする。

10

【発明の効果】

20

【0006】

この発明によれば、オン時のスナップバック電圧を改善することができる半導体装置を提供することが可能である。

【発明を実施するための最良の形態】

【0007】

以下、図面を参照してこの発明の実施形態の半導体装置について説明する。説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0008】

この発明の実施形態の高耐圧MOS電界効果トランジスタについて説明する。図1は、実施形態の高耐圧MOSFETの構成を示す断面図である。

30

【0009】

p型（またはn型）シリコン半導体基板11上には、p-型ボディ層12とn-型オフセット層13が形成されている。p-型ボディ層12の表面領域には、n+型ソース層14が形成されている。n-型オフセット層13の表面領域には、n+型ドレイン層15が形成されている。n+型ソース層14とn+型ドレイン層15との間のn-型オフセット層13には、トレンチが形成され、このトレンチ内にはシリコン酸化膜16が埋め込まれている。

【0010】

n+型ソース層14とn+型ドレイン層15との間のp-型ボディ層12上及びn-型オフセット層13上には、ゲート絶縁膜17が形成されている。ゲート絶縁膜17上には、ゲート電極18が形成されている。n+型ソース層14上には、ソース電極19が形成されている。さらに、n+型ドレイン層15上には、ドレイン電極20が形成されている。

40

【0011】

なおここでは、半導体基板11上に、p-型ボディ層12とn-型オフセット層13を直に形成する例を示したが、半導体基板11上にn+型半導体層を形成し、このn+型半導体層上にp-型ボディ層12とn-型オフセット層13を形成してもよい。

【0012】

図1に示した高耐圧MOSFETのn-型オフセット層13における不純物濃度プロファイルを図2に示す。図2は、n-型オフセット層13における表面（上面）Aから底面A'までの不純物濃度プロファイルを示している。シリコン酸化膜16が埋め込まれたトレンチの深さは0.35μm程度であり、n-型オフセット層の厚さは1.0μm程度で

50

ある。

【0013】

図2に示すように、不純物濃度プロファイルのピーク位置は、前記トレンチの深さより深い位置、すなわちシリコン酸化膜16の底部より深い位置に形成されている。このときの高耐圧MOSFETにおけるオン時のドレイン電流の特性を図3に示す。図3中、Bにて示す特性は、本実施形態の高耐圧MOSFETにおける特性であり、不純物濃度プロファイルのピーク位置が前記トレンチの深さより深い位置、例えば、トレンチ底部から0.3 μm (トレンチ上端から0.65 μm) 程度の深さにあり、かつ不純物濃度が  $8 \times 10^{16} \text{ cm}^{-3}$  である場合を示す。一方、Cにて示す特性は、従来のMOSFETにおける特性であり、図4に示すように、不純物濃度プロファイルのピーク位置が前記トレンチの深さより浅い位置、例えば、トレンチ上端から0.2 μm程度の深さにあり、かつ不純物濃度が  $8 \times 10^{16} \text{ cm}^{-3}$  である場合を示す。

10

【0014】

次に、高耐圧MOSFETのn-型オフセット層13における不純物濃度プロファイルのピーク位置と、ドレイン電流との関係について説明する。

【0015】

図5は、高耐圧MOSFETのn-型オフセット層13における不純物濃度プロファイルのピーク位置(深さ)をパラメータとしたときのドレイン電流を示す図である。不純物濃度プロファイルのピーク位置が、トレンチ上端から0.5 μm ~ 0.8 μmの深さにある場合、ドレイン電流I<sub>d</sub>は図5に示すように変化する。このときのスナップバック電圧は、図6に示すように、16.8 V ~ 20.3 Vである。したがって、n-型オフセット層13における不純物濃度プロファイルのピーク位置を、トレンチ(シリコン酸化膜16)より深くすることにより、スナップバック電圧を高く維持できる。

20

【0016】

次に、図1に示した実施形態の高耐圧MOSFETの製造方法について説明する。

【0017】

図7(a), 図7(b) ~ 図14は、実施形態の高耐圧MOSFETの製造方法を示す各工程の断面図である。

【0018】

図7(a)に示すように、p型シリコン半導体基板11上に、CVD法によりシリコン窒化膜21を形成する。続いて、図7(b)に示すように、シリコン窒化膜21上に、フォトリソグラフィ法により開口部をもつレジスト膜22を形成する。そして、図8(a)に示すように、RIE法によりシリコン窒化膜21をエッチングし、図8(b)に示すように、レジスト膜22を除去して、トレンチを形成するために用いるシリコン窒化膜21を形成する。

30

【0019】

次に、RIE法によりシリコン半導体基板11をエッチングしてトレンチを形成し、その後、図8(c)に示すように、半導体基板11上のトレンチ内及びシリコン窒化膜21上に、CVD法によりシリコン酸化膜16を形成する。さらに、CMP法によりシリコン窒化膜21上のシリコン酸化膜16を研磨して、図9(a)に示すように、トレンチ内にシリコン酸化膜16を残す。

40

【0020】

続いて、図9(b)に示すように、半導体基板11上のシリコン窒化膜21を除去する。さらに、図9(c)に示すように、熱酸化法により半導体基板11上にゲート絶縁膜17を形成する。その後、図10(a)に示すように、フォトリソグラフィ法によりレジスト膜23を形成した後、イオン注入法により半導体基板11の破線にて示した領域31に、p-型ボディ層12を形成するためにボロンイオン[B+]を注入する。さらに、図10(b)に示すように、レジスト膜23を除去した後、イオン注入法により半導体基板11の破線にて示した領域32A, 32Bに、n-型オフセット層13を形成するためにリンイオン[P+]を注入する。このとき、リンイオン[P+]は、トレンチの深さより深い位

50

置、すなわちシリコン酸化膜 16 の底部より深い位置 32A と、トレンチの深さより浅い位置、すなわちシリコン酸化膜 16 の底部より浅い位置 32B に注入される。その後、熱処理を行い、図 10 (c) に示すように、半導体基板 11 に、p-型ボディ層 12 と n-型オフセット層 13 を形成する。

【0021】

次に、図 11 (a) に示すように、ゲート絶縁膜 17 上及びシリコン酸化膜 16 上に、ゲート電極となるべきポリシリコン膜 18 を形成する。続いて、図 11 (b) に示すように、フォトリソグラフィ法によりポリシリコン膜 18 上にレジスト膜 24 を形成し、図 11 (c) に示すように、RIE 法によりポリシリコン膜 18 をエッチングして、ゲート電極 18 を形成する。

10

【0022】

続いて、レジスト膜 24 を剥離した後、図 12 (a) に示すように、フォトリソグラフィ法によりレジスト膜 25 を形成する。その後、イオン注入法により p-型ボディ層 12 と n-型オフセット層 13 の破線にて示す領域 33 にヒ素イオン [As<sup>+</sup>] を注入する。その後、レジスト膜 25 を除去し、熱処理を行い、図 12 (b) に示すように、p-型ボディ層 12 に n+型ソース層 14 を形成すると共に、n-型オフセット層 13 に n+型ドレイン層 15 を形成する。

【0023】

次に、図 12 (c) に示すように、図 12 (b) に示す構造上に、絶縁膜 26 を形成する。続いて、図 13 (a) に示すように、フォトリソグラフィ法によりレジスト膜 27 を形成した後、図 13 (b) に示すように、RIE 法により絶縁膜 26 をエッチングする。その後、図 13 (c) に示すように、レジスト膜 27 を除去する。

20

【0024】

次に、図 13 (c) に示す構造上に、ソース電極及びドレイン電極となるべき金属膜を堆積し、図 14 に示すように、CMP 法により余分な金属膜を除去して、ソース電極 19 及びドレイン電極 20 を形成する。以上により、本実施形態の高耐圧 MOSFET が製造される。

【0025】

前記製造工程を有する半導体装置よれば、n-型オフセット層 13 における不純物濃度プロファイルのピーク位置を、トレンチ (シリコン酸化膜 16) より深い領域に形成することができる。これにより、オン時のスナップバック電圧を高く維持できる。

30

【0026】

この発明の実施形態によれば、オン時のスナップバック電圧を改善することができる半導体装置を提供することが可能である。

【0027】

以下に、この発明の実施形態においてオン時のスナップバック電圧を高く維持できる理由を説明する。

【0028】

図 15 (a), 図 15 (b) は、それぞれ前記実施形態 (図 3 の B) と従来例 (図 3 の C) におけるドレイン-ソース間電圧  $V_{ds} = 1.7V$  での n-型オフセット層 13 の電子電流密度分布を示す図である。図 15 (b) に示すように、従来例では不純物濃度のプロファイルのピークがシリコン酸化膜 16 より浅い領域 (ここでは深さ約  $0.20\mu m$  の領域) にあり、シリコン酸化膜 16 より深い領域にはピークを有していないため、不純物濃度が比較的に高い、シリコン酸化膜 16 の周囲、特にエッジ部 (破線 34 で囲んだ領域) の電流密度が高くなっている。これに対し、図 15 (a) に示すように、実施形態では不純物濃度のプロファイルのピークがシリコン酸化膜 16 より深い領域 (ここでは、深さ約  $0.65\mu m$  の領域) にあるため、この領域の抵抗が小さくなり、電流密度が高くなることにより、シリコン酸化膜 16 のエッジ部の電流密度を大幅に低くすることができる。

40

【0029】

このときの実施形態と従来例における電圧  $V_{ds} = 1.7V$  での n-型オフセット層 13

50

の空間電荷分布をそれぞれ図16(a), 図16(b)に示す。n-型オフセット層13はn型半導体であるので、ソース-ドレイン間に電圧が印加されたときにn-型オフセット層13が空乏化する。この空乏化により、n-型オフセット層13に正の空間電荷が形成されることにより均一な電界が形成され、高い耐圧を得ることができる。

【0030】

しかし、図16(b)に示すように、従来例ではチャンネルから供給される電子電流がシリコン酸化膜16のエッジ部に集中することにより、空間電荷が打ち消され、n-型オフセット層13の空間電荷は負の値となっている。このため、図17(b)に示すように、破線35で囲った領域の電界が高くなり、図18(b)に示すように、破線36で囲った領域のインパクトイオン化率が高くなっている。すなわち、従来例ではインパクトイオン化によってキャリアが生成されるため、図3のCにて示したように、スナップバック電圧が低くなってしまふ。一方、前記実施形態では、従来例のような電流の集中は起こらないため、図16(a)に示したように、トレンチ(シリコン酸化膜16)下のn-型オフセット層13に正の空間電荷が残存している。これにより、シリコン酸化膜16下のエッジ部を含むn-型オフセット層13における電界は緩和され、図18(a)に示すように、インパクトイオン化率の上昇を抑制できるため、スナップバック電圧を高くすることができる。

10

【0031】

同様な理由で、図5に示したように、不純物濃度プロファイルのピーク位置が、トレンチ上端から0.5 $\mu\text{m}$ ~0.8 $\mu\text{m}$ の深さにある場合についても説明することができる。すなわち、n-型オフセット層13における不純物濃度プロファイルのピーク位置を、トレンチ(シリコン酸化膜16)より深くすることにより、スナップバック電圧を高くすることができる。

20

【0032】

また、図19に示すように、シリコン酸化膜16より深い位置に不純物濃度プロファイルのピークを持たせることに加えて、シリコン酸化膜16をn+型ドレイン層15からゲート電極18方向に離間させるように構成した場合には、電流の経路が変わることから、図1に示した構造よりもシリコン酸化膜16のエッジ部への電流の集中をさらに防ぐことが可能である。このような図19に示した構造によっても、シリコン酸化膜16のエッジ部における電界は緩和され、この結果、インパクトイオン化によるキャリアの生成を低減でき、スナップバック電圧を高く維持することができる。

30

【0033】

以上述べたように、この発明の実施形態では、n-型オフセット層13における不純物濃度のピーク位置がシリコン酸化膜16より深い領域にあるため、この深い領域の抵抗が小さくなって電流密度が高くなることにより、シリコン酸化膜16のエッジ部の電流密度を低くすることができる。これにより、電流の集中を防止でき、シリコン酸化膜16下のn-型オフセット層13に正の空間電荷を残存させることができるため、シリコン酸化膜16のエッジ部における電界は緩和される。この結果、インパクトイオン化によるキャリアの生成を低減できるため、スナップバック電圧を高く維持することができる。

40

【0034】

なお、前述した実施形態は唯一の実施形態ではなく、前記構成の変更あるいは各種構成の追加によって、様々な実施形態を形成することが可能である。

【0035】

また、この発明は以下のような実施態様を含む。

【0036】

(1) 半導体基板上に形成された第1導電型のボディ層と、  
前記ボディ層の表面領域に形成された第2導電型のソース層と、  
前記半導体基板上に形成された第2導電型のオフセット層と、  
前記オフセット層の表面領域に形成された第2導電型のドレイン層と、  
前記ソース層と前記ドレイン層との間の前記オフセット層の表面領域に形成されたトレ

50

ンチ内に埋め込まれた絶縁膜と、

前記ソース層と前記絶縁膜との間の前記ボディ層上及び前記オフセット層上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極とを具備し、

前記オフセット層における不純物濃度プロファイルの第1ピークは前記絶縁膜より深い位置に形成されている半導体装置。

【0037】

(2) 前記オフセット層には、前記不純物濃度プロファイルの前記第1ピークより小さい第2ピークが前記絶縁膜より浅い位置に形成されている前記(1)に記載の半導体装置。

10

【0038】

(3) 前記オフセット層に形成された前記不純物濃度プロファイルの前記第1ピークは、前記絶縁膜の底面位置と前記オフセット層の底面位置との中間部分に存在する前記(1)に記載の半導体装置。

【0039】

(4) 前記半導体基板と、前記ボディ層及び前記オフセット層との間に形成された第2導電型の半導体層をさらに具備する前記(1)に記載の半導体装置。

【0040】

(5) 前記ボディ層上と前記ソース層上の両方にまたがるように形成されたソース電極と、前記ドレイン層上に形成されたドレイン電極とをさらに具備する前記(1)に記載の半導体装置。

20

【0041】

(6) 前記トレンチ内に埋め込まれた前記絶縁膜は酸化膜を含む前記(1)に記載の半導体装置。

【0042】

(7) 半導体基板上に形成された第1導電型の第1半導体層と、

前記半導体基板上に、前記第1半導体層に隣接して形成された第2導電型の第2半導体層と、

前記第1半導体層の表面領域に形成され、前記第2半導体層より高い不純物濃度を有する第2導電型の第3半導体層と、

30

前記第2半導体層の表面領域に形成され、前記第2半導体層より高い不純物濃度を有する第2導電型の第4半導体層と、

前記第3半導体層と前記第4半導体層との間の前記第2半導体層の表面領域に埋め込まれた絶縁膜と、

前記第3半導体層と前記絶縁膜との間の前記第1半導体層上及び前記第2半導体層上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極とを具備し、

前記第2半導体層における不純物濃度プロファイルの第1ピークは前記絶縁膜より深い位置に形成されている半導体装置。

【0043】

40

(8) 前記第2半導体層には、前記不純物濃度プロファイルの前記第1ピークより小さい第2ピークが前記絶縁膜より浅い位置に形成されている前記(7)に記載の半導体装置。

【0044】

(9) 前記第2半導体層に形成された前記不純物濃度プロファイルの前記第1ピークは、前記絶縁膜の底面位置と前記第2半導体層の底面位置との中間部分に存在する前記(7)に記載の半導体装置。

【0045】

(10) 前記半導体基板と、前記第1半導体層及び前記第2半導体層との間に形成された第2導電型の第5半導体層をさらに具備する前記(7)に記載の半導体装置。

50

## 【0046】

(11) 前記第1半導体層上と前記第3半導体層上の両方にまたがるように形成されたソース電極と、前記第4半導体層上に形成されたドレイン電極とをさらに具備する前記(7)に記載の半導体装置。

## 【0047】

(12) 前記第2半導体層内に埋め込まれた前記絶縁膜は酸化膜を含む前記(7)に記載の半導体装置。

## 【0048】

(13) 前記絶縁膜は、前記ゲート電極と前記ドレイン層との間に形成されている前記(1)に記載の半導体装置。

10

## 【0049】

(14) 前記絶縁膜は、前記ゲート電極と接して形成されている前記(13)に記載の半導体装置。

## 【0050】

(15) 前記絶縁膜は、前記ドレイン層とは離間して形成されている前記(13)に記載の半導体装置。

## 【0051】

(16) 前記絶縁膜は、前記ゲート電極と前記第4半導体層との間に形成されている前記(7)に記載の半導体装置。

## 【0052】

(17) 前記絶縁膜は、前記ゲート電極と接して形成されている前記(16)に記載の半導体装置。

20

## 【0053】

(18) 前記絶縁膜は、前記第4半導体層とは離間して形成されている前記(16)に記載の半導体装置。

## 【図面の簡単な説明】

## 【0054】

【図1】この発明の実施形態の高耐圧MOSFETの構成を示す断面図である。

【図2】実施形態の高耐圧MOSFETのn-型オフセット層における不純物濃度プロファイルを示す図である。

30

【図3】実施形態の高耐圧MOSFETにおけるオン時のドレイン電流特性を示す図である。

【図4】従来の高耐圧MOSFETのn-型オフセット層における不純物濃度プロファイルを示す図である。

【図5】実施形態の高耐圧MOSFETにおけるオン時のドレイン電流特性の詳細を示す図である。

【図6】実施形態の高耐圧MOSFETにおける不純物濃度プロファイルのピーク位置の深さと、スナップバック電圧との関係を示す図表である。

【図7】実施形態の高耐圧MOSFETの製造方法を示す第1工程の断面図である。

【図8】実施形態の高耐圧MOSFETの製造方法を示す第2工程の断面図である。

40

【図9】実施形態の高耐圧MOSFETの製造方法を示す第3工程の断面図である。

【図10】実施形態の高耐圧MOSFETの製造方法を示す第4工程の断面図である。

【図11】実施形態の高耐圧MOSFETの製造方法を示す第5工程の断面図である。

【図12】実施形態の高耐圧MOSFETの製造方法を示す第6工程の断面図である。

【図13】実施形態の高耐圧MOSFETの製造方法を示す第7工程の断面図である。

【図14】実施形態の高耐圧MOSFETの製造方法を示す第8工程の断面図である。

【図15】(a)は実施形態(図3のB)におけるn-型オフセット層の電子電流密度分布を示す図であり、(b)は従来例(図3のC)におけるn-型オフセット層の電子電流密度分布を示す図である。

【図16】(a)は実施形態におけるn-型オフセット層の空間電荷分布を示す図であり

50

、(b)は従来例におけるn-型オフセット層の空間電荷分布を示す図である。

【図17】(a)は実施形態におけるn-型オフセット層の電界分布を示す図であり、(b)は従来例におけるn-型オフセット層の電界分布を示す図である。

【図18】(a)は実施形態におけるn-型オフセット層のインパクトイオン化率分布を示す図であり、(b)は従来例におけるn-型オフセット層のインパクトイオン化率分布を示す図である。

【図19】n-型オフセット層のトレンチ内に埋め込まれた絶縁膜をドレイン層から離間するように構成した場合の変形例を示す断面図である。

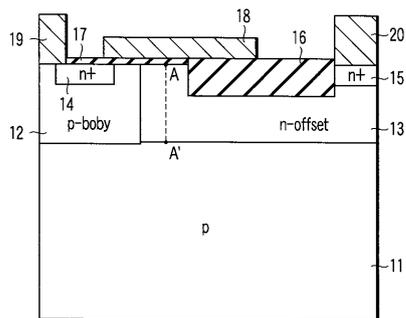
【符号の説明】

【0055】

11... p型(またはn型)シリコン半導体基板、12... p-型ボディ層、13... n-型オフセット層、14... n+型ソース層、15... n+型ドレイン層、16... シリコン酸化膜、17... ゲート絶縁膜、18... ゲート電極、19... ソース電極、20... ドレイン電極、21... シリコン窒化膜、22, 23, 24, 25, 27... レジスト膜、26... 絶縁膜。

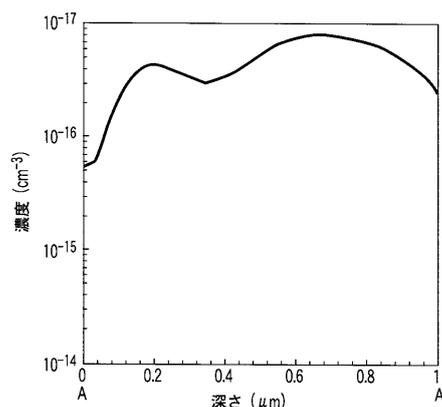
【図1】

図1



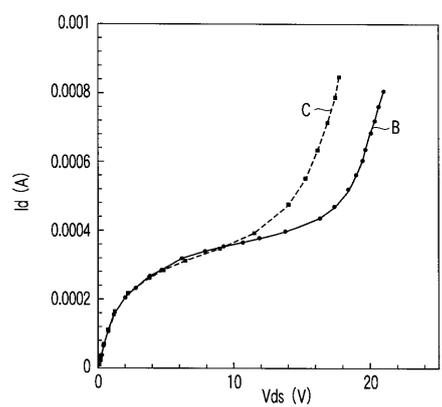
【図2】

図2



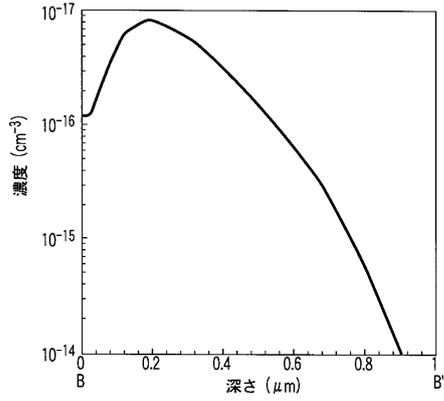
【図3】

図3



【 図 4 】

図 4



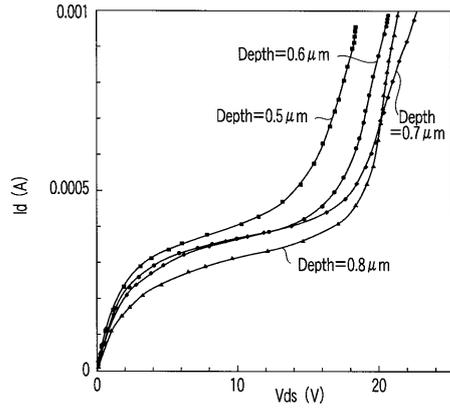
【 図 6 】

図 6

深さ (μm)	スナップバック (V)
0.5	16.8
0.6	18.9
0.7	20.3
0.8	20.1

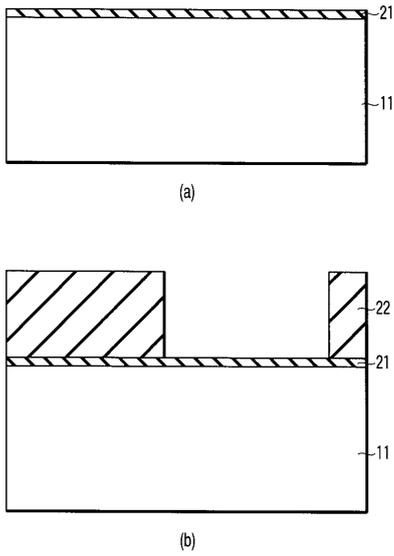
【 図 5 】

図 5



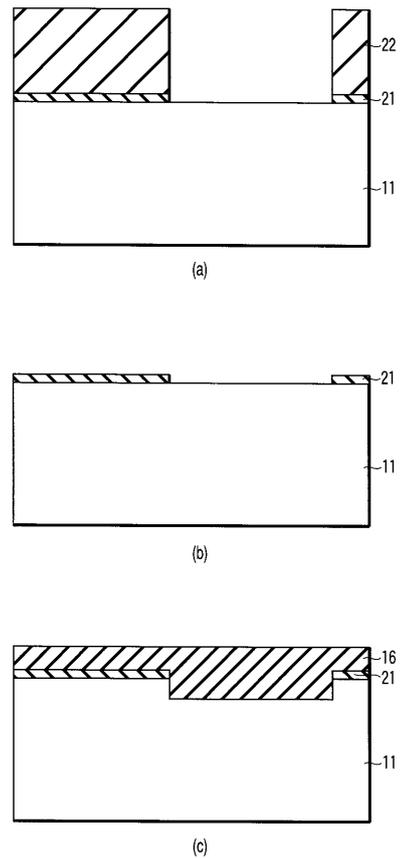
【 図 7 】

図 7



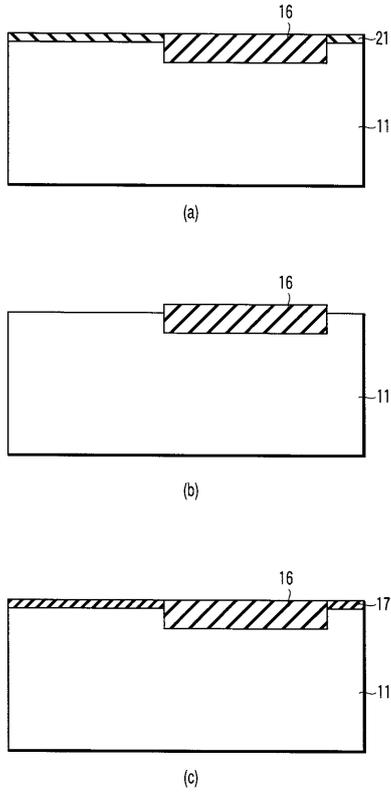
【 図 8 】

図 8



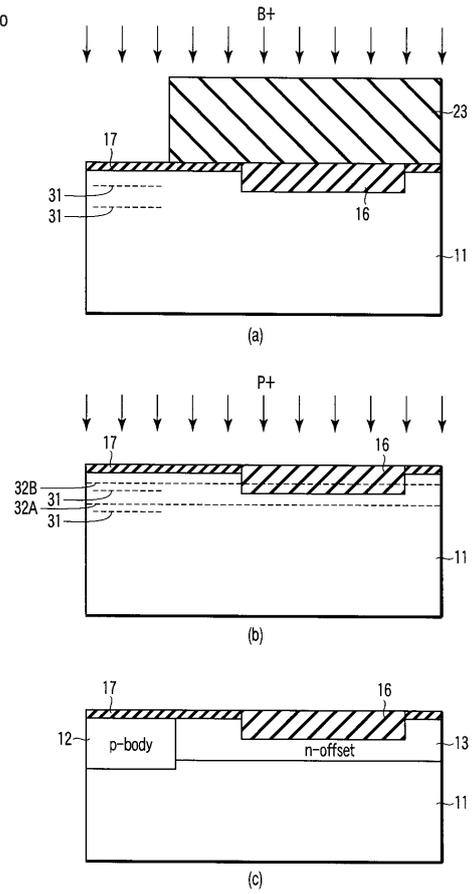
【 図 9 】

図 9



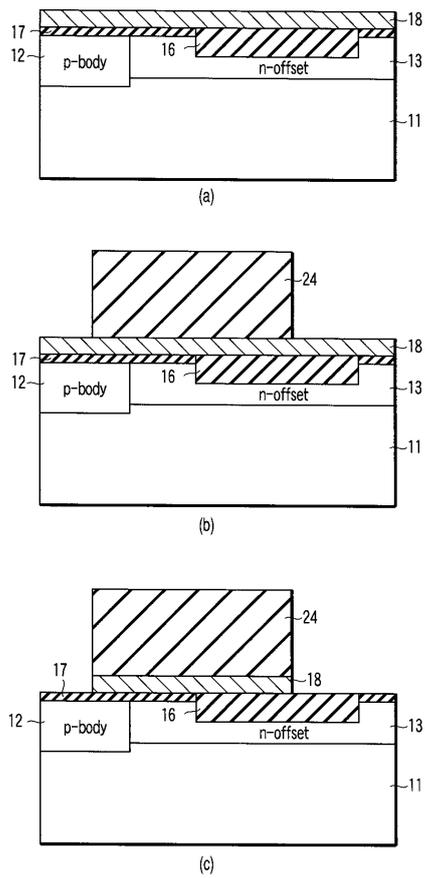
【 図 10 】

図 10



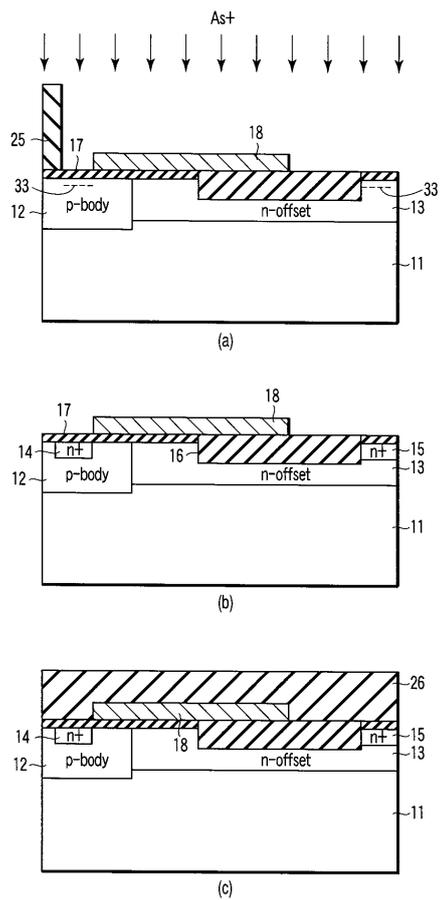
【 図 11 】

図 11



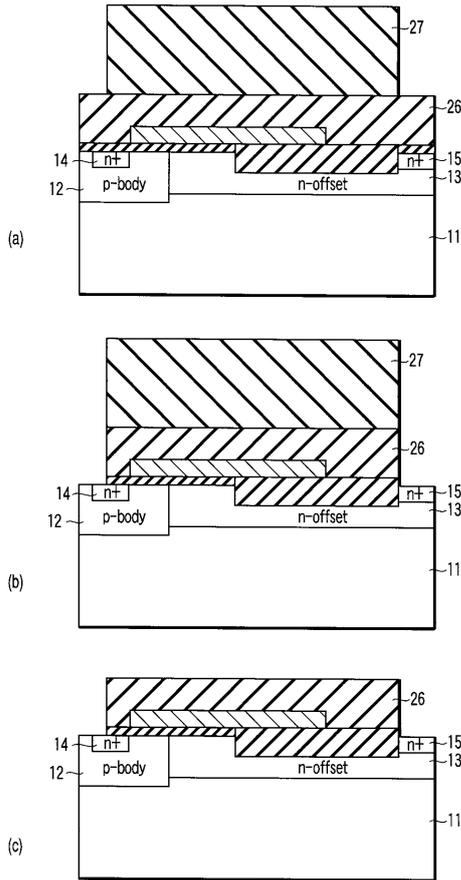
【 図 12 】

図 12



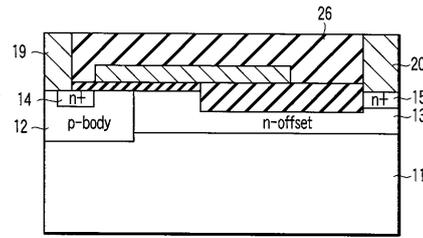
【 図 1 3 】

図 13



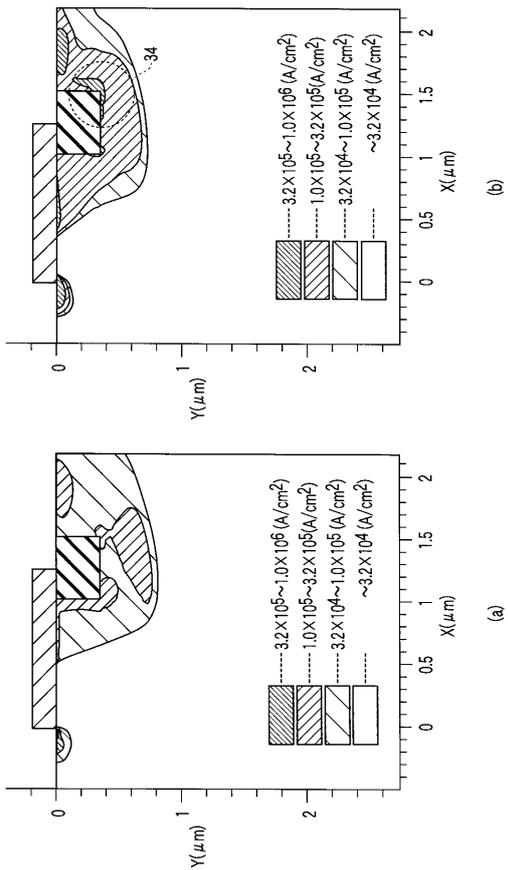
【 図 1 4 】

図 14



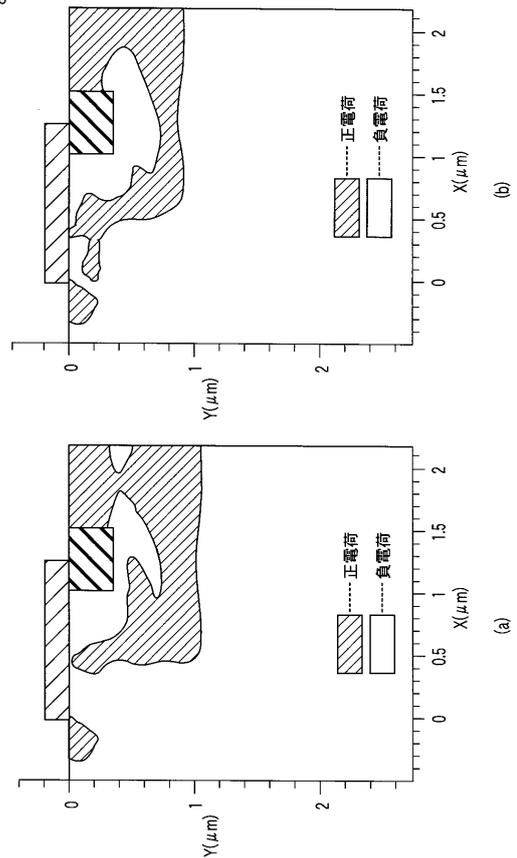
【 図 1 5 】

図 15



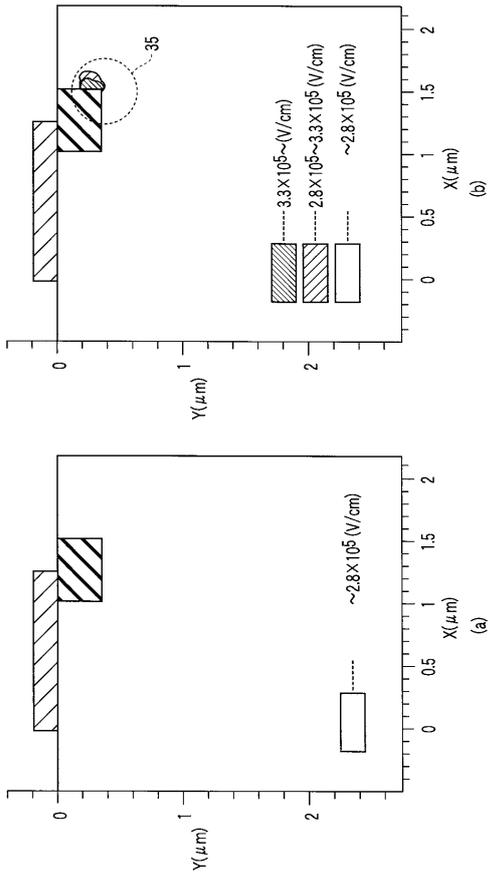
【 図 1 6 】

図 16



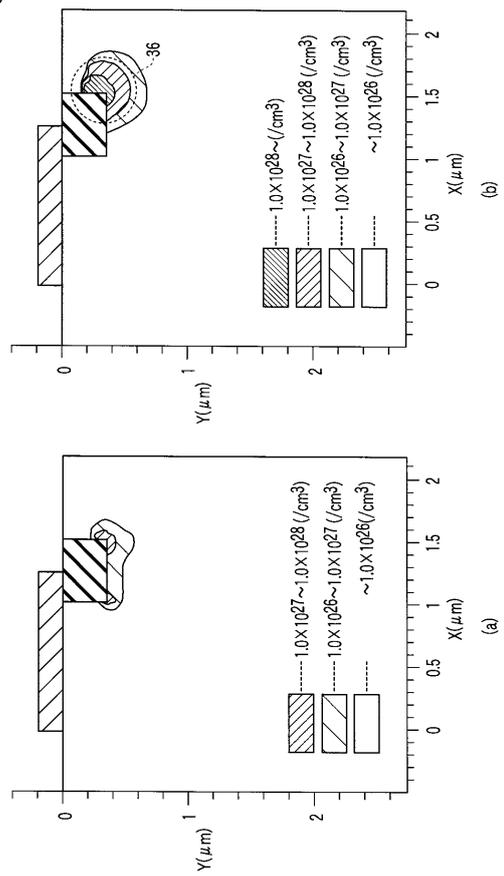
【 17 】

17



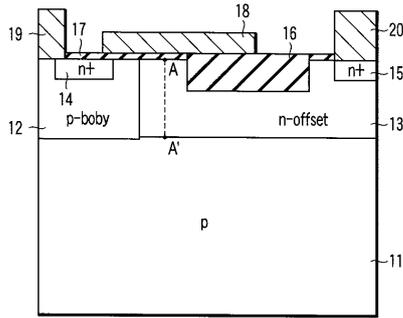
【 18 】

18



【 19 】

19



## フロントページの続き

- (74)代理人 100084618  
弁理士 村松 貞男
- (74)代理人 100092196  
弁理士 橋本 良郎
- (72)発明者 川口 雄介  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 安原 紀夫  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 末代 知子  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 松下 憲一  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- Fターム(参考) 5F140 AA01 AA04 AA25 AA30 AA38 AA39 AC21 BA01 BF01 BF04  
BG38 BH14 BH17 BH30 BH41 BH45 BH47 BH49 BH50 BJ01  
BK13 CE07