

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4445995号
(P4445995)

(45) 発行日 平成22年4月7日(2010.4.7)

(24) 登録日 平成22年1月22日(2010.1.22)

(51) Int.Cl. F I
H03M 1/14 (2006.01) H03M 1/14 A

請求項の数 7 (全 31 頁)

<p>(21) 出願番号 特願2007-318466 (P2007-318466) (22) 出願日 平成19年12月10日(2007.12.10) (65) 公開番号 特開2009-141861 (P2009-141861A) (43) 公開日 平成21年6月25日(2009.6.25) 審査請求日 平成19年12月10日(2007.12.10)</p> <p>特許法第30条第1項適用 (1) 株式会社ICSコンベンションデザイン発行の「2007 SYMPOSIUM ON VLSI CIRCUITS, DIGEST OF TECHNICAL PAPAERS」196~197頁(19-2)において2007年6月14日に発表した。(2) 社団法人電子情報通信学会発行の「電子情報通信学会技術研究報告 ICD2007-37~68 [集積回路], Vol. 107, No. 163」41~46頁(ICD2007-44)において2007年7月19日に発表した。</p>	<p>(73) 特許権者 396023993 株式会社半導体理工学研究センター 神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビル6階</p> <p>(74) 代理人 100101454 弁理士 山田 卓二</p> <p>(74) 代理人 100081422 弁理士 田中 光雄</p> <p>(74) 代理人 100125874 弁理士 川端 純市</p> <p>(72) 発明者 川人 祥二 静岡県浜松市中区城北3丁目5-1 国立大学法人静岡大学電子工学研究所内</p>
--	---

最終頁に続く

(54) 【発明の名称】 パイプライン型A/D変換装置

(57) 【特許請求の範囲】

【請求項1】

アナログ入力信号をサンプルホールドした後、サンプルホールドされたサンプルホールド信号を出力するサンプルホールド手段と、

互いに縦続接続された複数のA/D変換回路部を含み、上記サンプルホールド信号をパイプライン形式でA/D変換するA/D変換手段とを備えたパイプライン型A/D変換装置において、

上記各A/D変換回路部は、

複数の比較器を含み、入力信号を所定ビットのデジタル信号にA/D変換する前置A/D変換回路と、

上記前置A/D変換回路からのデジタル信号をアナログ制御信号にD/A変換し、上記アナログ制御信号に基づいて、上記入力信号を、サンプリングキャパシタを用いてサンプリングし、ホールドし、増幅することによりD/A変換する乗算型D/A変換回路とを備え、

上記サンプリングする前に、上記サンプリングキャパシタを、上記各A/D変換回路部への入力信号に対する出力信号を示す上記各A/D変換回路部の入出力特性に実質的に適合するデジタル入出力特性に従って、所定の出力値になるように予め充電するプリチャージ回路を備え、

上記各A/D変換回路部の前置A/D変換回路は、

互いに異なるしきい値を有し、入力信号を上記しきい値と比較して、比較結果信号を出

力する 6 個の比較器と、

上記 6 個の比較器からの各比較結果信号に基づいて、3 値の出力信号を出力する論理回路とを備えたことを特徴とするパイプライン型 A / D 変換装置。

【請求項 2】

上記各比較器はそれぞれ、上記各 A / D 変換回路部の A / D 変換の基準値を V_r としたときに、 $-3V_r/4$ と、 $-V_r/2$ と、 $-V_r/4$ と、 $+V_r/4$ と、 $+V_r/2$ と、 $+3V_r/4$ とのしきい値を有し、

上記論理回路は、上記 6 個の比較器からの各比較結果信号に基づいて、 $-V_r$ と、0 と、 $+V_r$ との 3 値の出力信号を出力することを特徴とする請求項 1 記載のパイプライン型 A / D 変換装置。

10

【請求項 3】

アナログ入力信号をサンプルホールドした後、サンプルホールドされたサンプルホールド信号を出力するサンプルホールド手段と、

互いに縦続接続された複数の A / D 変換回路部を含み、上記サンプルホールド信号をパイプライン形式で A / D 変換する A / D 変換手段とを備えたパイプライン型 A / D 変換装置において、

上記各 A / D 変換回路部は、

複数の比較器を含み、入力信号を所定ビットのデジタル信号に A / D 変換する前置 A / D 変換回路と、

上記前置 A / D 変換回路からのデジタル信号をアナログ制御信号に D / A 変換し、上記アナログ制御信号に基づいて、上記入力信号を、サンプリングキャパシタを用いてサンプリングし、ホールドし、増幅することにより D / A 変換する乗算型 D / A 変換回路とを備え、

20

上記サンプリングする前に、上記サンプリングキャパシタを、上記各 A / D 変換回路部への入力信号に対する出力信号を示す上記各 A / D 変換回路部の入出力特性に実質的に適合するデジタル入出力特性に従って、所定の出力値になるように予め充電するプリチャージ回路を備え、

上記各 A / D 変換回路部の前置 A / D 変換回路は、

互いに異なるしきい値を有し、入力信号を上記しきい値と比較して、比較結果信号を出力する 14 個の比較器と、

30

上記 14 個の比較器からの各比較結果信号に基づいて、3 値の出力信号を出力する論理回路とを備えたことを特徴とするパイプライン型 A / D 変換装置。

【請求項 4】

上記各比較器はそれぞれ、上記各 A / D 変換回路部の A / D 変換の基準値を V_r としたときに、 $-7V_r/8$ と、 $-3V_r/4$ と、 $-5V_r/8$ と、 $-V_r/2$ と、 $-3V_r/8$ と、 $-V_r/4$ と、 $-V_r/8$ と、 $+V_r/8$ と、 $+V_r/4$ と、 $+3V_r/8$ と、 $+V_r/2$ と、 $+5V_r/8$ と、 $+3V_r/4$ と、 $+7V_r/8$ とのしきい値を有し、

上記論理回路は、上記 14 個の比較器からの各比較結果信号に基づいて、 $-V_r$ と、0 と、 $+V_r$ との 3 値の出力信号を出力することを特徴とする請求項 3 記載のパイプライン型 A / D 変換装置。

40

【請求項 5】

上記各 A / D 変換回路部は、

上記前置 A / D 変換回路と、

第 1 と第 2 の上記乗算型 A / D 変換回路とを備え、

上記縦続接続された複数の A / D 変換回路部において、奇数段の A / D 変換回路部の第 1 の乗算型 A / D 変換回路に対してプリチャージ、サンプリング及びホールドの処理を実行させ、奇数段の A / D 変換回路部の第 2 の乗算型 A / D 変換回路に対して増幅の処理を実行させ、偶数段の A / D 変換回路部の第 1 の乗算型 A / D 変換回路に対して増幅の処理を実行させ、偶数段の A / D 変換回路部の第 2 の乗算型 A / D 変換回路に対してプリチャージ、サンプリング及びホールドの処理を実行させるように制御する制御手段をさらに備

50

えたことを特徴とする請求項 1 乃至 4 のうちのいずれか 1 つに記載のパイプライン型 A / D 変換装置。

【請求項 6】

上記各 A / D 変換回路部において、上記第 1 の乗算型 A / D 変換回路で増幅の処理を行う増幅器と、上記第 2 の乗算型 A / D 変換回路で増幅の処理を行う増幅器とを 1 つの増幅器で共用化したことを特徴とする請求項 5 記載のパイプライン型 A / D 変換装置。

【請求項 7】

上記 A / D 変換手段は、

互いに縦続接続された複数の A / D 変換回路部を含む第 1 のパイプライン A / D 変換回路部群と、

互いに縦続接続された複数の A / D 変換回路部を含む第 2 のパイプライン A / D 変換回路部群とを備え、

上記 A / D 変換手段は、上記第 1 と第 2 のパイプライン A / D 変換回路部群を用いて 2 系列の上記サンプルホールド信号をパイプライン形式で A / D 変換することを特徴とする請求項 1 乃至 6 のうちのいずれか 1 つに記載のパイプライン型 A / D 変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば VLSI により構成されるパイプライン型 A / D 変換装置に関する。

【背景技術】

【0002】

通信や映像技術の発展に伴いアナログ・デジタル混載システム LSI の担う役割が大きくなっている今日において、混載システム LSI の消費電力の削減は大きな関心事である。半導体微細加工技術の進歩は、デジタル回路の高性能・高集積化をもたらすとともに、低電源電圧化による効率的な電力削減を行ってきた。その一方でアナログ回路である A / D 変換器にとっては、トランジスタの基本的性能の向上により高速化しやすくなったものの、プロセス上の素子バラつきや低電圧化による信号対雑音比（以下、SNR という。）の劣化等への対策が必要であり、確実な性能を得るための回路設計を困難なものにしている。

【0003】

一般的に、高分解能パイプライン型 A / D 変換器は、高 SNR を確保するために大きなサンプリング容量が必要であり、その容量へ充放電するためのアンプの消費電力の増大が避けられない。それでも、パイプラインアーキテクチャは他の変換方式に比べ低消費電力で高速・高分解能を実現できる A / D 変換器として実用化されている。

【0004】

以下、従来技術に係るパイプライン型 A / D 変換装置について以下に説明する。低分解能 A / D 変換器の多段縦列接続によって構成されるパイプライン A / D 変換装置は、他の方式の A / D 変換装置に比べ、高速・高分解能を比較的消費電力で達成できるアーキテクチャであり、8 ~ 14 ビットの分解能でサンプリング周波数が数 MHz ~ 数百 MHz の速度域で主流となっている。

【0005】

図 3 は従来技術に係る A / D 変換回路部 A D a (k) の構成を示すブロック図である。図 3 において、前置 A / D 変換回路（以下、ADC 回路という。）21a と、いわゆる基本演算回路である乗算型 D / A 変換回路（以下、MDAC (Multiplying Digital to Analog Converter) 回路という。）26 とを備えて構成される。ここで、MDAC 回路 26 は、D / A 変換回路（以下、DAC 回路という。）22a と、4 個のスイッチ SW1 乃至 SW4 と、サンプリング容量 C1, C2 と、演算増幅器 A1 とを備えて構成される。

【0006】

アナログ入力信号をサンプルホールド回路で受け、それ以降は入力電圧を 2 倍にし、参照電圧を減加算する基本演算回路である MDAC 回路 26 及び比較器であるサブ A / D 変

10

20

30

40

50

換回路 2 1 a からなるパイプラインステージで構成される。各段は交互に「サンプリングモード」と「増幅モード」を繰り返し、入力から最終段まで半クロック毎に演算結果を後段に渡すことでパイプライン的に動作する。分解能は 1 ステージあたりの分解能とパイプラインの段数で決まる。

【 0 0 0 7 】

高分解能なパイプライン A / D 変換装置には、S N R (Signal to Noise Ratio) を確保するための大きな信号振幅と、演算増幅器 A 1 やスイッチ S W 1 乃至 S W 4 から発生する熱ノイズを抑制するための大きなサンプリング容量 C 1 , C 2 が必要となる。パイプライン A / D 変換装置の消費電力は、入力部のサンプルホールド回路とその後続くパイプライン段に使用する演算増幅器 A 1 のバイアス電流が支配的である。大きな容量値に対して高速でサンプリングするには、充放電をすばやく行うためにバイアス電流を増やす必要があり、消費電力の増大が懸念される。

10

【 0 0 0 8 】

図 4 は従来技術に係る A / D 変換回路部 A D a (i) , A D a (i + 1) の動作を示すブロック図である。図 4 において、一般的な 1 . 5 ビット / ステージのパイプライン A / D 変換回路部 A D a (i) , A D a (i + 1) の動作について図示しており、i 段目がサンプリングモードのときには、2 つのサンプリング容量 C 1 , C 2 は入力電圧 V i n をサンプリングし、その後、増幅モードでは、サンプリング容量 C 1 の下部電極を比較器である A D C 回路 2 1 a の判断結果に応じ D / A 変換器の参照電圧に接続し、サンプリング容量 C 2 の下部電極を出力電圧端子 (V o u t) に接続する。このときの出力電圧はサンプリングモードになっている次段に転送される。冗長 2 進の 1 . 5 ビット / ステージ方式では、比較器である A D C 回路 2 1 a の出力信号は D i { - 1 , 0 , 1 } のデジタル値にエンコードされ、パイプライン段の入出力特性は、以下の式で表すことができる。

20

【 0 0 0 9 】

[数 1]

V o u t

= 2 V i n - V r , D i = 1 のとき ;

= 2 V i n , D i = 0 のとき ;

= 2 V i n + V r , D i = - 1 のとき . (1)

【 0 0 1 0 】

ここで、V i n はパイプライン段の入力信号電圧であり、V o u t はパイプライン段の出力信号電圧であり、V r は A / D 変換の基準電圧である。当該回路の構造上、「サンプリングモード」から「増幅モード」へのフェーズの切り替えの瞬間、次段のサンプリング容量 C 1 , C 2 を演算増幅器 A 1 の出力電圧によって所定の値まで充電する必要がある。パイプライン段では、入ってきた信号に対し逐次演算を行っているため、その充電時間は次段のサンプリング容量 C 1 , C 2 に蓄えられている初期電荷によって変化し、セットリング応答に影響を及ぼす。特に、サンプリング周波数の半分の周波数であるナイキスト周波数が入力周波数となる場合、次段容量に蓄えられえたサンプルする電圧と正反対の電荷の影響でセットリングが最も遅くなる。この最大セットリング時間が A / D 変換装置のサンプリング速度を制限している。

30

40

【 0 0 1 1 】

【特許文献 1】特開 2 0 0 3 - 1 5 8 4 3 4 号公報。

【非特許文献 1】K. Iizuka et al., "A 14-bit digitally self-calibrated pipelined ADC with adaptive bias optimization for arbitrary speeds up to 40MS/s", IEEE J. Solid-State Circuits, Vol.41, pp.883-890, April 2006.

【非特許文献 2】B. Murman et al., "A 12-bit 75-MS/s pipelined ADC using open-loop residue amplifier", IEEE Journal on Solid-State Circuits, Vol.38, pp.2040-2050, December 2003.

【非特許文献 3】S. Kawahito et al., "Low-Power Design of High-Speed A/D Converters", IEICE Transactions on Electronics, Vol.E88-C, No.4, pp.468-478, April 200

50

5.

【非特許文献4】D. Kelly et al., "A 3V 340mW 14b 75MSPS CMOS ADC with 85SFDR at Nyquist", ISSCC Digest of Technical Papers, pp.134-135, February 2001.

【非特許文献5】H. C. Liu et al., "A 15b 20MS/s CMOS Pipelined ADC with Digital Background Calibration", ISSCC Digest of Technical Papers, pp.374-375, February 2004.

【非特許文献6】H. Matsui et al., "A 14-bit digitally self-calibrated pipelined ADC with Adaptive Bias Optimization for Arbitrary Speeds up to 40MS/s", IEEE Symposium on VLSI Circuits, pp.330-333, June 2005.

【非特許文献7】P. Bogner et al., "A 14b 100MS/s Digitally Self-Calibrated Pipelined ADC in 0.13 μ m CMOS", ISSCC Digest of Technical Papers, pp.224-225, February 2006.

【発明の開示】

【発明が解決しようとする課題】

【0012】

しかしながら、研究レベルでは、高分解能パイプラインA/D変換器のさらなる低消費電力化のための手法が報告されているが、十分な性能を高速かつ低消費電力で実現した報告は非常に少ない(例えば、非特許文献1及び2参照。)

【0013】

低分解能A/D変換器の多段縦列接続によって構成される第1の従来技術に係るパイプライン型A/D変換器は、他のA/D変換器に比べ、高速・高分解能を比較的消費電力で達成できるアーキテクチャとして知られている(例えば、特許文献1参照。)。当該パイプライン型A/D変換器では、1ステージあたりの分解能とパイプラインの段数で分解能は決まり、各段は交互に「サンプリングモード」と「増幅モード」を繰り返す。高分解能なパイプラインA/D変換器には、高いSNRを得るための大きな信号振幅と、アンプやスイッチから発生する熱ノイズを抑制するための大きなサンプリング容量が必要となる。A/D変換器の消費電力は、入力部のサンプルホールド(S/H)回路とその後に続くパイプライン段に使用するオペアンプのバイアス電流によって決まる。大きな容量値に対して高速でサンプリングするには、充放電をすばやく行うためにバイアス電流を増やす必要があり、消費電力の増大が懸念される。

【0014】

また、電力削減の方法の一つに増幅器の共有化(アンプシェア)があげられる。パイプラインA/D変換器では、クロック周波数に対してアンプが半分の時間でしか使われていない。共有化は、パイプライン段でのサンプリング容量をもう1セット用意し、スイッチを切り替えることによって増幅器を有効的に使い消費電力の削減を図るものである。第2の従来技術に係るインターリーブ構成(横方向2チャンネル方式)でのアンプシェアは、あるパイプライン段において片側の容量セットがサンプリングしている間に、もう一方の容量セットが増幅モードになるため、全体の動作周波数を変えずに、増幅器自体の動作周波数をほぼ半分にすることができる。増幅器の動作周波数が遅くなればバイアス電流は少なくてすむため低消費電力化しやすい(例えば、横方向アンプシェア型インターリーブ方式パイプライン型A/D変換器が開示された非特許文献3参照。)

【0015】

上述の第1の従来技術に係るパイプラインA/D変換器では、低消費電力化のために、パイプライン段に用いるサンプリング容量をスケールリングする手法をとっている。これは、パイプラインA/D変換器の後段になるほどノイズの影響や速度への影響が緩和されるため、精度やノイズに関わるファクターであるサンプリング容量を段階的に減らすことで、後段への電力供給の削減を図るものである。しかしながら、容量スケールリングは一般的に行われている技術であるため、より効果的な削減が望まれる。

【0016】

また、上述の第2の従来技術に係るパイプライン型A/D変換器では、増幅器の入力に

においてセットリング応答に影響を与えるサンプル履歴を消すためや、アンプのコモン・モード・フィードバックのために、リセット期間が必要であり実際には電力を半分まで削減するのは難しい。

【0017】

本発明の目的は以上の問題点を解決し、従来技術に比較して大幅に消費電力を削減できる、もしくは消費電力を増やさずに当該装置の動作を高速化することができるパイプライン型 A / D 変換装置を提供することにある。

【課題を解決するための手段】

【0018】

本発明のパイプライン型 A / D 変換装置は、
アナログ入力信号をサンプルホールドした後、サンプルホールドされたサンプルホールド信号を出力するサンプルホールド手段と、

互いに縦続接続された複数の A / D 変換回路部を含み、上記サンプルホールド信号をパイプライン形式で A / D 変換する A / D 変換手段とを備えたパイプライン型 A / D 変換装置において、

上記各 A / D 変換回路部は、
複数の比較器を含み、入力信号を所定ビットのデジタル信号に A / D 変換する前置 A / D 変換回路と、

上記前置 A / D 変換回路からのデジタル信号をアナログ制御信号に D / A 変換し、上記アナログ制御信号に基づいて、上記入力信号を、サンプリングキャパシタを用いてサンプリングし、ホールドし、増幅することにより D / A 変換する乗算型 D / A 変換回路とを備え、

上記サンプリングする前に、上記サンプリングキャパシタを、上記各 A / D 変換回路部への入力信号に対する出力信号を示す上記各 A / D 変換回路部の入出力特性に実質的に適合するデジタル入出力特性に従って、所定の出力値になるように予め充電するプリチャージ回路を備えたことを特徴とする。

【0019】

上記パイプライン型 A / D 変換装置において、上記各 A / D 変換回路部の前置 A / D 変換回路は、

互いに異なるしきい値を有し、入力信号を上記しきい値と比較して、比較結果信号を出力する 6 個の比較器と、

上記 6 個の比較器からの各比較結果信号に基づいて、3 値の出力信号を出力する論理回路とを備えたことを特徴とする。

【0020】

ここで、上記各比較器はそれぞれ、上記各 A / D 変換回路部の A / D 変換の基準値を V_r としたときに、 $-3V_r/4$ と、 $-V_r/2$ と、 $-V_r/4$ と、 $+V_r/4$ と、 $+V_r/2$ と、 $+3V_r/4$ とのしきい値を有し、

上記論理回路は、上記 6 個の比較器からの各比較結果信号に基づいて、 $-V_r$ と、 0 と、 $+V_r$ との 3 値の出力信号を出力することを特徴とする。

【0021】

また、上記パイプライン型 A / D 変換装置において、上記各 A / D 変換回路部の前置 A / D 変換回路は、

互いに異なるしきい値を有し、入力信号を上記しきい値と比較して、比較結果信号を出力する 14 個の比較器と、

上記 14 個の比較器からの各比較結果信号に基づいて、3 値の出力信号を出力する論理回路とを備えたことを特徴とする。

【0022】

ここで、上記各比較器はそれぞれ、上記各 A / D 変換回路部の A / D 変換の基準値を V_r としたときに、 $-7V_r/8$ と、 $-3V_r/4$ と、 $-5V_r/8$ と、 $-V_r/2$ と、 $-3V_r/8$ と、 $-V_r/4$ と、 $-V_r/8$ と、 $+V_r/8$ と、 $+V_r/4$ と、 $+3V_r/$

10

20

30

40

50

8と、 $+V_r/2$ と、 $+5V_r/8$ と、 $+3V_r/4$ と、 $+7V_r/8$ とのしきい値を有し、

上記論理回路は、上記14個の比較器からの各比較結果信号に基づいて、 $-V_r$ と、0と、 $+V_r$ との3値の出力信号を出力することを特徴とする。

【0023】

さらに、上記パイプライン型A/D変換装置において、上記各A/D変換回路部は、上記前置A/D変換回路と、

第1と第2の上記乗算型A/D変換回路とを備え、

上記縦続接続された複数のA/D変換回路部において、奇数段のA/D変換回路部の第1の乗算型A/D変換回路に対してプリチャージ、サンプリング及びホールドの処理を実行させ、奇数段のA/D変換回路部の第2の乗算型A/D変換回路に対して増幅の処理を実行させ、偶数段のA/D変換回路部の第1の乗算型A/D変換回路に対して増幅の処理を実行させ、偶数段のA/D変換回路部の第2の乗算型A/D変換回路に対してプリチャージ、サンプリング及びホールドの処理を実行させるように制御する制御手段をさらに備えたことを特徴とする。

10

【0024】

ここで、上記各A/D変換回路部において、上記第1の乗算型A/D変換回路で増幅の処理を行う増幅器と、上記第2の乗算型A/D変換回路で増幅の処理を行う増幅器とを1つの増幅器で共用化したことを特徴とする。

【0025】

またさらに、上記パイプライン型A/D変換装置において、上記A/D変換手段は、互いに縦続接続された複数のA/D変換回路部を含む第1のパイプラインA/D変換回路部群と、

20

互いに縦続接続された複数のA/D変換回路部を含む第2のパイプラインA/D変換回路部群とを備え、

上記A/D変換手段は、上記第1と第2のパイプラインA/D変換回路部群を用いて2系列の上記サンプルホールド信号をパイプライン形式でA/D変換することを特徴とする。

【発明の効果】

【0026】

本発明に係るパイプライン型A/D変換装置によれば、上記サンプリングする前に、上記サンプリングキャパシタを、上記各A/D変換回路部への入力信号に対する出力信号を示す上記各A/D変換回路部の入出力特性に実質的に適合するデジタル入出力特性に従って、所定の出力値になるように予め充電するプリチャージ回路を備える。従って、従来技術に比較して大幅に消費電力を削減できる、もしくは消費電力を増やさずに当該装置の動作を高速化することができるパイプライン型A/D変換装置を提供できる。

30

【発明を実施するための最良の形態】

【0027】

以下、本発明に係る実施形態では、高速・高分解能のA/D変換装置を低消費電力で実現するためにプリチャージ動作を用いた新しいパイプラインA/D変換装置について図面を参照して説明する。なお、以下の各実施形態において、同様の構成要素については同一の符号を付している。

40

【0028】

第1の実施形態．

図1は本発明の第1の実施形態に係るパイプラインA/D変換装置の構成を示すブロック図であり、図2は図1のA/D変換回路部ADkの構成を示すブロック図である。図1及び図2においては、擬似差動増幅回路1を使用する並列パイプライン型A/D変換装置の構成例について以下に説明する。

【0029】

図1において、並列パイプライン型A/D変換装置10は、所定の電圧、例えば接地電

50

圧を中心として対象な電圧波形をなす2つのアナログ信号が入力されるサンプルホールド回路(以下、S/H回路という。)11と、 m (ここで、 m は自然数であり複数である。)段のパイプライン型A/D変換回路部AD1乃至AD m からなる演算回路12と、上記演算回路12から出力されるデジタルデータの誤差補正を行う誤差補正回路13とを備える。さらに、並列パイプライン型A/D変換装置10は、複数の異なる基準電圧を生成して各A/D変換回路部AD1乃至AD m に出力する基準電圧発生回路14と、外部からのクロック信号CLKに基づいて所定の各内部クロック信号及び各タイミング信号を発生して、S/H回路11、演算回路12及び誤差補正回路13にそれぞれ出力する内部クロック及びタイミング信号発生回路15とを備える。

【0030】

S/H回路11は、並列パイプライン型A/D変換装置10の入力をなす正側入力端子INPと負側入力端子INMの2つの入力端を有し、正側入力端子INPには正側のアナログ信号が、負側入力端子INMには負側のアナログ信号がそれぞれ入力される。正側及び負側の各アナログ信号は、それぞれ相反する信号レベルをなす一对の信号である。S/H回路11は、内部クロック及びタイミング信号発生回路15からの所定のクロック信号に基づいて、入力されたアナログ信号に対するサンプリング及びホールドを行って、演算回路12に出力する。

【0031】

A/D変換回路部12は、同じ回路構成をなす m 段のパイプライン型A/D変換回路部AD1乃至AD m からなり、パイプライン型A/D変換回路部AD1乃至AD m はそれぞれ n ($n > 0$)ビットのパイプライン型A/D変換処理を行う。A/D変換回路部AD k ($k = 1 \sim m$)は、前段回路から出力された相反する信号レベルをなす正側出力信号と負側出力信号の2つの信号がそれぞれ入力される。すなわち、1段目のA/D変換回路AD1は、S/H回路11からの正側出力電圧及び負側出力電圧がそれぞれ入力され、2段目以降のA/D変換回路AD2～AD m は、前段のA/D変換回路における正側及び負側の各出力電圧がそれぞれ入力される。

【0032】

A/D変換回路部AD k の内部構成例を示す図2において、A/D変換回路部AD k は、 n ビットのA/D変換器をなすサブA/D変換器21と、 n ビットのD/A変換器をなすサブD/A変換器22と、演算器23a、23bと、図1の増幅器2及び3からなる擬似差動増幅回路1とを備えて構成される。サブA/D変換器21は、前段回路から出力された1対の出力信号が、一对の正側入力電圧 V_{iP} 、負側入力電圧 V_{iM} として入力される。サブA/D変換器21は、上記入力された正側入力電圧 V_{iP} 、負側入力電圧 V_{iM} をA/D変換し n ビットデータに変換して誤差補正回路13に出力するとともに、上記 n ビットデータに応じた信号をサブD/A変換器22に出力する。

【0033】

図1において、A/D変換回路部AD1乃至AD m から出力された各 n ビットデータは一種の冗長表現になっており、誤差補正回路13は、A/D変換回路部AD1乃至AD m から入力された各 n ビットデータを所定のビットデータに変換して非冗長表現にし、A/D変換を行ったデジタルデータとして出力端子OUTから出力する。例えば、A/D変換回路部AD1～AD m から1.5ビットデータがそれぞれ出力される場合、誤差補正回路13は、各1.5ビットデータを1ビットデータに変換して、A/D変換を行ったデジタルデータとして出力する。また、図2において、サブD/A変換器22は、サブA/D変換器21から入力された信号に応じた電圧を演算器23a及び23bにそれぞれ出力し、演算器23aは、正側入力電圧 V_{iP} とサブD/A変換器22からの出力電圧とを所定の方法で演算して増幅器2に出力する。また、演算器23bは、負側入力電圧 V_{iM} とサブD/A変換器22からの出力電圧とを所定の方法で演算して増幅器3に出力する。増幅器2は、入力された電圧を増幅して正側出力電圧 V_{oP} として出力し、同様に、増幅器3は、入力された電圧を増幅して負側出力電圧 V_{oM} として出力する。

【0034】

10

20

30

40

50

ここで、A/D変換回路部AD_kにおいて、サブA/D変換器21が1.5ビットのA/D変換器であり、サブD/A変換器22が1.5ビットのD/A変換器である場合を例にして説明する。

【0035】

サブA/D変換器21は、入力された正側入力電圧V_{iP}と負側入力電圧V_{iM}から、次式のように入力電圧V_iを算出する。

[数2]

$$V_i = V_{iP} - V_{iM} \quad (2)$$

【0036】

サブA/D変換器21には、基準電圧発生回路部14から各所定の基準電圧V_{rCP}、V_{rCM}が入力されており、サブA/D変換器21は、上記(2)式の入力電圧V_iと、各基準電圧V_{rCP}、V_{rCM}とを比較し、比較結果に応じて次式のようにデータD_kを生成する。

【0037】

[数3]

$$\begin{aligned} D_k &= 1, V_{rCP} < V_i \text{ のとき} \\ &= 0, V_{rCM} \leq V_i \leq V_{rCP} \text{ のとき} \\ &= -1, V_i < V_{rCM} \text{ のとき} \end{aligned} \quad (3)$$

【0038】

一方、サブD/A変換器22には、基準電圧発生回路部14から3種類の所定の基準電圧V_{rP}、V_{com}、V_{rM}がそれぞれ入力されており、V_{rCP} = V_{rP} / 4であり、V_{rCM} = V_{rM} / 4である。例えば、V_{com} = 0であり、V_{rP} = V_rとするとV_{rM} = -V_rであり、この場合、V_{rCP} = V_r / 4、V_{rCM} = -V_r / 4となる。また、サブD/A変換器22、演算器23a、23b及び増幅器2、3は、演算回路25を形成しており、サブD/A変換器22、演算器23a及び増幅器2は、次の(4)式のような演算を行って正側出力電圧V_{oP}を生成し、サブD/A変換器22、演算器23b及び増幅器3は、次の(5)式のような演算を行って負側出力電圧V_{oM}を生成する。

【0039】

[数4]

$$V_{oP} = 2 \times V_{iP} - R_{kP} \quad (4)$$

[数5]

$$V_{oM} = 2 \times V_{iM} - R_{kM} \quad (5)$$

【0040】

(4)式及び(5)式において、D_k = 1のとき、R_{kP} = V_{rP}、R_{kM} = V_{rM}となり、D_k = 0のとき、R_{kP} = V_{com}、R_{kM} = V_{com}となり、D_k = -1のとき、R_{kP} = V_{rM}、R_{kM} = V_{rP}となる。

【0041】

このように、演算回路25は、正側入力電圧V_{iP}及び負側入力電圧V_{iM}をそれぞれ2倍し、サブA/D変換器21で生成されたデータD_kに応じて所定の基準電圧を加減算することにより正側出力電圧V_{oP}及び負側出力電圧V_{oM}をそれぞれ生成して、次段のA/D変換回路に出力する。なお、最終段のA/D変換回路AD_mには、演算回路25はなくてもよい。

【0042】

次いで、本実施形態の特徴であるプリチャージ式MDAC回路の構成及び動作に以下に説明する。図5は本発明の実施形態に係るA/D変換回路部AD_b(i)、AD_b(i+1)の動作を示すブロック図である。第1の実施形態に係るA/D変換回路部AD_b(i)は、従来技術に係る図4のA/D変換回路部AD_a(i)に比較して、図5に示すように、サンプリングモードの期間T₁と、増幅モードの期間T₃との間に、予めサンプリング容量C₁、C₂を充電するプリチャージ回路30によるプリチャージモードを設けたこ

10

20

30

40

50

とを特徴としている。なお、当該 i 段目の A/D 変換回路部 $ADb(i)$ がサンプリングモードであるときは次段の $i+1$ 断面の A/D 変換回路部 $ADb(i+1)$ は増幅モードであり、動作モードは交互となる。本実施形態では、前サンプル電荷の影響をなくし、逆に次段容量に最適な充電をすることで、最大セッティング時間を短縮し、消費電力の削減を図る「プリチャージ式 MDAC 回路」を提案する。

【0043】

図5において、プリチャージ式 MDAC 回路の構成は、従来の 1.5 ビット/ステージのパイプライン A/D 変換器に、もう 1 セットのサンプリング容量と、プリチャージ DAC 回路（以下、PCDAC 回路という。）32 と、そして 4 つの比較器を加えたもので、2 チャンネル分のサンプリング容量セットと計 6 つの比較器（図5の前置 A/D 変換回路（以下、ADC 回路という。）31 に含まれる。）からなる。この詳細構成及び動作については、図10乃至図16を参照して詳細後述する。

10

【0044】

プリチャージ式 MDAC 回路においては、比較器が i 段目の入力電圧を比較して、 $(i+1)$ 段目がサンプリングモードに切り替わる直前に、PCDAC 回路 32 により $(i+1)$ 段目のサンプリング容量 $C1$ 及び $C2$ は、最適値に充電される。図6は図5の i 段目の A/D 変換回路部 $ADb(i)$ からの出力電圧 V_{out} の過渡応答を示すグラフである。 i 段目の出力電圧の過渡応答を示す図6において、横軸が時間で縦軸が電位となっている。従来の A/D 変換器の場合、モード切り替えの瞬間 ($t=0$) での初期電位 V_{out0} は、電荷保存則により定まり、その後、最終到達電圧 V_{outf} に徐々に近づく。セッティング時間 t_s は、 V_{out0} から V_{outf} までの遷移時間で定義される。プリチャージ式 MDAC の場合、最適な充電により初期電位 V_{outPC0} は、 V_{outf} に非常に近い位置に定まるため、セッティング時間を減少させることができる。予め充電すべき電圧は、入力電圧により異なる。

20

【0045】

図7は本実施形態に係るプリチャージ式 MDAC 回路 40（冗長 1.5 ビット（3 値）/ステージ；図5及び図10参照。）において用いる ADC 回路 31（図10参照）におけるパイプライン段のアナログ A/D 変換入出力特性（実線）401 及びデジタル A/D 変換入出力特性（一点鎖線）402 を示すグラフである。図7において、比較器を従来の $V_r/4$ 及び $-V_r/4$ のしきい値電圧（ここで、 V_r は A/D 変換の基準電圧である。）に加えて、さらに、 $V_r/2$ 、 $-V_r/2$ 、 $3V_r/4$ 、 $-3V_r/4$ のしきい値位置に設け、 i 段目の入力電圧を比較器で検出し、PCDAC 回路 32 により適切な電圧で $(i+1)$ 段目のサンプリング容量を充電する。充電する電圧 V_{pc} （図7の特性（一点鎖線）402 で示す。）は次式で表される。

30

【0046】

[数6]

V_{pc}

$= 0$, $V_{in} = |V_r/4|$ のとき ;

$= -V_r$, $-V_r < V_{in} < -3V_r/4$ 又は $V_r/4 < V_{in} < V_r/2$ のとき ;

$= 0$, $-3V_r/4 < V_{in} < -V_r/2$ 又は $V_r/2 < V_{in} < 3V_r/4$ のとき ;

$= V_r$, $-V_r/2 < V_{in} < -V_r/4$ 又は $3V_r/4 < V_{in} < V_r$ のとき

40

(6) .

【0047】

ここで、 V_{in} は入力信号電圧であり、 V_{out} は出力信号電圧であり、 V_r は当該パイプライン段の A/D 変換の基準電圧である。図7及び式(6)から明らかなように、プリチャージ式 MDAC 回路 40 において用いる ADC 回路 31（図10参照）におけるデジタル A/D 変換入出力特性（一点鎖線）402（冗長 1.5 ビット（3 値））は、図11の 6 個の比較器 61 - 66 に対応する 6 つのしきい値電圧 $-3V_r/4$ 、 $-V_r/2$ 、 $-V_r/4$ 、 $+V_r/4$ 、 $+V_r/2$ 、 $+3V_r/4$ を用いて（なお、実際の A/D 変換演算では、入力信号の電圧範囲が予め決められており、 $-V_r$ 及び $+V_r$ はしきい値として

50

必要がない。) 、 $-V_r$, 0 , $+V_r$ の3値出力信号電圧を出力する実質的にアナログA/D変換入出力特性(実線)401に実質的に適合するように設定されている。

【0048】

次いで、プリチャージ式MDAC回路40の効果について以下に説明する。図8は従来技術に係るA/D変換装置部ADa(i)及び本実施形態に係るA/D変換装置部ADb(i)における入力電圧 V_{in} に対する最大セットリング時間 t_s を示すグラフである。すなわち、i段目の様々な入力電圧における最大セットリング時間のシミュレーション結果を図8に示す。ここで、サンプリング周波数 F_s は20MHzで、セットリング誤差は0.1%である。横軸に入力電圧、縦軸に各入力電圧における最大セットリング時間を表している。

10

【0049】

従来技術に係るMDAC回路では、入力電圧 V_{in} が $V_r/4 + (V_r/4$ よりわずかに大きい入力電圧のとき)付近及び V_r のときに最大セットリング時間となり、サンプリング周波数に対し、この最悪条件で十分なセットリングを満たすようにバイアス電流は決定される。プリチャージ式MDAC回路40の場合、最大セットリング時間は、従来技術に係るMDAC回路に比べ $V_r/4 +$ と V_r 付近では4割程度、減少していることがわかる。しかしながら、プリチャージの効果が少ないところが新たに生じるため、実効的にセットリング時間は30%減となる。基本的に、セットリング時間とアンプのバイアス電流とは、ほぼ反比例の関係にあり、サンプリング周波数の低周波数側では、バイアス電流は30%削減できる。より高速なサンプリング周波数帯域では、アンプの寄生容量の影響のため反比例の関係からはずれ、バイアス電流をあげてもセットリングが短縮しにくくなる(例えば、非特許文献3参照。)。そのため、高周波数側ではプリチャージによって効果的にセットリングを短縮でき、30%以上の電力削減が可能になる。プリチャージ式MDAC回路40は、2チャンネルのインターリーブ方式に予測のための比較器を加えるだけのシンプルな構成となっており、追加した比較器の電力はアンプの電力に比べ非常に小さい。また、アンプシェアを併用することで、より効果的に電力削減できる。プリチャージ式MDACは、信号振幅が大きいほうが、効果的にセットリングを短縮でき、高分解能で高速なパイプラインA/D変換装置に対し非常に有効なトポロジである。

20

【0050】

図9は本実施形態に係るA/D変換装置部ADb(i)を用いた14ビットパイプラインA/D変換装置の全体構成を示すブロック図である。図9において、当該パイプライン型A/D変換装置は、サンプルホールド回路11と、3ビットフラッシュADC回路33との間に、2系列のパイプラインA/D変換回路部群501, 502が設けられている。第1の系列のパイプラインA/D変換回路部群501は、縦続接続された13段のパイプラインA/D変換回路部AD(1A)乃至AD(13A)からなり、第2の系列のパイプラインA/D変換回路部群502は、縦続接続された13段のパイプラインA/D変換回路部AD(1B)乃至AD(13B)からなる。すなわち、本実施形態に係るA/D変換装置部ADb(i)は、1個のプリチャージ式サンプルホールド回路と、2チャンネルのプリチャージ式MDAC回路によって構成されており、チャンネル間で演算増幅器はアンプシェアされており、消費電力の軽減を図っている。デジタル補正処理を考慮し、13段のMDAC回路と最終段の3ビットADC回路による16ビット出力構成となっている。通常インターリーブ方式では、チャンネル間におけるスキューが歪みの原因となり高分解能を実現するのは難しいため、スキューのない1チャンネルのサンプルホールド回路11を用いている。本実施形態に係る構成ではオンチップのデジタル補正処理回路を含んでおり、サブボードを介して補正係数を入力する。冗長・非冗長形式での出力を可能としており、外部でも補正処理が可能である。パイプライン段の基本容量の決定には、回路中のアンプのノイズ及びスイッチノイズを考慮しており、図9に示すように、サンプリング容量は、サンプルホールド回路11で4pF、それ以降、概略スケールリングファクターを0.5としてスケールリングされている。以上のように構成されたパイプラインA/D変換装置の全体構成では、インターリーブ方式で2チャンネルの映像信号などを同時にA/D

30

40

50

変換処理を実行することができる。これにより、高速で高精度でA/D変換できる。

【0051】

図9の2系列のパイプラインA/D変換回路部群501, 502の構成については、以下に示す各実施形態及び変形例において適用できるが、本発明はこれに限らず、1系列のパイプラインA/D変換回路部群501のみで構成してもよい。

【0052】

図10は図5のA/D変換回路部ADb(i)の詳細構成を示すブロック図である。図10において、A/D変換回路部ADb(i)は、プリチャージ式MDAC回路40と、ADC回路31と、2個のDAC回路22a-1, 22a-2と、2個のPCDAC回路32-1, 32-2とを備えて構成される。ここで、プリチャージ式MDAC回路40は、詳細後述する図17のA/D変換回路部ADb(i)において、ADC回路31と、2個のDAC回路22a-1, 22a-2と、2個のPCDAC回路32-1, 32-2とを除いた回路であり、プリチャージ回路からプリチャージを受けながら入力電圧Vin(i)をD/A変換して、その変換出力電圧Vout(i)を出力する。ここで、DAC回路22a-1, 22a-2は図12の論理回路61と図13のD/A変換器(DAC)62とを備えて構成される従来技術に係る回路であり、PCDAC回路32-1, 32-2は図15の論理回路63と図13のプリチャージD/A変換器(PCDAC)62aとを備えて構成される本実施形態に係る新規な回路である。

10

【0053】

図11は図10のADC回路31の構成を示す回路図である。図11において、ADC回路31は、6個の比較器41乃至46と、6個の基準電圧源51乃至56とを備えて構成される。

20

【0054】

比較器41は入力電圧Vin(i)を基準電圧源51からのしきい値電圧 $-V_r/4$ と比較し、 $Vin(i) > -V_r/4$ のときハイレベルの2値信号D00を論理回路61, 63に出力する一方、 $Vin(i) < -V_r/4$ のときローレベルの2値信号D00を論理回路61, 63に出力する。また、比較器42は入力電圧Vin(i)を基準電圧源52からのしきい値電圧 $V_r/4$ と比較し、 $Vin(i) < V_r/4$ のときハイレベルの2値信号D01を論理回路61, 63に出力する一方、 $Vin(i) > V_r/4$ のときローレベルの2値信号D01を論理回路61, 63に出力する。さらに、比較器43は入力電圧Vin(i)を基準電圧源53からのしきい値電圧 $-V_r/2$ と比較し、 $Vin(i) > -V_r/2$ のときハイレベルの2値信号D10を論理回路61, 63に出力する一方、 $Vin(i) < -V_r/2$ のときローレベルの2値信号D10を論理回路61, 63に出力する。

30

【0055】

比較器44は入力電圧Vin(i)を基準電圧源54からのしきい値電圧 $V_r/2$ と比較し、 $Vin(i) < V_r/2$ のときハイレベルの2値信号D11を論理回路61, 63に出力する一方、 $Vin(i) > V_r/2$ のときローレベルの2値信号D11を論理回路61, 63に出力する。また、比較器45は入力電圧Vin(i)を基準電圧源55からのしきい値電圧 $-3V_r/4$ と比較し、 $Vin(i) > -3V_r/4$ のときハイレベルの2値信号D20を論理回路61, 63に出力する一方、 $Vin(i) < -3V_r/4$ のときローレベルの2値信号D20を論理回路61, 63に出力する。さらに、比較器46は入力電圧Vin(i)を基準電圧源56からのしきい値電圧 $3V_r/4$ と比較し、 $Vin(i) < 3V_r/4$ のときハイレベルの2値信号D21を論理回路61, 63に出力する一方、 $Vin(i) > 3V_r/4$ のときローレベルの2値信号D21を論理回路61, 63に出力する。

40

【0056】

図12は図10の論理回路61の構成を示す回路図である。図12において、論理回路61は、2個のナンドゲート78, 79と、2個のノアゲート63, 64と、2個のインバータ65, 66とを備えて構成される。論理回路61は、クロック信号CLK及び2個

50

の2値信号D01, D00に基づいて2値信号VP, VZ, VMを発生してDAC62, 62aに出力する。

【0057】

図13は図10のD/A変換器(DAC)62及びプリチャージD/A変換器(PCDAC)62aの構成を示す回路図である。図13において、D/A変換器62, 62aは、3個のスイッチ73, 74, 75(実際は、CMOS回路にて構成される。)と、2個の基準電圧源76, 77とを備えて構成される。スイッチ73はハイレベルの2値信号VPに応答してオンとなり基準電圧源76からの電圧+VrをDAC62又は62aの出力電圧として出力する一方、ローレベルの2値信号VPに応答してオフとなり基準電圧源76からの電圧+Vrを出力しない。また、スイッチ74はハイレベルの2値信号VZに
10 応答してオンとなり接地電圧(0V)をDAC62又は62aの出力電圧として出力する一方、ローレベルの2値信号VPに応答してオフとなり出力しない。さらに、スイッチ75はハイレベルの2値信号VMに
応答してオンとなり基準電圧源77からの電圧-VrをDAC62又は62aの出力電圧として出力する一方、ローレベルの2値信号VMに
応答してオフとなり基準電圧源76からの電圧-Vrを出力しない。従って、D/A変換器62, 62aは、論理回路61又は63から入力され2値信号VP, VZ, VMに基づいて、電圧+Vrと、接地電圧と、電圧-Vrのいずれかの電圧をその出力電圧として出力する(図14及び図16参照。)

【0058】

図14は図10の論理回路61, 62及びDAC62の動作を示す表であって、入力電
20 圧Vinの各電圧範囲RA, RB, RCに対する各2値信号D00, D01, VP, VZ, VMの信号レベル及びDAC62の出力電圧を示す表である。図14において、各2値信号D00, D01, VP, VZ, VMの信号レベルの欄において、「1」はハイレベルを表し、「0」はローレベルを表す。入力電圧Vinの電圧範囲RA, RB, RCは次式で表される。

【0059】

[数7]

$$RA: -Vr < Vin < -Vr/4 \quad (7)$$

[数8]

$$RB: -Vr/4 < Vin < Vr/4 \quad (8)$$

[数9]

$$RC: Vr/4 < Vin < Vr \quad (9)$$

【0060】

図14から明らかなように、入力電圧Vinの電圧範囲RAのとき、D/A変換器62は電圧-Vrを出力し、入力電圧Vinの電圧範囲RBのとき、D/A変換器62は接地電圧(0V)を出力し、入力電圧Vinの電圧範囲RCのとき、D/A変換器62は電圧+Vrを出力する。

【0061】

図15は図10の論理回路63の構成を示す回路図である。図15において、論理回路63は、ナンドゲート81乃至88と、3個のノアゲート89, 90, 91と、17個の
40 インバータ92乃至108とを備えて構成される。論理回路63は、ADC回路31からの2値信号D00, D01, D10, D11, D20, D21及び内部クロック及びタイミング信号発生回路15からのクロック信号CLKに基づいて2値信号VP, VM, VZを発生してD/A変換器(DAC)62に出力する。

【0062】

図16は、図10の論理回路63及びプリチャージD/A変換器(PCDAC)62aの動作を示す表であって、入力電圧Vinの各電圧範囲RP乃至RVに対する各2値信号D00, D01, D10, D11, D20, D21の信号電圧及びPCDAC回路62aの出力電圧を示す表である。図16において、各2値信号D00, D01, D10, D11, D20, D21, VP, VZ, VMの信号レベルの欄において、「1」はハイレベル
50

を表し、「0」はローレベルを表す。入力電圧 V_{in} の電圧範囲 RP 乃至 RV は次式で表される。

【0063】

[数10]

$$RP: -V_r \quad V_{in} < -3V_r/4 \quad (10)$$

[数11]

$$RQ: -3V_r/4 \quad V_{in} < -V_r/2 \quad (11)$$

[数12]

$$RR: -V_r/2 \quad V_{in} < -V_r/4 \quad (12)$$

[数13]

$$RS: -V_r/4 \quad V_{in} \quad V_r/4 \quad (13)$$

[数14]

$$RT: V_r/4 < V_{in} \quad V_r/2 \quad (14)$$

[数15]

$$RU: V_r/2 < V_{in} \quad 3V_r/4 \quad (15)$$

[数16]

$$RV: 3V_r/4 < V_{in} \quad V_r \quad (16)$$

【0064】

図16から明らかなように、入力電圧 V_{in} の電圧範囲 RP のとき、D/A変換器62は電圧 $-V_r$ を出力し、入力電圧 V_{in} の電圧範囲 RQ のとき、D/A変換器62は接地電圧(0V)を出力する。また、入力電圧 V_{in} の電圧範囲 RR のとき、D/A変換器62は電圧 $+V_r$ を出力し、入力電圧 V_{in} の電圧範囲 RS のとき、D/A変換器62は接地電圧(0V)を出力する。さらに、入力電圧 V_{in} の電圧範囲 RT のとき、D/A変換器62は電圧 $-V_r$ を出力し、入力電圧 V_{in} の電圧範囲 RU のとき、D/A変換器62は接地電圧(0V)を出力する。またさらに、入力電圧 V_{in} の電圧範囲 RV のとき、D/A変換器62は電圧 $+V_r$ を出力する。

【0065】

図17は本発明の第1の実施形態に係るA/D変換回路部 $ADb(i)$, $ADb(i+1)$ の詳細構成を示す回路図であり、図18は図17のA/D変換回路部 $ADb(i)$, $ADb(i+1)$ の動作を示す内部クロック及びタイミング信号のタイミングチャートである。図17において、A/D変換回路部 $ADb(i)$ は、

(1) 入力電圧 V_{in} を6個の比較器41乃至46を用いてA/D変換するADC回路31と、

(2) スイッチ201乃至209と、サンプリング容量 C_s の2個のキャパシタ211, 212と、アンプシエ化された演算増幅器 A_i とを備え、入力電圧 $V_{in}(i)$ をサンプリング及びホールドを行ってA/D変換後の出力電圧 $V_{out}(i)$ を出力する、スイッチトキャパシタ回路を含む第1のMDAC回路(図17において上側)と、

(3) 前段からのA/D変換電圧を上記第1のMDAC回路に出力するDAC回路22a-1と、

(4) サンプリング容量 C_s の2個のキャパシタ211, 212に対してプリチャージ電圧 V_{pc} を印加するPCDAC回路32-1と、

(5) スイッチ301乃至309と、サンプリング容量 C_s の2個のキャパシタ311, 312と、上記演算増幅器 A_i とを備え、入力電圧 $V_{in}(i)$ をサンプリング及びホールドを行ってA/D変換後の出力電圧 $V_{out}(i)$ を出力する、スイッチトキャパシタ回路を含む第2のMDAC回路(図17において下側)と、

(6) 前段からのA/D変換電圧を上記第2のMDAC回路に出力するDAC回路22a-2と、

(7) サンプリング容量 C_s の2個のキャパシタ311, 312に対してプリチャージ電圧 V_{pc} を印加するPCDAC回路32-2と

を備えて構成される。

10

20

30

40

50

【0066】

以上のように構成されたA/D変換回路部ADb(i)において、各スイッチ201乃至209及び301乃至309に印加されるタイミング信号は図1の内部クロック及びタイミング信号発生回路15により図18のように発生される。すなわち、図18の時刻t1においてタイミング信号1A、3が立ち上がった後、演算増幅器Ai及びCMFB回路がリセットされ、タイミング信号1Apのパルス期間でサンプリング容量Csのキャパシタ211、212が時刻t2までプリチャージされる。その後、タイミング信号1Adの立ち上がり時からタイミング信号1Aの立下り時までの期間T1において、入力電圧Vin(i)がサンプリングされる。そして、時刻t4においてタイミング信号1B、3が立ち上がった後、タイミング信号1Bpのパルスにตอบสนองして第2のMDAC回路におけるサンプリング容量Csのキャパシタ311、312が時刻t5までの期間T2でプリチャージされる。次いで、タイミング信号2Aのパルス期間T3で時刻t6までホールドされる。なお、他のタイミング信号は別のチャンネルでの裏動作を示す。

10

【0067】

本実施形態に係るパイプラインA/D変換装置のA/D変換回路部ADb(i)においては、容量結合型AB級カスコードアンプである演算増幅器Aiと、スイッチトキャパシタのためのCMFB回路を用いるため、1クロック間に一回のリセット時間が必要になる。このリセット期間に、次段サンプリング容量Csには、最適な充電が行われる。i段目のMDAC回路を例にとると、(i-1)段目のMDAC回路がタイミング信号2Bでホールドモードのとき、i段目のMDAC回路はタイミング信号1Adで入力電圧Vin(i)をサンプリングしている。タイミング信号2Bの終了間際、ラッチ信号LATが入ることによって、ADC回路31内の6個の比較器41乃至46が、(i-1)段目のMDAC回路からの出力電圧を判断し、演算結果がプリチャージDAC(PCDAC)回路22a-1、22a-2に渡される。タイミング信号1Bpにตอบสนองして(i+1)段目のサンプリング容量Csは最適に充電されるため、タイミング信号2Aにตอบสนองしてi段目のMDAC回路のホールドモードではセットリング時間が短縮される。

20

【0068】

次いで、本発明者らにより試作されたパイプラインA/D変換装置の性能評価とその結果について以下に説明する。当該パイプライン型A/D変換装置を、1-poly 5-metal構造(5M1P構造)の0.25μm形成技術を用いて試作した。サンプリング容量CsはすべてMIM容量で構成し、トランジスタにはトリプルウェル構造を用いた。1チャンネルA/D変換部のチップ占有面積は、4.0mm×2.0mmであった。

30

【0069】

図19は図17の実施例に係る発明者による実験結果であって、第1の実施形態に係るパイプラインA/D変換装置のデジタル補正後のFFT特性を示すスペクトラム図である。SNDR及びSFDRは、それぞれ70.7dB及び82.8dBであり、実行分解能は11.5ビットであった。

【0070】

図20は、図17の実施例に係る発明者による実験結果であって、第1の実施形態に係るパイプラインA/D変換装置の入力周波数Finに対する補正前後のSNDR(Signal to Noise plus Distortion Power Ratio)及びSFDR(Spurious Free Dynamic Range)を示すグラフである。すなわち、図20は、サンプリング周波数を30MHzとしたときの入力周波数に対するSNDR及びSFDRの周波数依存性を示している。入力周波数が10MHzまでは、補正によってSNDRは70dB以上、SFDRで80dB以上を得られた。

40

【0071】

図21は、図17の実施例に係る発明者による実験結果であって、第1の実施形態に係るパイプラインA/D変換装置のクロック周波数Fclkに対する補正前後のSNDR(Signal to Noise plus Distortion Power Ratio)及びSFDR(Spurious Free Dynamic Range)を示すグラフである。すなわち、図21は、入力周波数を10MHzとしたとき

50

のサンプリング周波数に対するS N D R及びS F D Rの周波数依存性を示している。補正によりサンプリング周波数35MHzまでS N D Rは70dB以上、S F D Rで80dB以上を確保しており、40Mサンプル/secまでは動作確認をしている。すべての測定は、チップオンボード(C O B)で行われている。

【0072】

図22は発明者による実験結果であって、第1の実施形態に係るパイプラインA/D変換装置の性能概要を示す表である。図22から明らかなように、デジタルパッドを除いた全体の消費電力は、30Mサンプル/secにおいて102mWである。図23は発明者による実験結果であって、従来技術文献及び第1の実施形態に係るパイプラインA/D変換装置の性能比較を示す表である。ここで用いたF O M (Figure of Merit)は、ナイキ

10

【0073】

[数17]

$$F O M = P o w e r / (2 ^ { E N O B } \cdot f s) \quad (1 7)$$

【0074】

ここで、fsはサンプリング周波数であり、Powerは消費電力であり、有効分解能(ENOB)はS N D Rから求めている。試作したA/D変換装置のF O Mは1.17pJ/convであり、世界最高水準の低消費電力A/D変換装置である。

【0075】

以上説明したように、本実施形態に係る高分能パイプライン型A/D変換装置によれば、サンプリング容量Csを予めプリチャージするプリチャージ回路30を備えたので、サンプリング容量Csを所定値に適切に充電することによりセットリング時間を短縮するようにスイッチトキャパシタ回路からなるパイプライン段の過渡応答を改善させ、これにより、当該装置の消費電力を大幅に削減できる。

20

【0076】

第2の実施形態

図24は本発明の第2の実施形態に係るA/D変換回路部ADc(i), ADc(i+1)の詳細構成を示す回路図である。また、図25は図24のA/D変換回路部ADc(i), ADc(i+1)の動作を示す内部クロック及びタイミング信号のタイミングチャートである。

30

【0077】

図17に図示した第1の実施形態に係るA/D変換回路部ADb(i), ADb(i+1)は1つの演算増幅器Aiを2チャンネルのMDAC回路で共用し、すなわち、アンブシェア方式を用いている。これに対して、図24の第2の実施形態に係るA/D変換回路部ADc(i), ADc(i+1)では、2つの演算増幅器Ai, Aiaをそれぞれ各チャンネルのMDAC回路で使い、すなわち、アンブシェアしない方式を用いている。

【0078】

図24において、A/D変換回路部ADc(i)は、
 (1) 入力電圧VAin, VBinを6個の比較器41乃至46を用いてA/D変換するADC回路31と、
 (2) スイッチ201乃至209と、サンプリング容量Csの2個のキャパシタ211, 212と、演算増幅器Aiとを備え、第1チャンネルの入力電圧VAin(i)をサンプリング及びホールドを行ってA/D変換後の出力電圧VAout(i)を出力する、スイッチトキャパシタ回路を含む第1のMDAC回路(図24において上側)と、
 (3) 前段からのA/D変換電圧を上記第1のMDAC回路に出力するDAC回路22a-1と、
 (4) サンプリング容量Csの2個のキャパシタ211, 212に対してプリチャージ電圧Vpcを印加するPCDAC回路32-1と、
 (5) スイッチ301乃至309と、サンプリング容量Csの2個のキャパシタ311, 312と、別の演算増幅器Aiaとを備え、第2チャンネルの入力電圧VBin(i)を

40

50

サンプリング及びホールドを行ってA/D変換後の出力電圧 $V_{\text{out}}(i)$ を出力する、スイッチトキャパシタ回路を含む第2のMDAC回路(図24において下側)と、
 (6) 前段からのA/D変換電圧を上記第2のMDAC回路に出力するDAC回路22a-2と、
 (7) サンプリング容量 C_s の2個のキャパシタ311, 312に対してプリチャージ電圧 V_{pc} を印加するPCDAC回路32-2とを備えて構成される。

【0079】

以上のように構成されたA/D変換回路部ADc(i)において、各スイッチ201乃至209及び301乃至309に印加されるタイミング信号は図1の内部クロック及びタイミング信号発生回路15により図25のように発生される。すなわち、時刻 t_{11} においてタイミング信号1Aが立ち上がった後、タイミング信号1Apのパルス期間でサンプリング容量 C_s のキャパシタ211, 212が時刻 t_{12} までプリチャージされる。その後、タイミング信号1Adの立ち上がり時からタイミング信号1Aの立下り時までの期間 T_1 において入力電圧 $V_{in}(i)$ がサンプリングされる。そして、時刻 t_{14} においてタイミング信号1Bが立ち上がった後、タイミング信号1Bpのパルスにตอบสนองして第2のMDAC回路におけるサンプリング容量 C_s のキャパシタ311, 312が時刻 t_{15} までの期間 T_2 でプリチャージされる。次いで、タイミング信号2Aのパルス期間 T_3 で時刻 t_{16} までホールドされる。なお、他のタイミング信号は別のチャンネルでの裏動作を示す。

【0080】

以上のように構成されたA/D変換回路部ADb(i), ADb(i+1)では、2つの演算増幅器 A_i , A_{ia} をそれぞれ各チャンネルのMDAC回路で用いてA/D変換している。ここで、サンプリング容量 C_s を予めプリチャージするプリチャージ回路30を備えたので、サンプリング容量 C_s を所定値に適切に充電することによりセットリング時間を短縮するようにスイッチトキャパシタ回路からなるパイプライン段の過渡応答を改善させ、これにより、当該装置の消費電力を大幅に削減できる。

【0081】

第3の実施形態.

図26は本発明の第3の実施形態に係るA/D変換回路部ADd(i), ADd(i+1)の詳細構成を示す回路図である。また、図27は図26のA/D変換回路部ADd(i), ADd(i+1)の動作を示す内部クロック及びタイミング信号のタイミングチャートである。

【0082】

第1及び第2の実施形態は2チャンネル方式のA/D変換装置であるが、第3の実施形態に係るA/D変換回路部ADd(i), ADd(i+1)は1チャンネル方式でかつ1対のサンプリング容量 C_s のキャパシタ211, 212で構成してなるA/D変換装置のための回路部である。

【0083】

図26において、A/D変換回路部ADd(i)は、
 (1) 入力電圧 V_{in} を6個の比較器41乃至46を用いてA/D変換するADC回路31と、
 (2) スwitch 201乃至203, 205, 207と、サンプリング容量 C_s の2個のキャパシタ211, 212と、演算増幅器 A_i とを備え、入力電圧 $V_{in}(i)$ をサンプリング及びホールドを行ってA/D変換後の出力電圧 $V_{out}(i)$ を出力する、スイッチトキャパシタ回路を含むMDAC回路と、
 (3) 前段からのA/D変換電圧を上記MDAC回路に出力するDAC回路22aと、
 (4) サンプリング容量 C_s の2個のキャパシタ211, 212に対してプリチャージ電圧 V_{pc} を印加するPCDAC回路32とを備えて構成される。

【 0 0 8 4 】

以上のように構成された A / D 変換回路部 $A D d (i)$ において、各スイッチ 2 0 1 乃至 2 0 3 , 2 0 5 , 2 0 7 に印加されるタイミング信号は図 1 の内部クロック及びタイミング信号発生回路 1 5 により図 2 7 のように発生される。なお、各タイミング信号の符号の O は奇数段の A / D 変換回路部 $A D d (i)$ のためのタイミング信号であり、各タイミング信号の符号の E は偶数段の A / D 変換回路部 $A D d (i)$ のためのタイミング信号である。すなわち、時刻 $t 2 1$ においてタイミング信号 1 O が立ち上がった後、タイミング信号 1 O p のパルス期間でサンプリング容量 $C s$ のキャパシタ 2 1 1 , 2 1 2 が時刻 $t 2 2$ までプリチャージされる。一方、タイミング信号 1 O d の立ち上がり時からタイミング信号 1 O の立下り時 ($t 2 3$) までの期間 $T 1$ において入力電圧 $V i n (i)$ がサンプリングされる。そして、時刻 $t 2 4$ においてタイミング信号 1 E p , 2 O が立ち上がった後、タイミング信号 1 E p のパルスにตอบสนองして次段の M D A C 回路におけるサンプリング容量 $C s$ のキャパシタ 2 1 1 , 2 1 2 が時刻 $t 2 5$ までの期間 $T 2$ でプリチャージされる。次いで、タイミング信号 2 O のパルス期間 $T 3$ で時刻 $t 2 6$ までホールドされる。なお、他のタイミング信号は次段の M D A C 回路での動作を示す。

10

【 0 0 8 5 】

以上のように構成された A / D 変換回路部 $A D d (i)$, $A D d (i + 1)$ では、1チャンネルの入力電圧 $V i n$ を、奇数段と偶数段の M D A C 回路で交互に動作させてパイプライン A / D 変換処理を行っている。ここで、サンプリング容量 $C s$ を予めプリチャージするプリチャージ回路 3 0 を備えたので、サンプリング容量 $C s$ を所定値に適切に充電することによりセットリング時間を短縮するようにスイッチトキャパシタ回路からなるパイプライン段の過渡応答を改善させ、これにより、当該装置の消費電力を大幅に削減できる。

20

【 0 0 8 6 】

第 4 の実施形態 .

図 2 8 は本発明の第 4 の実施形態に係る A / D 変換回路部 $A D e (i)$, $A D e (i + 1)$ の詳細構成を示す回路図である。また、図 2 9 は図 2 8 の A / D 変換回路部 $A D e (i)$, $A D e (i + 1)$ の動作を示す内部クロック及びタイミング信号のタイミングチャートである。

30

【 0 0 8 7 】

第 1 及び第 2 の実施形態は 2 チャンネル方式の A / D 変換装置であるが、第 4 の実施形態に係る A / D 変換回路部 $A D e (i)$, $A D e (i + 1)$ は 1 チャンネル方式で、2 対のサンプリング容量 $C s$ のキャパシタ 2 1 1 , 2 1 2 及び 3 1 1 , 3 1 2 を用いて交互動作させかつアンプシェア方式で構成してなる A / D 変換装置のための回路部である。図 2 8 において、A / D 変換回路部 $A D e (i)$ は、

(1) 入力電圧 $V i n$ を 6 個の比較器 4 1 乃至 4 6 を用いて A / D 変換する A D C 回路 3 1 と、

(2) スイッチ 2 0 1 乃至 2 1 0 と、サンプリング容量 $C s$ の 2 個のキャパシタ 2 1 1 , 2 1 2 と、アンプシェア化された演算増幅器 $A i$ とを備え、入力電圧 $V i n (i)$ をサンプリング及びホールドを行って A / D 変換後の出力電圧 $V o u t (i)$ を出力する、スイッチトキャパシタ回路を含む第 1 の M D A C 回路 (図 2 8 において上側) と、

40

(3) 前段からの A / D 変換電圧を上記第 1 の M D A C 回路に出力する D A C 回路 2 2 a - 1 と、

(4) サンプリング容量 $C s$ の 2 個のキャパシタ 2 1 1 , 2 1 2 に対してプリチャージ電圧 $V p c$ を印加する P C D A C 回路 3 2 - 1 と、

(5) スイッチ 3 0 1 乃至 3 1 0 と、サンプリング容量 $C s$ の 2 個のキャパシタ 3 1 1 , 3 1 2 と、上記演算増幅器 $A i$ とを備え、入力電圧 $V i n (i)$ をサンプリング及びホールドを行って A / D 変換後の出力電圧 $V o u t (i)$ を出力する、スイッチトキャパシタ回路を含む第 2 の M D A C 回路 (図 2 8 において下側) と、

(6) 前段からの A / D 変換電圧を上記第 2 の M D A C 回路に出力する D A C 回路 2 2 a

50

- 2 と、

(7) サンプリグ容量 C_s の 2 個のキャパシタ 311, 312 に対してプリチャージ電圧 V_{pc} を印加する PC DAC 回路 32-2 とを備えて構成される。

【0088】

以上のように構成された A/D 変換回路部 $ADe(i)$ において、各スイッチ 201 乃至 210 及び 301 乃至 310 に印加されるタイミング信号は図 1 の内部クロック及びタイミング信号発生回路 15 により図 29 のように発生される。すなわち、時刻 t_{31} においてタイミング信号 1A が立ち上がった後、タイミング信号 1Ap のパルス期間でサンプリグ容量 C_s のキャパシタ 211, 212 が時刻 t_{32} までプリチャージされる。その後、タイミング信号 1Ad のパルス期間である期間 T_1 において入力電圧 $V_{in}(i)$ が時刻 t_{33} までサンプリグされる。そして、時刻 t_{34} においてタイミング信号 1B が立ち上がった後、タイミング信号 1Bp のパルスにตอบสนองして第 2 の MDAC 回路におけるサンプリグ容量 C_s のキャパシタ 311, 312 が時刻 t_{35} までの期間 T_2 でプリチャージされる。次いで、タイミング信号 2A のパルス期間 T_3 で時刻 t_{36} までホールドされる。なお、他のタイミング信号は別のチャンネルでの裏動作を示す。

【0089】

以上のように構成された A/D 変換回路部 $ADe(i)$, $ADe(i+1)$ では、1 チャンネル方式で、2 対のサンプリグ容量 C_s のキャパシタ 211, 212 及び 311, 312 を用いて交互動作させかつアンプシェア方式で用いて、パイプライン A/D 変換処理を行っている。ここで、サンプリグ容量 C_s を予めプリチャージするプリチャージ回路 30 を備えたので、サンプリグ容量 C_s を所定値に適切に充電することによりセッティング時間を短縮するようにスイッチトキャパシタ回路からなるパイプライン段の過渡応答を改善させ、これにより、当該装置の消費電力を大幅に削減できる。

【0090】

変形例 .

以上の各実施形態では、図 7 のデジタル A/D 変換入出力特性 402 を用いて冗長 1.5 ビット / ステージの出力信号を出力する ADC 回路 31 を用いているが、本発明はこれに限らず、冗長 2 ビット (7 値) / ステージ方式の場合は図 30 の特性 412 を用いる。図 30 は変形例に係るプリチャージ MDAC 回路 (冗長 2 ビット (7 値) / ステージ) に用いる前置 A/D 変換回路 (以下、ADC 回路という。) 31A におけるアナログ A/D 変換入出力特性 411 及びデジタル A/D 変換入出力特性 412 を示すグラフであり、図 31 は図 30 のプリチャージ MDAC 回路に用いる ADC 回路 31A の構成を示す回路図である。当該デジタル A/D 変換入出力特性 412 は次式で表される。

【0091】

[数 18]

$$(a) -V_r \quad V_{in} < -7V_r/8,$$

$$-5V_r/8 \quad V_{in} < -V_r/2,$$

$$-3V_r/8 \quad V_{in} < -V_r/4,$$

$$-V_r/8 \quad V_{in} < V_r/4,$$

$$3V_r/8 \quad V_{in} < V_r/2, \text{ 又は}$$

$$5V_r/8 \quad V_{in} < 3V_r/4 \text{ のとき}$$

$$V_{pc} = V_r;$$

$$(b) -7V_r/8 \quad V_{in} < -3V_r/4,$$

$$-V_r/8 \quad V_{in} < V_r/8, \text{ 又は}$$

$$3V_r/4 \quad V_{in} < 7V_r/8 \text{ のとき}$$

$$V_{pc} = 0;$$

$$(c) -3V_r/4 \quad V_{in} < -5V_r/8,$$

$$-V_r/2 \quad V_{in} < -3V_r/8,$$

$$-V_r/4 \quad V_{in} < -V_r/8,$$

10

20

30

40

50

$$V_r / 4 \quad V_{in} < 3 V_r / 8 ,$$

$$V_r / 2 \quad V_{in} < 5 V_r / 8 , \text{ 又は}$$

$$7 V_r / 8 \quad V_{in} < V_r \text{ のとき}$$

$$V_{pc} = - V_r \quad (18)$$

【0092】

図30及び式(18)から明らかなように、変形例に係るプリチャージ式MDAC回路40に用いるADC回路31におけるデジタルD/A変換入出力特性(一点鎖線)412(冗長2ビット(7値))は、図31の14個の比較器41-46, 141-148に対応する14個のしきい値電圧 $-7V_r/8$, $-3V_r/4$, $-5V_r/8$, $-V_r/2$, $-3V_r/8$, $-V_r/4$, $-V_r/8$, $+V_r/8$, $+V_r/4$, $+3V_r/8$, $+V_r/2$, $+5V_r/8$, $+3V_r/4$, $+7V_r/8$ を用いて(なお、実際のA/D変換演算では、入力信号の電圧範囲が予め決められており、 $-V_r$ 及び $+V_r$ はしきい値として必要がない。)、 $-V_r$, 0 , $+V_r$ の3値出力信号を出力するために、実質的にアナログD/A変換入出力特性(実線)411に実質的に適合するように設定されている。このデジタルD/A変換入出力特性412を用いることにより、上記各実施形態に比較してより多値で高精度なA/D変換処理を実現できる。

10

【産業上の利用可能性】

【0093】

以上詳述したように、本発明に係るパイプライン型A/D変換装置によれば、上記サンプリングする前に、上記サンプリングキャパシタを、上記各A/D変換回路部への入力信号に対する出力信号を示す上記各A/D変換回路部の入出力特性に実質的に適合するデジタル入出力特性に従って、所定の出力値になるように予め充電するプリチャージ回路を備える。従って、従来技術に比較して大幅に消費電力を削減できる、もしくは消費電力を増やさずに当該装置の動作を高速化することができるパイプライン型A/D変換装置を提供できる。

20

【図面の簡単な説明】

【0094】

【図1】本発明の第1の実施形態に係るパイプラインA/D変換装置の構成を示すブロック図である。

【図2】図1のA/D変換回路部ADkの構成を示すブロック図である。

30

【図3】従来技術に係るA/D変換回路部Ada(k)の構成を示すブロック図である。

【図4】従来技術に係るA/D変換回路部Ada(i), Ada(i+1)の動作を示すブロック図である。

【図5】本発明の実施形態に係るA/D変換回路部ADb(i), ADb(i+1)の動作を示すブロック図である。

【図6】図5のi段目のA/D変換回路部ADb(i)からの出力電圧Voutの過渡応答を示すグラフである。

【図7】本実施形態に係るプリチャージ式MDAC回路40(冗長1.5ビット(3値)/ステージ;図5及び図10参照。)におけるアナログA/D変換入出力特性401及びデジタルA/D変換入出力特性402を示すグラフである。

40

【図8】従来技術に係るA/D変換装置部Ada(i)及び本実施形態に係るA/D変換装置部ADb(i)における入力電圧Vinに対する最大セットリング時間tsを示すグラフである。

【図9】本実施形態に係るA/D変換装置部ADb(i)を用いた14ビットパイプラインA/D変換装置の全体構成を示すブロック図である。

【図10】図5のA/D変換回路部ADb(i)の詳細構成を示すブロック図である。

【図11】図10のADC回路31の構成を示す回路図である。

【図12】図10の論理回路61の構成を示す回路図である。

【図13】図10のD/A変換器(DAC)62及びプリチャージD/A変換器(PCDAC)62aの構成を示す回路図である。

50

【図14】図10の論理回路61, 62及びDAC62の動作を示す表であって、入力電圧 V_{in} の各電圧範囲に対する各信号レベル及びDAC62の出力電圧を示す表である。

【図15】図10の論理回路63の構成を示す回路図である。

【図16】図10の論理回路63及びプリチャージD/A変換器(PCDAC)62aの動作を示す表であって、入力電圧 V_{in} の各電圧範囲に対する各信号レベル及びPCDAC回路62aの出力電圧を示す表である。

【図17】本発明の第1の実施形態に係るA/D変換回路部 $ADb(i)$, $ADb(i+1)$ の詳細構成を示す回路図である。

【図18】図17のA/D変換回路部 $ADb(i)$, $ADb(i+1)$ の動作を示す内部クロック及びタイミング信号のタイミングチャートである。

【図19】図17の実施例に係る発明者による実験結果であって、第1の実施形態に係るパイプラインA/D変換装置の補正後のFFT特性を示すスペクトラム図である。

【図20】図17の実施例に係る発明者による実験結果であって、第1の実施形態に係るパイプラインA/D変換装置の入力周波数 F_{in} に対する校正前後のSNDR (Signal to Noise plus Distortion Power Ratio) 及びSFDR (Spurious Free Dynamic Range) を示すグラフである。

【図21】図17の実施例に係る発明者による実験結果であって、第1の実施形態に係るパイプラインA/D変換装置のクロック周波数 F_{clk} に対する校正前後のSNDR (Signal to Noise plus Distortion Power Ratio) 及びSFDR (Spurious Free Dynamic Range) を示すグラフである。

【図22】発明者による実験結果であって、第1の実施形態に係るパイプラインA/D変換装置の性能概要を示す表である。

【図23】発明者による実験結果であって、従来技術文献及び第1の実施形態に係るパイプラインA/D変換装置の性能比較を示す表である。

【図24】本発明の第2の実施形態に係るA/D変換回路部 $ADc(i)$, $ADc(i+1)$ の詳細構成を示す回路図である。

【図25】図24のA/D変換回路部 $ADc(i)$, $ADc(i+1)$ の動作を示す内部クロック及びタイミング信号のタイミングチャートである。

【図26】本発明の第3の実施形態に係るA/D変換回路部 $ADd(i)$, $ADd(i+1)$ の詳細構成を示す回路図である。

【図27】図26のA/D変換回路部 $ADd(i)$, $ADd(i+1)$ の動作を示す内部クロック及びタイミング信号のタイミングチャートである。

【図28】本発明の第4の実施形態に係るA/D変換回路部 $ADe(i)$, $ADe(i+1)$ の詳細構成を示す回路図である。

【図29】図28のA/D変換回路部 $ADe(i)$, $ADe(i+1)$ の動作を示す内部クロック及びタイミング信号のタイミングチャートである。

【図30】変形例に係るプリチャージMDAC回路(冗長2ビット(7値)/ステージ)に用いるADC回路31AにおけるアナログA/D変換入出力特性411及びデジタルA/D変換入出力特性412を示すグラフである。

【図31】図30のプリチャージMDAC回路に用いるADC回路31Aの構成を示す回路図である。

【符号の説明】

【0095】

- 1 ... 差動増幅回路、
- 2, 3 ... 増幅器、
- 10 ... A/D変換装置、
- 11 ... サンプルホールド回路(SH回路)、
- 12 ... 演算回路、
- 13 ... 誤差補正回路、
- 14 ... 基準電圧発生回路、

10

20

30

40

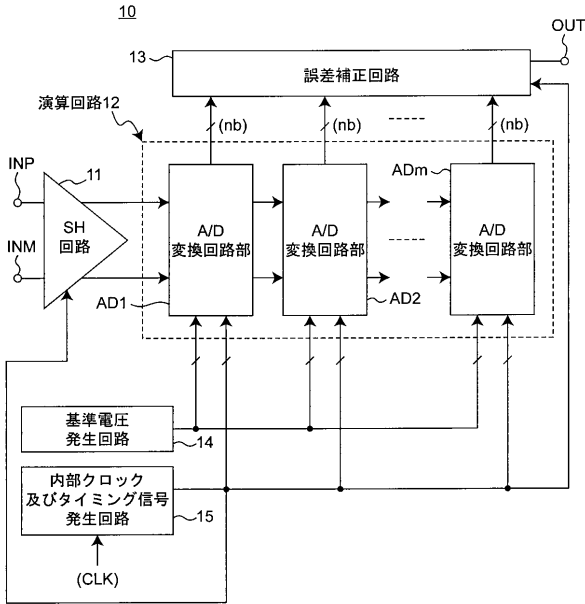
50

- 1 5 ... 内部クロック及びタイミング信号発生回路、
- 2 1 ... サブ A / D 変換器、
- 2 1 a ... 前置 A / D 変換回路 (A D C 回路)、
- 2 2 ... サブ D / A 変換器、
- 2 2 a , 2 2 a - 1 , 2 2 a - 2 ... D / A 変換回路 (D A C 回路)、
- 2 3 a , 2 3 b ... 演算器、
- 2 5 ... 演算回路、
- 2 6 ... M D A C 回路、
- 3 0 ... プリチャージ回路、
- 3 1 , 3 1 A ... 前置 A / D 変換回路 (A D C 回路)、
- 3 2 , 3 2 - 1 , 3 2 - 2 ... プリチャージ D / A 変換回路 (P C D A C 回路)、
- 3 3 ... フラッシュ A D C 回路、
- 4 0 ... プリチャージ式 M D A C 回路、
- 4 1 乃至 4 6 , 1 4 1 乃至 1 4 8 ... 比較器、
- 5 1 乃至 5 6 , 7 6 , 7 7 ... 基準電圧源、
- 6 1 , 6 3 ... 論理回路、
- 6 2 ... D / A 変換器 (D A C)、
- 6 2 a ... プリチャージ D / A 変換器 (P C D A C)、
- 6 3 , 6 4 , 8 9 乃至 9 1 ... ノアゲート、
- 6 5 乃至 7 2 , 9 2 乃至 1 0 8 ... インバータ、
- 7 3 乃至 7 5 ... スイッチ、
- 7 8 , 7 9 , 8 1 乃至 8 8 ... ナンドゲート、
- 2 0 1 乃至 2 1 0 , 3 0 1 乃至 3 1 0 ... スイッチ、
- 2 1 1 , 2 1 2 , 3 1 1 , 3 1 2 ... キャパシタ、
- 5 0 1 , 5 0 2 ... パイプライン系列回路、
- A i , A i + 1 , A i a , A i + 1 a ... 差動増幅器、
- A D 1 乃至 A D m , A D b (i) , A D b (i + 1) ... A / D 変換回路部、
- C 1 , C 2 ... キャパシタ、
- S W 1 乃至 S W 4 ... スイッチ。

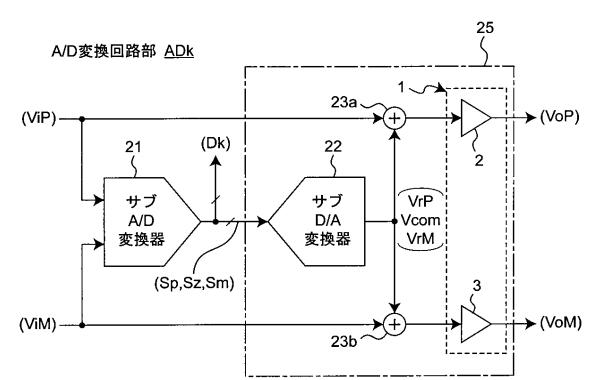
10

20

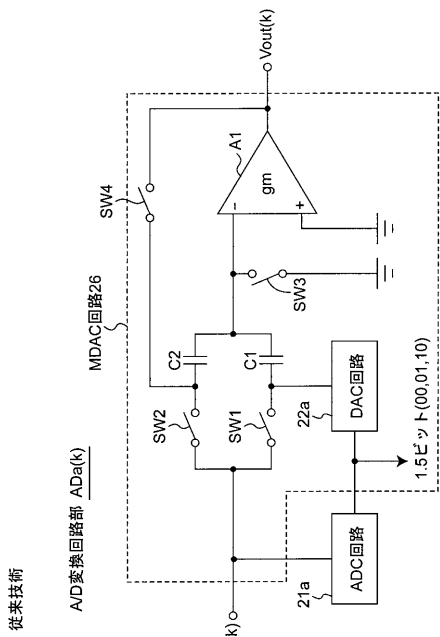
【図1】



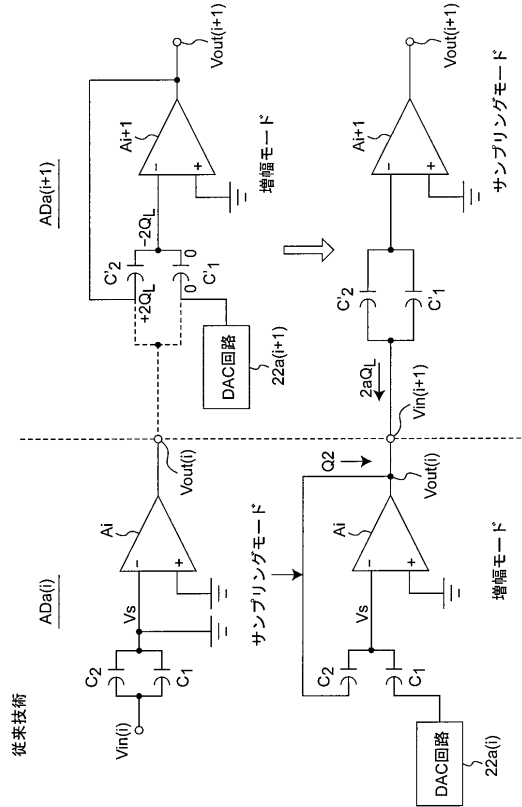
【図2】



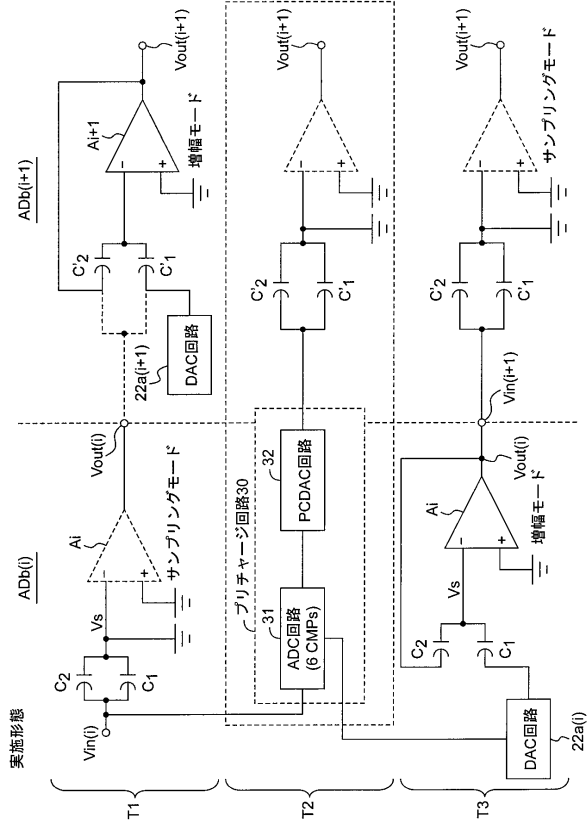
【図3】



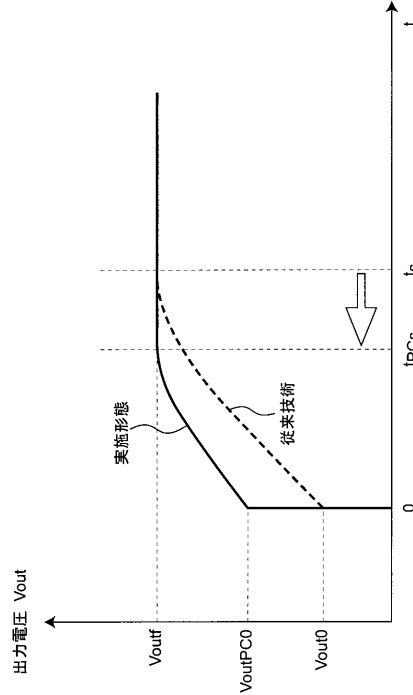
【図4】



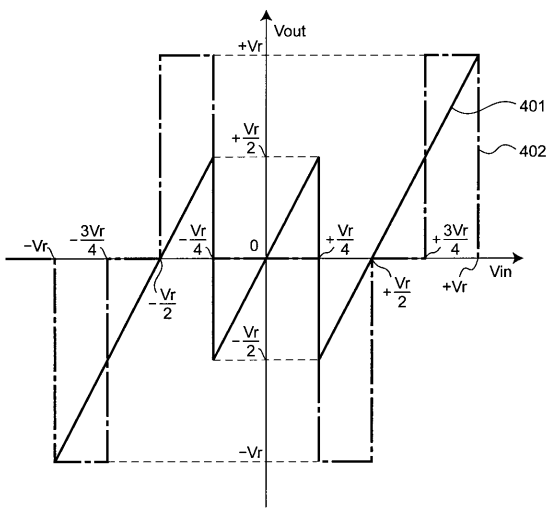
【図5】



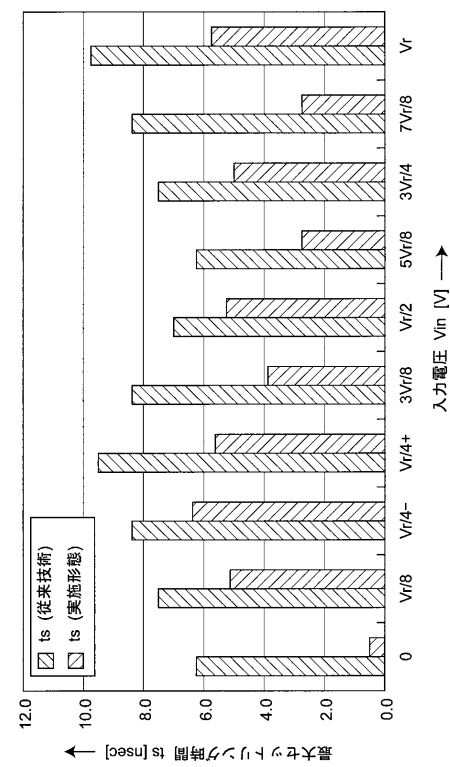
【図6】



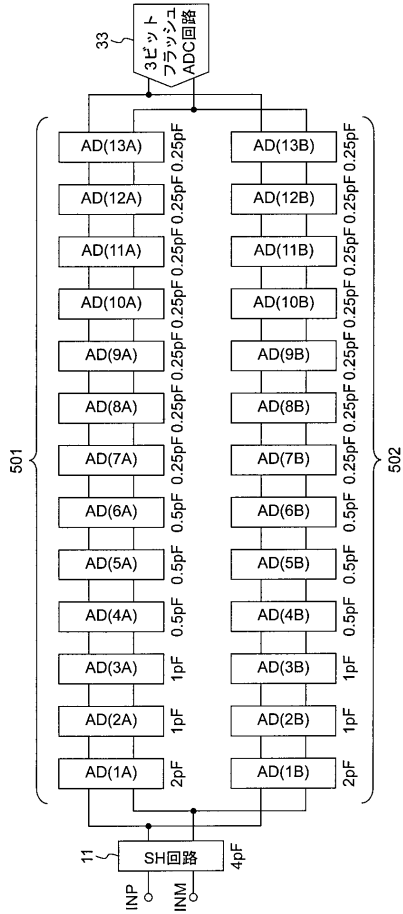
【図7】



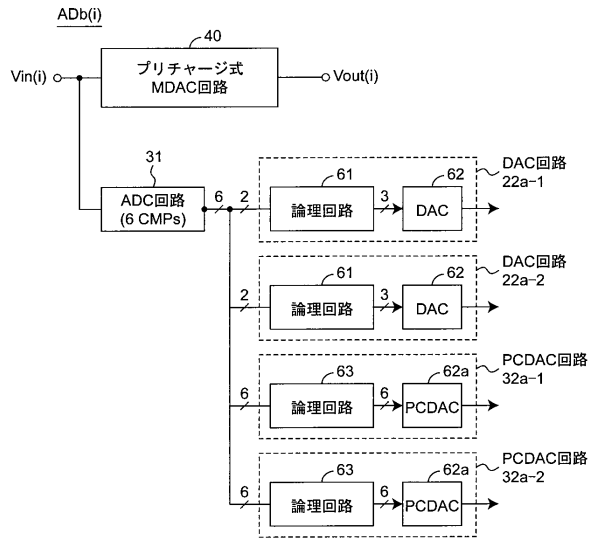
【図8】



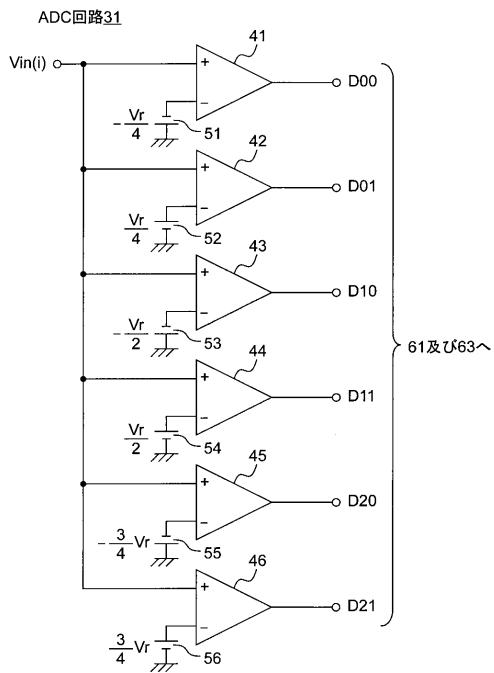
【図9】



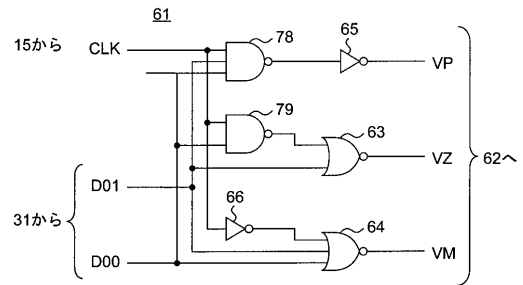
【図10】



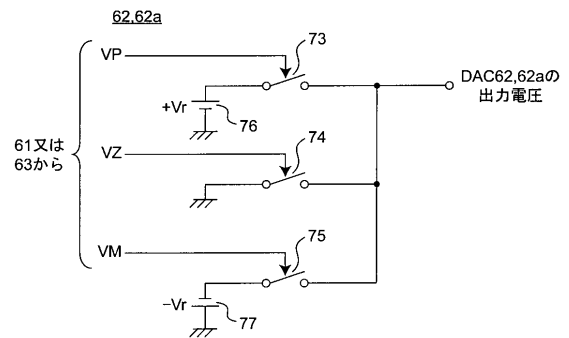
【図11】



【図12】



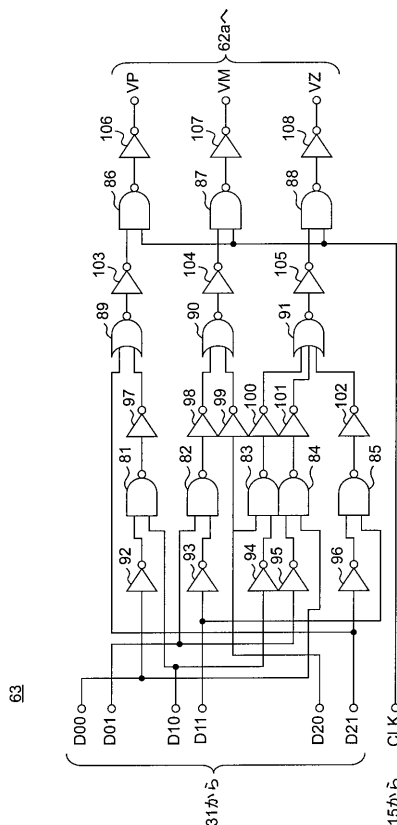
【図13】



【図14】

入力電圧Vinの電圧範囲	RA	RB	RC
入力電圧Vin	$-V_r$	$-\frac{V_r}{4}$	$\frac{V_r}{4}$ V_r
D00	0	1	1
D01	0	0	1
VP	0	0	1
VZ	0	1	0
VM	1	0	0
DAC62の出力電圧	$-V_r$	0	$+V_r$

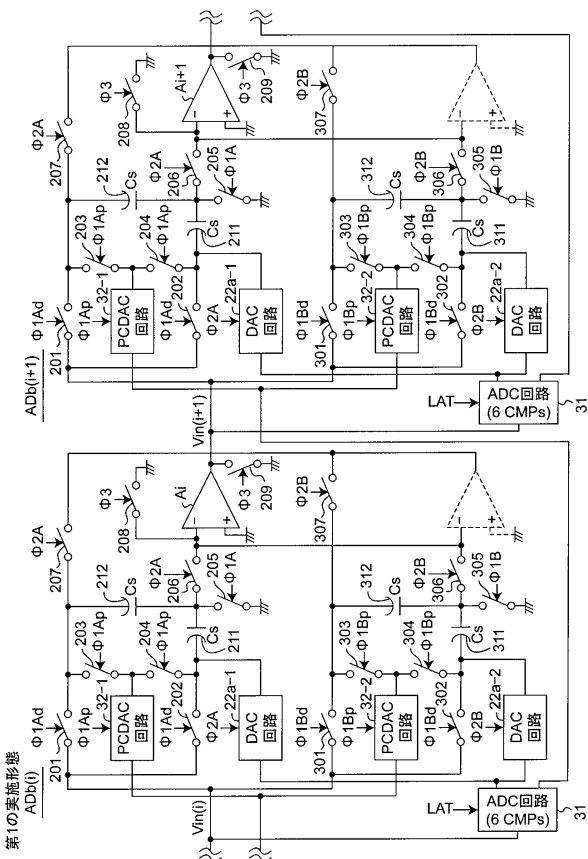
【図15】



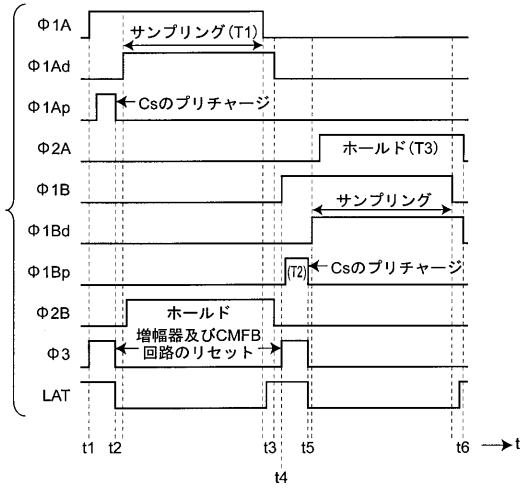
【図16】

入力電圧Vinの電圧範囲	RP	RQ	RR	RS	RT	RU	RV
入力電圧Vin	$-V_r$	$-\frac{3V_r}{4}$	$-\frac{V_r}{2}$	$-\frac{V_r}{4}$	$\frac{V_r}{4}$	$\frac{V_r}{2}$	$\frac{3V_r}{4}$ V_r
D00	0	0	0	1	1	1	1
D01	0	0	0	0	1	1	1
D10	0	0	1	1	1	1	1
D11	0	0	0	0	0	1	1
D20	0	1	1	1	1	1	1
D21	0	0	0	0	0	0	1
VP	0	0	1	0	0	0	1
VZ	0	1	0	1	0	1	0
VM	1	0	0	0	1	0	0
PCDAC62aの出力電圧	$-V_r$	0	V_r	0	$-V_r$	0	V_r

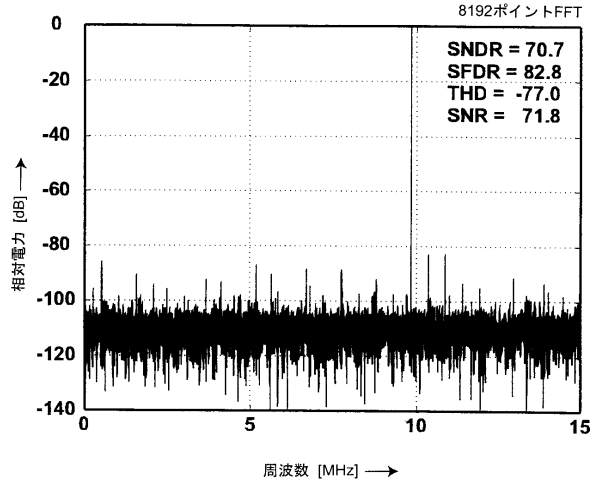
【図17】



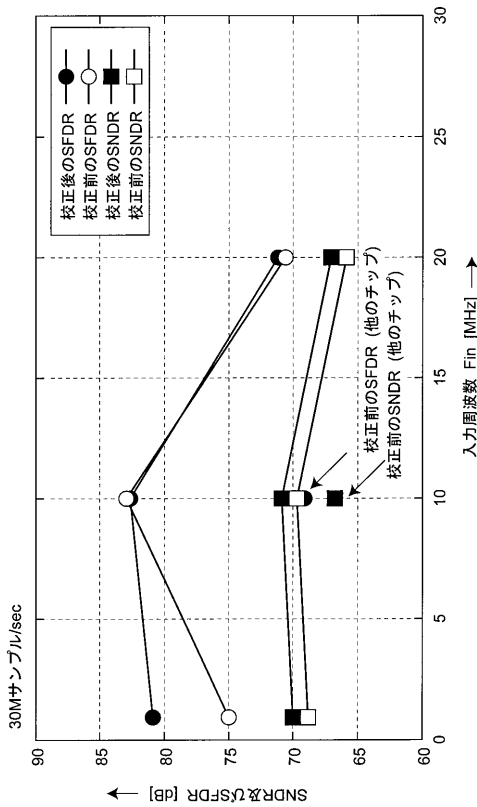
【図18】



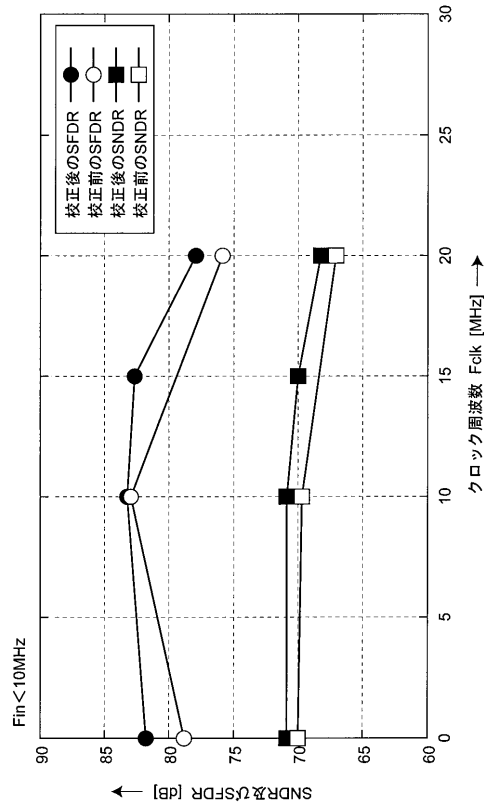
【図19】



【図20】



【図21】



【図 2 2】

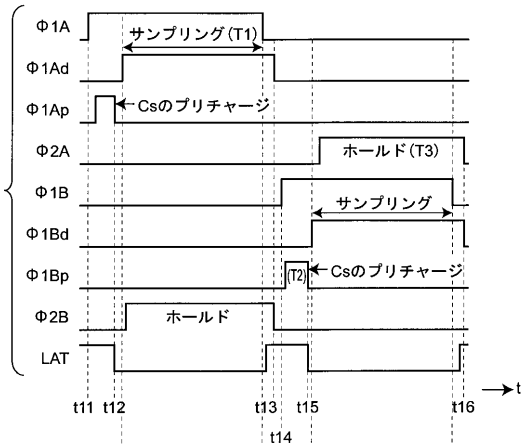
性能の概要

形成技術	0.25 μ m CMOS 5M1P
供給電圧	AVDD=3.0V, DVDD=2.5/3.3V
信号幅	3.0Vpp
量子化数	14ビット
サンプリングレート	30Mサンプル/sec
最大DNL	-0.3LSB/+0.3LSB
最小INL	-2.0LSB/+2.5LSB
SNDR(Fin=10MHz)	70.7dB
SFDR(Fin=10MHz)	82.8dB
全体の電力消費	102mW
アクティブ領域	2.0mm \times 4.0mm

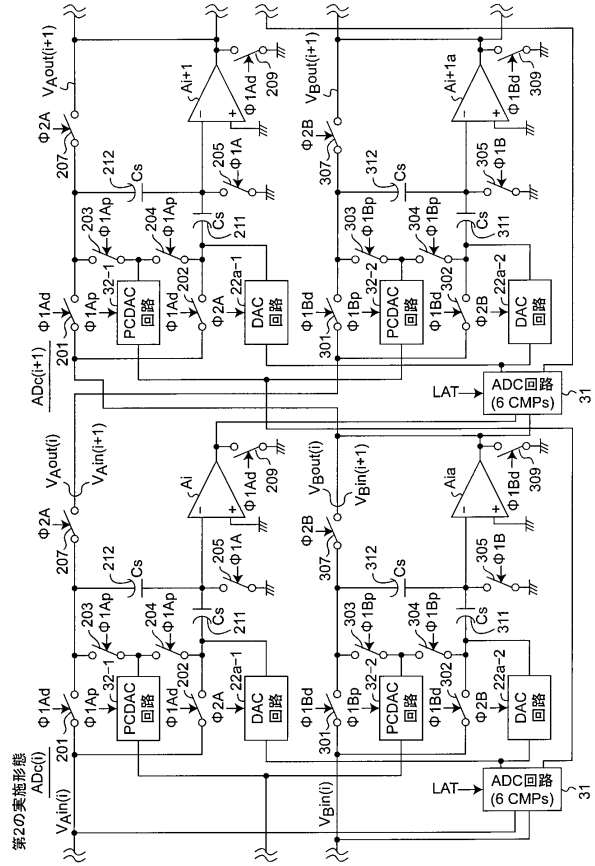
【図 2 3】

形成技術 (μ m)	VDD (V)	Fs (MHz)	電力 (mW)	SNDR (dB)	FOM (pJ/com)	開示文献
0.35	3.0	75	340	73	1.22	非特許文献4
0.25	3.3	40	370	73.5	2.31	非特許文献5
0.18	2.8	30	50.5	68.6	0.72	非特許文献6
0.13	1.5	100	224	67.5	1.12	非特許文献7
0.25	3.0	30	102	70.7	1.17	本実施形態

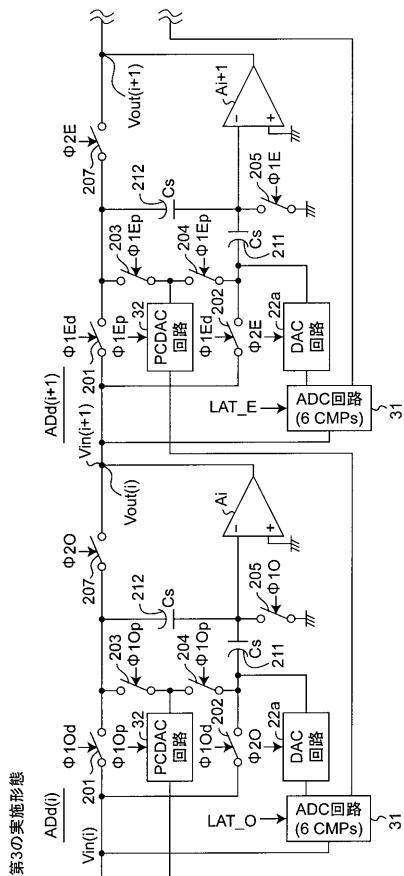
【図 2 5】



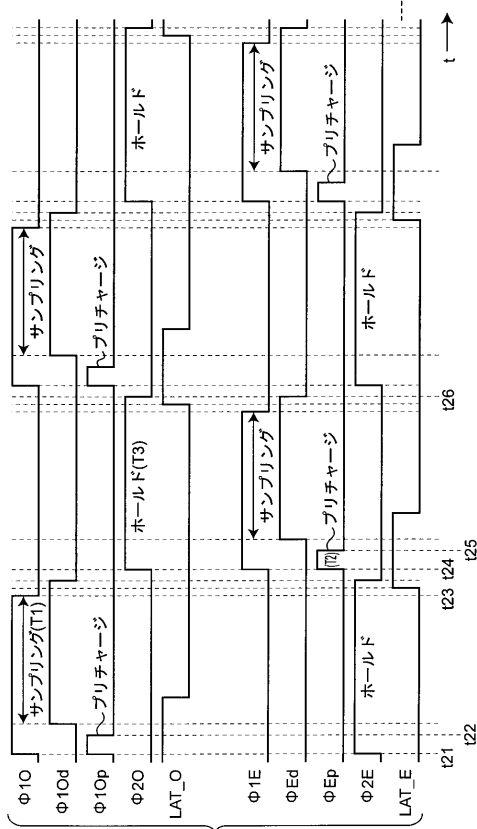
【図 2 4】



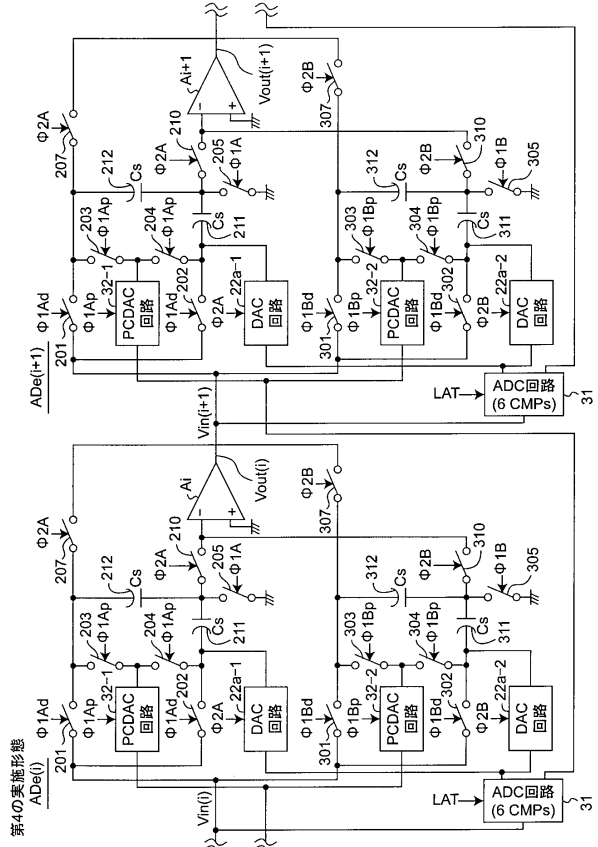
【図 2 6】



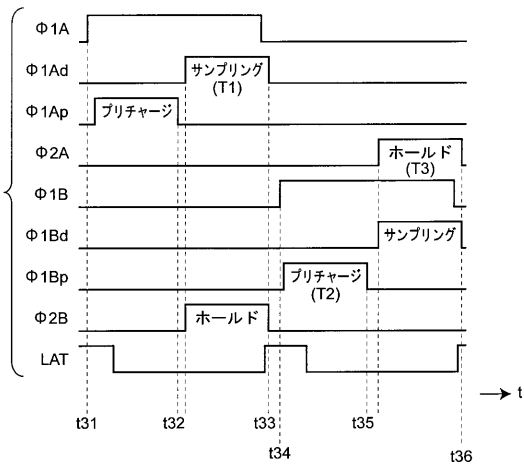
【図 27】



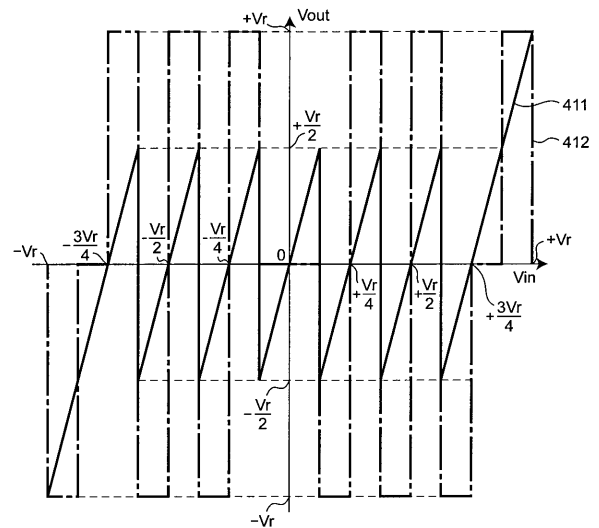
【図 28】



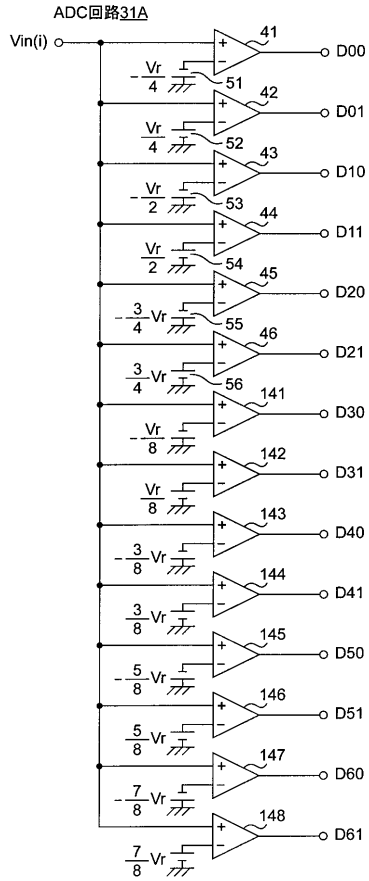
【図 29】



【図 30】



【図 3 1】



フロントページの続き

- (72)発明者 本多 一隆
静岡県浜松市中区城北3丁目5-1 国立大学法人静岡大学大学院電子科学研究科内
- (72)発明者 清水 泰秀
長崎県諫早市栄田町15-5
- (72)発明者 谷 邦之
岐阜県大垣市南類町5-44-5
- (72)発明者 蔵内 輝
神奈川県川崎市多摩区東三田3-3-2
- (72)発明者 須志原 公治
奈良県生駒市西白庭台1-27-10

審査官 栗栖 正和

- (56)参考文献 国際公開第2007/032110(WO, A1)
特開平11-273390(JP, A)
特開2000-201054(JP, A)
特開平10-261962(JP, A)
特開2005-286910(JP, A)
特開2006-054608(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03M 1/00-1/88