



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년04월27일
 (11) 등록번호 10-0954942
 (24) 등록일자 2010년04월19일

- (51) Int. Cl.
H04N 5/335 (2006.01) *H01L 27/146* (2006.01)
- (21) 출원번호 10-2008-7007593
- (22) 출원일자(국제출원일자) 2006년08월28일
 심사청구일자 2008년03월28일
- (85) 번역문제출일자 2008년03월28일
- (65) 공개번호 10-2008-0039529
- (43) 공개일자 2008년05월07일
- (86) 국제출원번호 PCT/US2006/033790
- (87) 국제공개번호 WO 2007/027728
 국제공개일자 2007년03월08일
- (30) 우선권주장
 11/213,937 2005년08월30일 미국(US)
- (56) 선행기술조사문헌
 US06750912 B1*
 US20050082461 A1*
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
마이크론 테크놀로지, 인크
 미국, 아이다호 83707, 보이세, 사우스 페드럴웨이 8000
- (72) 발명자
맥키, 제프리, 에이.
 미국, 아이다호 83642, 메리디언, 사우스 기디언 플레이스 3891
사, 조에이
 미국, 캘리포니아 91320, 싸우전드 오크스, 카미노 울모 #에프1710
- (74) 대리인
한양특허법인

전체 청구항 수 : 총 7 항

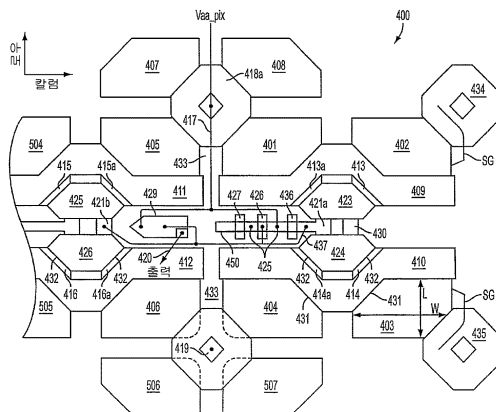
심사관 : 김응권

(54) 4-방향 공유 픽셀 상의 2-방향 공유 저장 게이트 제공 방법 및 장치

(57) 요약

픽셀 어레이를 구동하는 방법은, 글로벌 저장 신호를 활성화하여 광센서 전하를 각 픽셀의 제1 저장 영역에 저장하는 단계, 제1 로우의 픽셀에 대한 제1 리셋 신호를 활성화하여 제1 로우 픽셀의 제2 저장 영역을 리셋하고, 리셋된 제2 저장 영역을 샘플링하는 단계, 제2 로우의 픽셀에 대한 제3 리셋 신호를 활성화하여 제2 로우 픽셀의 제3 저장 영역을 리셋하고, 리셋된 제3 저장 영역을 샘플링하는 단계, 광센서 전하를, 어레이의 제1 및 제2 로우의 제1 세트의 칼럼의 픽셀의 제1 저장 영역으로부터 제2 및 제3 저장 영역으로 각각 전송하는 단계, 제1 로우/제1 칼럼의 픽셀로부터의 제2 저장 영역으로부터 광센서 전하를 샘플링하는 단계, 및 제2 로우/제1 칼럼의 픽셀로부터의 제3 저장 영역으로부터 광센서 전하를 샘플링하는 단계를 포함한다.

대표도



특허청구의 범위

청구항 1

픽셀 어레이 구동 방법으로서,

글로벌 저장 신호를 활성화하여 광센서 전하를 상기 어레이의 각 픽셀의 제1 저장 영역에 저장하는 단계;

상기 어레이의 제1 로우의 픽셀에 대한 제1 리셋 신호를 활성화하여 상기 제1 로우의 각 픽셀의 제2 저장 영역을 리셋하는 단계;

상기 제1 로우의 픽셀에 대한 상기 리셋된 제2 저장 영역을 샘플링하는 단계;

상기 어레이의 제2 로우의 픽셀에 대한 제3 리셋 신호를 활성화하여 상기 제2 로우의 각 픽셀의 제3 저장 영역을 리셋하는 단계;

상기 제2 로우의 픽셀에 대한 상기 리셋된 제3 저장 영역을 샘플링하는 단계;

상기 광센서 전하를, 상기 어레이의 상기 제1 및 제2 로우의 제1 세트의 칼럼의 각 픽셀의 상기 제1 저장 영역으로부터 상기 제1 및 제2 로우의 픽셀에 대한 상기 제2 및 제3 저장 영역으로 각각 전송하는 단계;

상기 제1 로우 및 제1 세트의 칼럼의 픽셀로부터의 상기 제2 저장 영역으로부터 상기 광센서 전하를 샘플링하는 단계; 및

상기 제2 로우 및 제1 세트의 칼럼의 픽셀로부터의 상기 제3 저장 영역으로부터 상기 광센서 전하를 샘플링하는 단계를 포함하는 픽셀 어레이 구동 방법.

청구항 2

청구항 1에 있어서,

상기 광센서 전하를, 상기 어레이의 상기 제1 및 제2 로우의 제2 세트의 칼럼의 각 픽셀의 상기 제1 저장 영역으로부터 상기 제1 및 제2 로우의 픽셀에 대한 상기 제2 및 제3 저장 영역으로 각각 전송하는 단계;

상기 제1 로우 및 제2 세트의 칼럼의 픽셀로부터의 상기 제2 저장 영역으로부터 상기 광센서 전하를 샘플링하는 단계; 및

상기 제2 로우 및 제2 세트의 칼럼의 픽셀로부터의 상기 제3 저장 영역으로부터 상기 광센서 전하를 샘플링하는 단계를 더 포함하고,

상기 제1 및 제2 세트의 칼럼은 교번하는 짝수 및 홀수 칼럼인, 픽셀 어레이 구동 방법.

청구항 3

청구항 2에 있어서, 상기 리셋된 제2 저장 영역을 샘플링하는 단계는,

상기 리셋된 제2 저장 영역으로부터의 전하를 제1 샘플링 캐패시터의 쌍에 저장하는 단계를 포함하는, 픽셀 어레이 구동 방법.

청구항 4

청구항 3에 있어서, 상기 리셋된 제3 저장 영역을 샘플링하는 단계는,

상기 리셋된 제3 저장 영역으로부터의 전하를 제2 샘플링 캐패시터의 쌍에 저장하는 단계를 포함하는, 픽셀 어레이 구동 방법.

청구항 5

청구항 4에 있어서, 상기 제2 저장 영역으로부터의 광센서 전하를 샘플링하는 단계는,

상기 제2 저장 영역으로부터의 광센서 전하를 상기 제1 샘플링 캐패시터의 쌍에 저장하는 단계를 포함하는, 픽셀 어레이 구동 방법.

청구항 6

청구항 5에 있어서, 상기 제3 저장 영역으로부터의 광센서 전하를 샘플링하는 단계는,

상기 제3 저장 영역으로부터의 광센서 전하를 상기 제2 샘플링 캐패시터의 쌍에 저장하는 단계를 포함하는, 픽셀 어레이 구동 방법.

청구항 7

청구항 1에 있어서, 상기 제1 세트의 칼럼의 각 픽셀의 상기 제1 저장 영역으로부터의 상기 광센서 전하는 컬럼-인접 픽셀에 의해 공유되는 전송 트랜지스터에 의해 전송되는, 픽셀 어레이 구동 방법.

명세서

기술분야

[0001] 본 발명은 일반적으로 디지털 화상 센서에 관한 것으로, 특히 어레이(array)의 픽셀 셀(pixel cell)들 간에 공유 구성 요소를 갖는 CMOS 픽셀 셀 어레이 구조에 관한 것이다.

배경기술

[0002] CMOS 이미저(imager) 회로는, 각 셀이 기관의 특정 부분에 광-발생 전하를 축적하기 위한 광센서, 예컨대, 광게이트, 광컨덕터, 또는 광다이오드를 포함하는, 초점 면(focal plane) 어레이의 픽셀 셀을 포함한다. 각 픽셀 셀은, 판독 회로의 일부인 출력 트랜지스터의 게이트에 연결되는, 기관의 상부 또는 내부에 형성된, 전하 저장 영역을 갖는다. 전하 저장 영역은 플로팅 확산 영역(floating diffusion region)으로서 구성될 수 있다. 일부의 이미저 회로에서는, 각 픽셀이, 광센서로부터의 전하를 저장 영역으로 전송하기 위한 트랜지스터와 같은 적어도 하나의 전자 소자와, 전하 전송 전에 저장 영역을 미리 설정된 충전 레벨로 리셋하기 위한, 또한 일반적으로 트랜지스터인, 하나의 소자를 포함할 수 있다.

[0003] CMOS 이미저에서, 픽셀 셀의 활성 요소들은, (1) 포톤(photon)에서 전하로의 변환, (2) 화상 전하의 축적, (3) 저장 영역을 알려진 상태로 리셋, (4) 전하를 저장 영역으로 전송, (5) 판독을 위한 픽셀의 선택, 및 (6) 픽셀 전하를 나타내는 신호의 출력 및 증폭의 기능을 수행한다. 광전하는 초기 전하 축적 영역으로부터 저장 영역으로 이동할 때 증폭될 수 있다. 저장 영역의 전하는 일반적으로 소스 팔로워(source follower) 출력 트랜지스터에 의해 픽셀 출력 전압으로 변환된다.

[0004] 앞서 논의된 타입의 CMOS 이미저는, 그 전체가 참조로서 이 명세서에 통합되어 있는, 예컨대, 마이크론 테크놀로지 주식회사(Micron Technology, Inc.)의 미국 특허 제6,140,630호, 미국 특허 제6,376,868호, 미국 특허 제6,310,366호, 미국 특허 제6,326,652호, 미국 특허 제6,204,524호, 및 미국 특허 제 6,333,205호에서 논의된 바와 같이, 공지되어 있다.

[0005] 종래의 4-트랜지스터(4T) CMOS 픽셀 센서 셀(100)의 평면도, 부분 단면도, 및 전기 회로 배선도를 각각 예시하는 도 1, 2, 및 3을 참조하면, 입사광(187)이 광센서(광다이오드)(120)의 표면을 타격할 때, 전자/정공 쌍이 광센서의 p-n 접합(n-형 축적 영역(122) 및 p-형 표층(123)의 경계에 표시됨(도 2))에서 생성된다. 생성된 전자(광-전하)는 광센서(120)의 n-형 축적 영역(122)에서 수집된다. 광-전하는, 전송 트랜지스터(106)를 통해 초기 전하 축적 영역(122)에서 플로팅 확산 영역(110)으로 이동한다. 플로팅 확산 영역(110)의 전하는 일반적으로, 소스 팔로워 트랜지스터(108)에 의해, 로우 선택 트랜지스터(109)를 통해서 칼럼 출력 라인(111)으로 출력되는 픽셀 출력 전압으로 변환된다.

[0006] 픽셀 셀(100)에 대해 도 1 내지 3에 도시된 바와 같이, 픽셀 셀(100)의 절반만을 의미하는 대략 50 퍼센트의 곡선 인자(fill factor)만을 제공하는, 종래의 CMOS 이미저 설계는, 광을 전하 캐리어(carrier)로 변환하는 데 활용된다. 도시된 바와 같이, 셀(100)의 작은 부분만이 광센서(120)를 포함한다. 픽셀 셀(100)의 나머지는, 기관(101)에서 STI 영역으로 도시된 격리 영역(102), 전송 트랜지스터(106)의 전송 트랜지스터 게이트(106')에 연결된 플로팅 확산 영역(110), 및 각각의 게이트(107', 108', 109')를 갖는 리셋(107)과 소스 팔로워(108) 및 로우 선택(109) 트랜지스터에 대한 소스/드레인 영역(115)을 포함한다. 더욱이, 전체 픽셀 영역이 지속적으로 감소함에 따라(요구되는 크기 조정에 기인함), 증가된 광센서 영역을 제공하기 위해, 표면 영역의 최소량을 활용하는 고감도 광센서를 생성하는 것 또는, 픽셀 셀의 비-감광 구성 요소에 대한 픽셀 어레이의 보다 효율적인

배치를 찾는 것의 중요성이 커지고 있다.

[0007] 도 4는 저장 트랜지스터(130) 및 관련 저장 게이트(130')를 갖는 6-트랜지스터(6T)를 형성하는 전기 배선도를 예시한다. 저장 게이트(130') 및 관련 저장 영역을 갖는 저장 트랜지스터(130)는, 프레임 서터 또는 픽셀의 전하 용량을 증가시키는 것과 같은, 다양한 목적을 위해 이상적으로 사용될 수 있다. 추가로, 픽셀 셀은 또한, 전하가 포화된 광센서(120)로부터 전하가 오버플로우(overflow)하는 것을 방지하기 위해 관련 게이트(140')를 갖는 안티-블루밍(anti-blooming) 트랜지스터(140)를 포함할 수 있다. 그러나, 저장 트랜지스터(130) 및/또는 안티-블루밍 트랜지스터(140)와 같은 추가적인 트랜지스터들이 픽셀 셀에 추가되면, 광센서의 곡선 인자가 더욱 감소된다.

[0008] 따라서, 관련 게이트를 가진 저장 트랜지스터 및/또는 안티-블루밍 트랜지스터를 포함하면서, 높은 곡선 인자를 가능케 하는 효율적인 배치를 갖는 픽셀 셀에 대한 요망이 있다.

발명의 상세한 설명

[0009] 본 발명은, 다양한 모범적인 실시예들에서, 글로벌 저장 신호를 활성화하여 광센서 전하를 어레이의 각 픽셀의 제1 저장 영역에 저장하는 단계, 제1 로우의 픽셀에 대한 제1 리셋 신호를 활성화하여 제1 로우의 각 픽셀의 제2 저장 영역을 리셋하고, 제1 로우의 픽셀에 대한 리셋된 제2 저장 영역을 샘플링하는 단계, 제2 로우의 픽셀에 대한 제3 리셋 신호를 활성화하여 제2 로우의 각 픽셀의 제3 저장 영역을 리셋하고, 제2 로우의 픽셀에 대한 리셋된 제3 저장 영역을 샘플링하는 단계, 광센서 전하를, 어레이의 제1 및 제2 로우의 제1 세트의 칼럼의 각 픽셀의 제1 저장 영역으로부터 제1 및 제2 로우의 픽셀에 대한 제2 및 제3 저장 영역으로 각각 전송하는 단계, 제1 로우 및 제1 세트의 칼럼의 픽셀로부터의 제2 저장 영역으로부터 광센서 전하를 샘플링하는 단계, 및 제2 로우 및 제1 세트의 칼럼의 픽셀로부터의 제3 저장 영역으로부터 광센서 전하를 샘플링하는 단계를 포함하는 픽셀 어레이 구동 방법을 제공한다.

실시예

[0020] 하기의 상세한 설명에서는, 이 명세서의 일부를 형성하고 본 발명이 실시될 수 있는 특정 실시예들을 예시하는 방식으로 도시한 첨부 도면에 대해 언급한다. 이들 실시예들은 당업자가 본 발명을 실시할 수 있을 정도로 충분히 상세하게 기술되었으며, 다른 실시예들이 활용될 수 있고, 본 발명의 사상 및 권리 범위를 벗어남 없이 구조적, 논리적, 및 전기적 변형도 만들 수 있다는 것이 이해되어 진다. 기술된 처리 공정들의 진행은 본 발명의 실시예들의 모범 예이다; 그렇지만, 공정의 순서는, 특정 순서에서 필수적으로 발생하는 공정들을 제외하고, 이 명세서에 기술된 것에 한정되지 않고 당업계에 주지된 바와 같이 변경될 수 있다.

[0021] 이 명세서에서 사용되는 웨이퍼 및 기판이라는 용어는, 실리콘, 에피택셜(epitaxial), 실리콘-온-인슐레이터(SOI), 또는 실리콘-온-사파이어(SOS) 기술, 도핑 및 언도핑된(undoped) 반도체, 및 여타 반도체 구조를 포함하는 것으로 이해되어진다. 또한, 하기의 상세한 설명에서 웨이퍼 또는 기판에 대해 언급할 때, 베이스 반도체 구조 또는 기초의 내부 또는 상부에 영역, 집합, 또는 재료층을 형성하기 위해 종전의 처리 공정들이 활용될 수 있다. 또, 반도체가 실리콘 기반일 필요는 없으며, 실리콘-게르마늄, 게르마늄, 갈륨 비화물(gallium arsenide) 또는 여타 반도체에 기반된 것일 수 있다.

[0022] 이 명세서에 사용되는 픽셀 또는 “픽셀 셀”이라는 용어는, 포톤을 전기 신호로 변환하기 위한, 광센서 및 관련 트랜지스터를 포함하는 광-요소 단위 셀을 말한다. 예시의 목적으로, 소수의 대표적인 픽셀이 이 명세서의 도면 및 상세한 설명에 예시되었다; 하지만, 일반적으로 대다수의 동일 픽셀의 제조가 동시에 진행된다. 따라서, 하기의 상세한 설명은 단지 본 발명의 모범 예이며 한정되는 것으로 받아들여지지 않는다. 본 발명의 권리범위는 첨부된 청구범위에 의해서만 규정된다.

[0023] 이 명세서에 사용되는 비스듬한(at an angle), 각이 있는(angled), 및 경사진(slanted)이라는 용어는, 엄밀하게 병렬 또는 엄밀히 수직의 것(perpendicular)을 의미하지는 않는, 몇 개의 지정된 참조 포인트에 대한, 어떤 각도라도 의미하는 것으로서 해석된다. 따라서, 대상의 적어도 일부와 몇 개의 참조 포인트가 만나서 0°, 90°, 또는 180° 가 아닌 각도를 형성할 때, 상기 대상은 상기 참조 포인트에 대해서 각이 있는, 비스듬한, 또는 경사진으로 간주된다.

[0024] 이제 동일 번호가 동일 요소를 지정하는 도면을 참조하면, 도 5는 본 발명의 모범적인 실시예에 따른 픽셀 배치 설계를 가진 실리콘 기판의 내부 또는 상부에 구성된 픽셀 어레이(400)의 일부의 평면도를 예시한다. 도 5A는 모범적인 픽셀 어레이(400)의 일부를 묘사하는 회로도이다. 픽셀 어레이(400)는 4개의 픽셀에 의한 픽셀 판독

회로의 공유를 포함한다. 4-방향 판독 공유에 포함되는 픽셀들은 광센서(401, 404, 405, 406)로 대표된다. 공유 구성 요소는, 제1 쌍의 광센서(401, 405)들 사이 및 상기 제1 쌍에 인접한 제2 쌍의 광센서(404, 406)들 사이의 영역 내에서 선형으로 연장하는 트렁크(450) 상에 위치되는 픽셀 신호 판독 구성 요소를 포함한다. 추가로, 선택적인 안티-블루밍 게이트(418, 419, 434, 435)는, 공용 판독 회로를 공유하는 동일한 4개의 광센서는 아닐지라도, 어레이(400)에서 4개의 광센서에 의해 또한 각기 공유된다. 예시된 예에서, 4개의 광센서(401, 405, 407, 408)는 공유 안티-블루밍 게이트(418)를 갖는 것으로 도시된다. 광센서(404, 406, 506, 507)는 또한 안티-블루밍 게이트(419)를 공유한다. 안티-블루밍 게이트는, 안티-블루밍 게이트(419) 아래에 예시적인 점선으로 상세하게 도시된 바와 같이, 관련 광센서를 오버랩(overlap)할 수 있다. 안티-블루밍 게이트(434, 435)는 예시된 예에서 각각의 광센서(402, 403)와 관련되며, 도 4에 예시되지 않은 다른 광센서와 공유된다.

[0025] 도 5A는 픽셀 어레이의 3개의 로우(Row₀₀₀, Row₀₀₁, Row₀₀₂)만을 묘사하는 것을 주목해야 한다. 도시된 바와 같이, 4-방향 판독 공유는, 광센서(405, 406)를 가진 로우000(Row₀₀₀)의 픽셀을 위한 것이고 광센서(401, 404)를 가진 로우001(Row₀₀₁)의 픽셀을 위한 것이다. 유사한 방식으로, 로우002(Row₀₀₂)는 광센서(402, 403)를 갖는 픽셀을 가지며, 로우003(Row₀₀₃)(예시되지 않음)은 판독 회로를 공유하는 픽셀들을 가질 것이다.

[0026] 칼럼의 인접한 픽셀들(예컨대, 광센서(402, 401))은, 전하의 판독 전에, 생성된 광전하를 각각의 제1 및 제2 저장 영역(413, 413a)에 저장하기 위한 공용 제1 저장 게이트(409)를 공유한다. 제1 저장 게이트(409)는, 하기에 설명되는 도 6의 타이밍 도에 도시된 글로벌(global) 저장 게이트 제어 신호(SG)에 의해 제어될 수 있다. 광센서(401, 402)는 광 포톤을 전자(광전하)로 변환하기 위한 어떠한 감광 구조도 될 수 있으며, 바람직한 실시예에서는, 광센서(예컨대, 401, 402)가 광다이오드 영역일 수 있다.

[0027] 제2 저장 게이트(410)는 제2 쌍의 칼럼 인접 광센서(403, 404)에 의해 공유된다. 광센서(403, 404)로부터의 전하는 게이트(410)의 제어에 의해 각각의 제3 및 제4 저장 영역(414, 414a)에 저장된다. 저장 게이트(410)는 글로벌 저장 게이트 제어 신호(SG)에 의해 또한 제어될 수 있다. 광센서(405, 504)는 제3 저장 게이트(411)를 공유하며 그들 각각의 전하가 게이트(411)의 제어에 의해 각각의 제5 및 제6 저장 영역(415a, 415)에 저장된다. 광센서(406, 505)는 제4 저장 게이트(412)를 공유하며 그들 각각의 전하가 제7 및 제8 저장 영역(416a, 416)에 저장된다. 공유 저장 게이트 구성은 (그 이외의 경우였으면, 각 광센서에 대한 개별의 저장 게이트와 함께 필요했을) 저장 게이트 제어 신호 라인의 개수를 감소시킨다. 각각의 게이트(409, 410, 411, 412)의 적어도 일부는, 광센서에 대한 보다 큰 포톤 수집 영역과, 그에 따른 높은 곡선 인자를 제공하는, 광센서(401, 402, 403, 404, 405, 406, 504, 505)에 대해서 바람직하게 각이 있고 코너(corner)에 있는 측부 에지(edge)(431)를 갖는다. 저장 영역(413, 413a, 414, 414a, 415, 415a, 416, 416a)은 주로, 기관의 개별적인 저장 게이트(409, 410, 411, 412) 아래에 위치되는 도핑 영역(n-형)을 포함한다는 것을 이해해야 한다.

[0028] 도 5 및 5A에 예시된 바와 같이, 광센서(401, 402)는 또한 전송 트랜지스터 게이트(423)를 공유하고, 광센서(403, 404)는 전송 트랜지스터 게이트(424)를 공유하며, 광센서(405, 504)는 전송 게이트(425)를 공유하고, 광센서(406, 505)는 전송 게이트(426)를 공유한다. 각 전송 트랜지스터 게이트(423, 424, 425, 426)의 적어도 일부는, 광센서(401, 402, 403, 404, 405, 406, 504, 505)의 각각에 대해서 바람직하게 각이 있고 코너(corner)에 있는 측부 에지(432)를 갖는다. 이 실시예의 전송 트랜지스터 게이트(423, 424, 425, 426)는, 어레이(400)의 2개의 칼럼 인접 픽셀들 간의 각각에, 공유된다는 것을 주목해야 한다. 예를 들어, 도 5에 도시된 바와 같이, 저장 게이트(409)를 공유하는 칼럼의 인접한 광센서들(401, 402)은, 또한 전송 트랜지스터 게이트(423)를 공유한다. 전송 트랜지스터 게이트(423, 424)는 전하 저장 영역(413a, 414a)으로부터의 전하를 공용 플로팅 확산 영역(421a)으로 전송한다.

[0029] 광센서(401, 402)는 플로팅 확산 영역 또는 판독 회로를 공유하지 않는다. 오히려, 예시된 실시예에서는, 2개의 로우 인접 픽셀들이 제1 플로팅 확산 영역(421a)을 공유하는 광센서(401, 404)를 가지며, 2개의 로우 인접 광센서들(405, 406)이 제2 플로팅 확산 영역(421b)을 공유한다. 2개의 플로팅 확산 영역(421a, 421b)은, 기관의 전도성 트레이스(trace) 또는 도핑 영역에 의해, 서로 전기적으로 연결된다. 플로팅 확산 영역(421a, 421b)은 또한, 연결된 플로팅 확산 영역(421a, 421b)의 전하 저장 용량의 증가를 제공하는, 캐패시터(429)에 선택적으로 연결될 수 있다. 캐패시터(429)는 또한, V_{aa}-pix에 연결되어 동적 범위(dynamic range)를 증가시킨다. 도 5는 또한, 로우의 인접한 광센서들(402, 403)에 의해 공유되는 제3 플로팅 확산 영역(430)을 도시한다. 이 영역은, 영역들(421a, 421b)이 연결된 것과 동일한 방식으로, 다른 플로팅 확산 영역에 연결된다.

[0030] 저장 영역(413a, 414b, 415a, 416a)과 관련하여 저장 게이트(409, 410, 411, 412)를 사용하는 것은, 광센서

(401, 404, 405, 406)를 포함하는 판독 회로를 공유하는 픽셀에 대한 광센서 전하 저장을 위한 프레임 셔터 및/또는 추가적인 저장부를 제공한다. 예를 들어, 저장 게이트(409, 410, 411, 412)는 집적 기간 후에 광센서(401, 404, 405, 406)에 의해 생성된 전하를 그들이 저장 및 판독될 수 있는 관련 저장 영역(413a, 414b, 415a, 416a)으로 전송한다.

[0031] 바람직하게는, 도 5에 도시된 바와 같이, 저장 게이트(409, 410, 411, 412)와 전송 트랜지스터 게이트(423, 424, 425, 426)의 각각은, 각각의 게이트가 관련 광센서의 코너 영역을 오버랩하도록, 그들의 적어도 일부가 그들의 관련된 광센서(401, 402, 403, 404, 405, 406, 504, 505)에 대해서 비스듬하다. 예를 들어, 저장 게이트(410)의 에지(431)는, 게이트(410)가 광센서(404)의 상부 우측 코너 및 광센서(403)의 상부 좌측 코너를 오버랩하도록, 관련 광센서(403, 404)의 길이(L) 및 폭(W)에 대해서 경사진 것으로 도시되었다. 유사하게, 전송 트랜지스터 게이트(423, 424, 425, 426)의 각각은, 게이트가 관련 광센서의 코너를 오버랩하도록, 광센서(403, 404)의 길이(L) 및 폭(W)에 대해서 유사하게 경사진 에지(432)를 갖는다. 게이트(409, 410, 411, 412, 423, 424, 425, 426)의 이 바람직하게 비스듬한 외형과 광센서 오버랩은, 게이트(409, 410, 411, 412, 423, 424, 425, 426)의 효율적인 배치를 가능하게 하여, 어레이(400)의 누설 및 지연(lag) 성능을 개선한다. 추가로, 이러한 배치는, 광센서(401, 402, 403, 404, 405, 406, 504, 505)의 영역을 최대화함에 의해, 어레이(400)의 곡선 인자를 최대화하여 또한 유익하다. 선택적인 안티-블루밍 트랜지스터의 안티-블루밍 게이트(418, 419, 434, 435)는, 경사진 에지(예컨대, 418a)를 또한 가지며, 관련 광센서(예컨대, 407)의 코너를 또한 오버랩한다.

[0032] 공유 픽셀 판독 구조가 이제 추가로 기술될 것이다. 하나의 리셋 트랜지스터는 상호 연결된 플로팅 확산 영역(421a, 421b)의 전하를 리셋하는 데 활용되는 게이트(436)를 갖는다. 리셋 게이트(436)의 일측에는 공급 전압(V_{aa}-pix)을 수신할 수 있는 소스/드레인 영역(425)이 있다. 광센서(401, 404, 405, 406) 간에 공유되는 판독 트렁크(450) 상의 나머지 판독 구성 요소는, 플로팅 확산 영역(421a, 421b)에 연결되는 게이트(426)를 갖는 소스 팔로워 트랜지스터(426'), 및 소스 팔로워 트랜지스터(426')의 출력을 판독 칼럼 라인에 선택적으로 게이트 인가하는 게이트(427)를 갖는 로우 선택 트랜지스터(427')를 포함한다. 기관의 격리 영역(433)은 트렁크(450) 상의 활성 영역을 광센서로부터 격리하는 데, 그리고 광센서(401, 404, 405, 406)의 개개의 전하 축적 영역을 서로 격리하는 데에도 활용된다. 얇은 트렌치 격리(shallow trench isolation; STI)를 포함하지만 그에 한정되지는 않는, 어떠한 주지의 격리 기술도, 격리 영역(433)을 형성하는 데 사용될 수 있다.

[0033] 이 명세서에 예시적으로 기술된 4-방향 공유 픽셀 판독 배치는, 1 세트의 판독 회로, 예컨대, 칼럼 출력 라인(420)으로 인도하는 트렁크(450)를 공유하는, 각각의 광센서(405, 406)를 가진 제1 쌍의 칼럼 인접 픽셀들과 각각의 광센서(401, 404)를 가진 제2 쌍의 칼럼 인접 픽셀들을 갖는다. 따라서, 칼럼 출력 라인(420)은, 이 모범적인 실시예에 따라, 픽셀 어레이(400)의 다른 모든 칼럼에 대해 필수적인 한가지이다. 상기와 같이, 2개의 칼럼 인접 픽셀들(예컨대, 405, 401)은 동일 출력 라인(420) 상으로 순차적으로 읽어 들여질 것이며, 픽셀 어레이(400)에 대한 최대 해상도를 유지하기 위해 그들 각각의 신호가 분리적으로 샘플 앤 홀드(sample and hold)될 필요가 있다. 샘플 앤 홀드 회로(635)(도 5)는 칼럼 라인(420)에 연결되며 스위치(636)와 2 세트의 캐패시터(637, 638)를 포함한다. 스위치(636)는 칼럼 라인(420)으로부터의 도입 신호가 제1 세트의 캐패시터(637) 또는 제2 세트의 캐패시터(638)로 가야하는지의 여부를 결정한다. 실행 상에서, 각각의 광센서와 관련 판독 회로에 의해 대표되는 각 픽셀은, 2개의 출력 신호들, 공용 플로팅 확산 영역(421a, 421b)이 리셋 트랜지스터(예컨대, 436')에 의해 리셋된 후의 리셋 신호(V_{rst}), 및 집적 기간 동안에 광센서(예컨대, 401)에서 축적된 전하에 의해 생성되는 광센서 신호(V_{sig})를 생성한다. 차분 신호(V_{rst} - V_{sig})는 차동 증폭기(640)에 의해 각 픽셀에 대해 생성된다. V_{rst} - V_{sig}는 픽셀 상에 충돌하는 광량을 나타낸다. 따라서, 각 쌍의 캐패시터(637, 638)는, 2개의 칼럼 인접 픽셀 중 하나에 대해서, 상기 쌍 중 하나의 캐패시터에서 신호(V_{rst})를 수신하고, 상기 쌍의 다른 캐패시터에서 신호(V_{sig})를 수신한다.

[0034] 도 6은 도 5 및 5A에 예시된 어레이(400)의 모범적인 동작을 예시하는 타이밍도이다. 전송 트랜지스터 게이트 신호 라인 TX_ODD, TX_EVEN은, 각각 어레이(400)의 홀수 또는 짝수 픽셀 칼럼에 대한 전송 제어 신호를 나타낸다는 것을 주목해야 한다. 또한, "Row_{xxx}"는 어레이(400)의 로우 번호 "xxx"를 지정하는 데 사용된다. 도 6의 타이밍도가 도 5 및 5A에 묘사된 구조를 구동하는 하나의 모범적인 방식만을 나타내며, 다른 구동 스킴(scheme)도 채용될 수 있다는 것을 주목해야 한다.

[0035] 글로벌 저장 게이트 제어 신호(SG)가 광센서 집적 기간을 종료하면서 하이(high)로 전환되어, 모든 광센서로부터의 전하가 저장 게이트를 통해서 그들 각각의 저장 영역으로 전송된다. 이러한 예에서, 광센서(401)로부터의 전하가 저장 영역(413a)으로 전송되고, 광센서(402)로부터의 전하가 저장 영역(413)으로 전송되며, 광센서(40

3)로부터의 전하가 저장 영역(414)로 전송되고, 광센서(404)로부터의 전하가 저장 영역(414a)로 전송되며, 광센서(405)로부터의 전하가 저장 영역(415a)로 전송되고, 광센서(406)로부터의 전하가 저장 영역(416a)로 전송되며, 광센서(504)로부터의 전하가 저장 영역(415a)로 전송되고, 광센서(505)로부터의 전하가 저장 영역(416a)로 전송된다.

[0036] 그 다음에, 광센서(401, 404)를 포함하는 어레이(400)의 로우(Row₀₀₁)에 대해서, 로우 선택 게이트(427)가 로우 선택 신호(ROW)를 하이로 인가하는 것에 의해 활성화된다. 공용 플로팅 확산 영역(421a, 421b)의 리셋은, 리셋 신호(Reset)로 리셋 트랜지스터(436)의 리셋 게이트(436)를 활성화하는 것에 의해 수행된다. 리셋 상태를 나타내는 신호(Vrst)는 칼럼 라인(420) 상으로 관독되어, 샘플 앤 홀드 회로(635)의 캐패시터 쌍(638)의 Vrst 캐패시터에서 샘플 앤 홀드 리셋 신호(SHR)에 의해 샘플 앤 홀드된다. In_sel 신호는 스위치(636)를 제어하여 칼럼 라인(420)의 신호가 제1 세트의 캐패시터(637) 또는 제2 세트의 캐패시터(638)로 가야하는지의 여부를 결정한다. 로우001(Row₀₀₁)에 대해서, 로(low)인 In_sel이 리셋 신호의 캐패시터 세트(638)(도 5A)의 리셋 신호 캐패시터 내로 저장되는 것을 제어한다. 그 다음, 다음 로우, Row₀₀₂에 대해서, 이 동일한 순서의 단계들이 반복되며, 제2 로우002(Row₀₀₂)에 대해서 적절한 로우 선택(RS)(537), 리셋(Reset)(536), 및 샘플 앤 홀드 리셋(SHR) 신호들을 하이로 전환하여, 로우002(Row₀₀₂)에 대한 플로팅 확산 영역(430)과, 도 5A에는 도시되지 않은, 로우(Row₀₀₃)의 연결된 플로팅 확산 영역의 리셋 상태에 대한 칼럼 라인(420)으로의 리셋 신호를 관독한다. 이때, 그러나, 하이인 In_sel 신호는, 상기 신호를 리셋 캐패시터의 쌍(637)에 저장되게 한다. 그 다음에, 로우 선택 및 샘플 앤 홀드 신호(ROW, SHS)가 로(low)로 복귀한다.

[0037] 다음, 전송 신호(TX_EVEN)가 하이로 전환되어, 2개의 인접한 로우의 짝수 칼럼 전송 트랜지스터 게이트(424)를 활성화한다. 저장 영역(414a)에 저장된 전하는 따라서 전송 트랜지스터(424')를 통해서 플로팅 확산 영역(421a) 내로 전송되며, 전송 트랜지스터 게이트(424)를 “온”으로 전환함으로써 다음 로우(Row₀₀₂)의 광센서(403)에 의해 생성되는 전하에 대해서도 유사하게 적용된다. 다음, 로우001(Row₀₀₁)에 대해서, 제1 로우를 샘플링하기 위해, 신호(ROW)로 로우 선택 트랜지스터(427')를, 그리고 하이 SHS 신호로 샘플 앤 홀드 회로(635)를 활성화하는 것에 의해 픽셀 전압 신호(V_{sig})가 칼럼 라인(420)으로 읽어 들여진다. 이는 In_sel 신호가 로(low)인 동안 이루어져, 스위치(636)를 통해 캐패시터 세트(638)를 선택한다. 관독으로서, 광센서(404) 신호(V_{sig})가 캐패시터 세트(628)의 V_{sig} 캐패시터에 저장된다. 캐패시터 세트(638)가 이제, 리셋 신호(Vrst) 및 광센서(404)에 대응하는 광센서 신호(V_{sig})를 홀드한다. 로우 002(Row₀₀₂)에 대해서, 로우 선택(ROW) 및 샘플 앤 홀드 신호(SHS)의 펄스 인가를 반복하여 이제 픽셀 전압 신호(V_{sig})가 관독된다. 플로팅 확산 영역(430)으로부터, 신호가, 소스 팔로워 트랜지스터 게이트(526)에 의해 로우 선택 트랜지스터(537)를 통해서 칼럼 라인(420) 상으로 생성된다. 이 관독 동안에, 그러나, In_sel 신호가 하이로 복귀하여 로우 002(Row₀₀₂)로부터의 광센서 신호(V_{sig})를 캐패시터 세트(627)의 V_{sig} 캐패시터 내로 저장한다. 로우 선택 및 샘플 앤 홀드 신호(ROW, SHS)는 다시 로(low)로 복귀한다.

[0038] 이러한 모범적인 방법은, 어레이의 홀수 칼럼의 전송 트랜지스터 게이트를 활성화하는 교호적인 전송 트랜지스터 게이트 신호(TX_ODD)를 활용하여, 로우의 모든 다른 칼럼에 대해 동시에 수행된다. 상기 방법은, 이 순서에서 로우들의 각 쌍(예컨대, Row₀₀₁ 및 Row₀₀₂, Row₀₀₃ 및 Row₀₀₄, 등)에 대해서, 신호들이 어레이(400)의 각 픽셀에 대해 관독될 때까지, 반복된다. 이들 동작 단계들은 모범 예일 뿐이며, 본 발명은 결코 이 명세서에 기술된 바와 같은 관독 동작의 방법으로 한정되지 않는다.

[0039] 도 5 및 5A는 또한, 안티블루밍 게이트들(예컨대, 418, 434, 419, 435)(도 5), 및 분류(assort)된 안티블루밍 트랜지스터들을 예시한다. 안티블루밍 트랜지스터의 게이트들은, HDR 라인들(도 5A)의 제어 신호들에 의해 구동되어, 전하 집적 기간 동안에, 대응되는 광센서들(예컨대, 406, 404, 401, 405)에 의해 축적되는 전하량을 제한한다. 안티블루밍 게이트는 집적 기간을 개시시키는 글로벌 리셋 게이트로서 또한 사용될 수 있다.

[0040] 도 7은 본 발명이 픽셀 어레이(605) 내에 채용될 수 있는 CMOS 이미지(600)를 도시한다. CMOS 이미지(600)는, 픽셀 관독을 위해 적절한 로우 및 칼럼 라인을 선택하기 위한 어드레스 디코더(decoder)(615, 625)를 제어하는, 제어 회로(630)에 의해 구동된다. 제어 회로(630)는 또한 로우 및 칼럼 구동 회로(610, 620)를 제어해서, 구동 전압이 선택된 로우 및 칼럼 라인의 구동 트랜지스터로 인가되게 한다. 주목된 바와 같이, 픽셀 출력 신호는, 리셋 트랜지스터에 의해 리셋된 후의 플로팅 확산 영역의 관독된 리셋 신호(Vrst)와, 광-발생 전하

가 저장 게이트에 의해 제어되는 저장 영역으로부터 전송 게이트에 의해 그곳으로 전송된 후의 플로팅 확산영역의 판독된 픽셀 화상 신호(Vsig)를 포함한다. 각 픽셀에 대해서, Vrst 및 Vsig 신호는 샘플 앤 홀드 회로(635)에 의해 샘플링되고, 차동 증폭기(640)에 의해 감산되어, 픽셀에 충돌하는 광량을 나타내는 차분 신호(Vrst-Vsig)를 생성한다. 이 차분 신호는 아날로그-디지털 변환기(645)에 의해 디지털화된다. 디지털화된 픽셀 신호는 디지털 화상 출력을 형성하는 화상 프로세서(650)로 공급된다. 디지털화부 및 화상 처리부는 이미지 칩 상에 또는 외부에 위치될 수 있다. 몇몇의 배열에서는, 차분 신호(Vrst-Vsig)가 차분 신호로서 증폭되어 차동 아날로그-디지털 변환기에 의해 직접적으로 디지털화될 수 있다.

[0041] 도 8은 버스(715)를 통해 입출력(I/O) 장치(710)과 통신하는, 마이크로 프로세서와 같은, 중앙 처리 장치(CPU)를 일반적으로 포함하는, 예컨대, 카메라 시스템인, 촬상 프로세서-기반 시스템(700)을 예시한다. 시스템(700)은 이 명세서에 기술된 본 발명의 실시예들에 따라 구성된 촬상 장치(600)를 또한 포함한다. 이미지(600)는 또한, 버스(715)를 통해 CPU(705)와 통신한다. 프로세서-기반 시스템(700)은 또한, 랜덤 액세스 메모리(RAM)(720)를 포함하고, 버스(715)를 통해 CPU(705)와 또한 통신하는, 플래시 메모리와 같은 탈착 가능 메모리(725)를 포함할 수 있다. 이미지(600)는 단일 집적 회로 또는 프로세서와는 다른 칩 상에 있는 메모리 저장부와 함께 하거나 함께 하지 않는, CPU, 디지털 신호 프로세서, 또는 마이크로프로세서와 같은, 프로세서와 결합될 수 있다.

[0042] 본 발명은 도 5 내지 8에 예시된 실시예들의 픽셀 어레이를 구동하는 방법을 더 포함한다. 상기 방법은, 제1 광센서에서 인가된 광에 응답하여 전하를 생성하는 단계, 제2 광센서에서 인가된 광에 응답하여 전하를 생성하는 단계, 및 제1 및 제2 광센서로부터의 전하를, 상기 제1 및 제2 광센서에 각각 연결된 공용 제1 저장 게이트를 갖는 제1 및 제2 트랜지스터를 가진 제1 및 제2 저장 영역에 각각 저장하는 단계를 포함한다. 상기 제1 및 제2 광센서는 칼럼으로 인접한다.

[0043] 상기한 공정 및 장치들은, 바람직한 방법들과, 사용 및 제조될 수 있는 많은 일반적인 장치들을 예시한다. 상기한 상세한 설명 및 도면은, 본 발명의 목적, 특징, 및 장점을 달성하는 실시예들을 예시한다. 그러나, 본 발명을 상기 및 예시한 실시예들로 엄격히 제한하려고 의도한 것은 아니다. 예컨대, 본 발명이 판독 회로의 4-픽셀 공유와, 저장 및 전송 게이트의 2-픽셀 공유를 갖는 픽셀 어레이를 참조해서만 논의되었을 지라도, 여타 다-픽셀 공유 어레이도 또한 본 발명의 권리범위에 속하는 것으로 의도되었다. 또한, 후술하는 청구범위의 사상 및 권리범위에 속하는 본 발명의 어떠한 변형도, 현재 예시할 수 없는 것일지라도, 본 발명의 일부로 간주되어야 할 것이다.

도면의 간단한 설명

[0010] 본 발명의 상기한 양태 및 다른 양태는, 첨부 도면들과 관련하여 제공되는 본 발명의 후술되는 상세한 설명으로부터 보다 잘 이해될 것이다.

[0011] 도 1은 종래의 CMOS 픽셀 셀의 평면도이다.

[0012] 도 2는 1-1' 라인을 따라 취해진, 도 1의 픽셀 셀의 단면도이다.

[0013] 도 3은 도 1 및 2의 종래 CMOS 픽셀의 회로도이다.

[0014] 도 4는 관련 게이트를 가진 저장 및/또는 안티-블루밍 트랜지스터를 채용한 종래의 CMOS 픽셀의 회로도이다.

[0015] 도 5는 본 발명의 모범적인 실시예에 따라 구성된 픽셀 어레이의 일부의 평면도이다.

[0016] 도 5A는 본 발명의 모범적인 실시예에 따라 구성된 픽셀 어레이의 일부의 배선도이다.

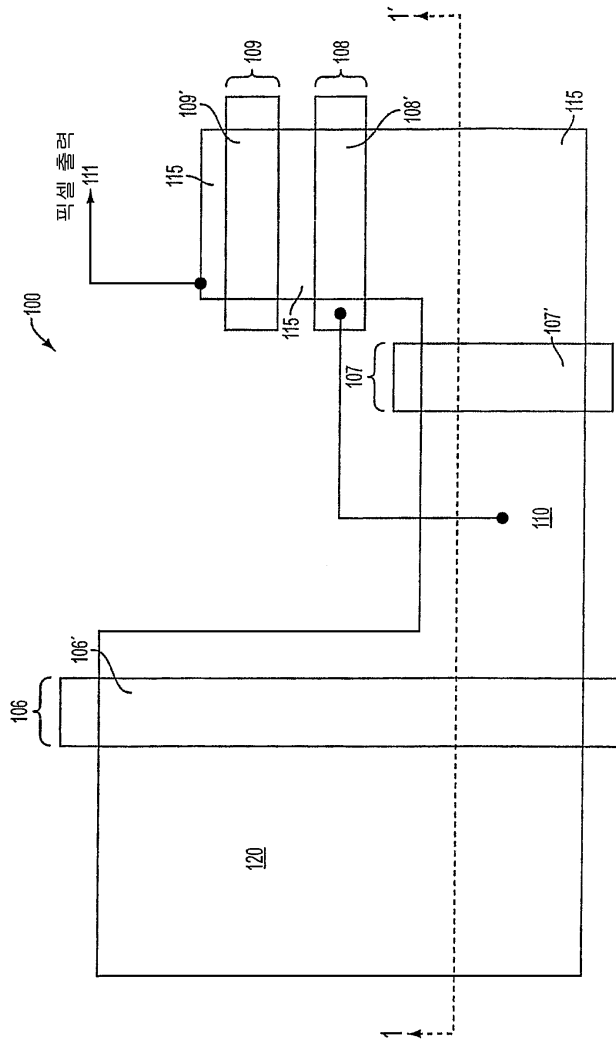
[0017] 도 6은 본 발명의 모범적인 실시예에 따라 구성된 픽셀 어레이를 구동하는 모범적인 방법을 예시한 타이밍도이다.

[0018] 도 7은 본 발명에 따라 구성된 어레이의 픽셀 셀을 갖는 CMOS 이미지 칩의 블록도이다.

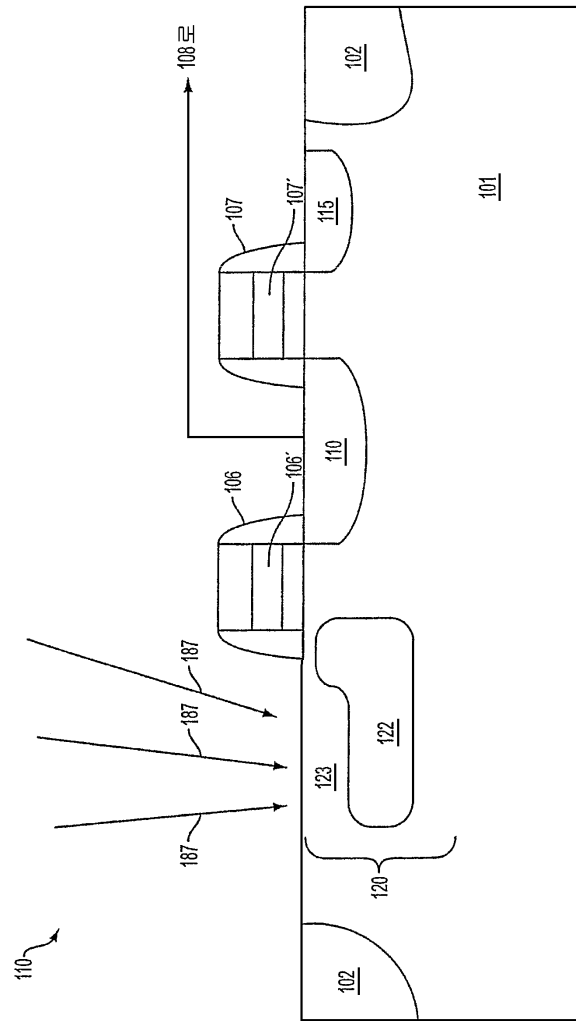
[0019] 도 8은 본 발명에 따라 구성된 CMOS 이미지를 채용한 처리 시스템의 개략도이다.

도면

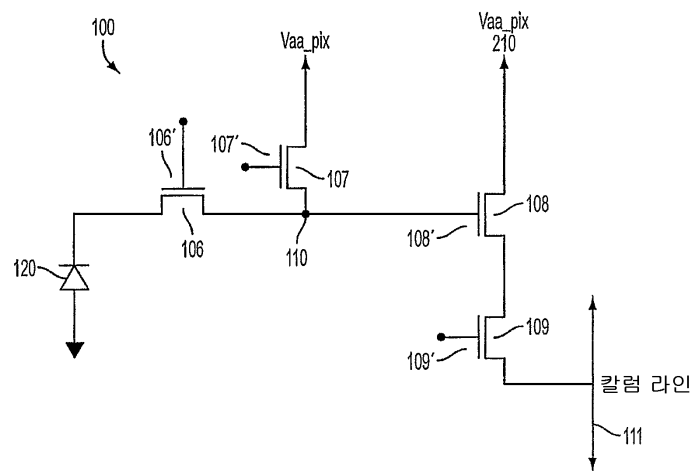
도면1



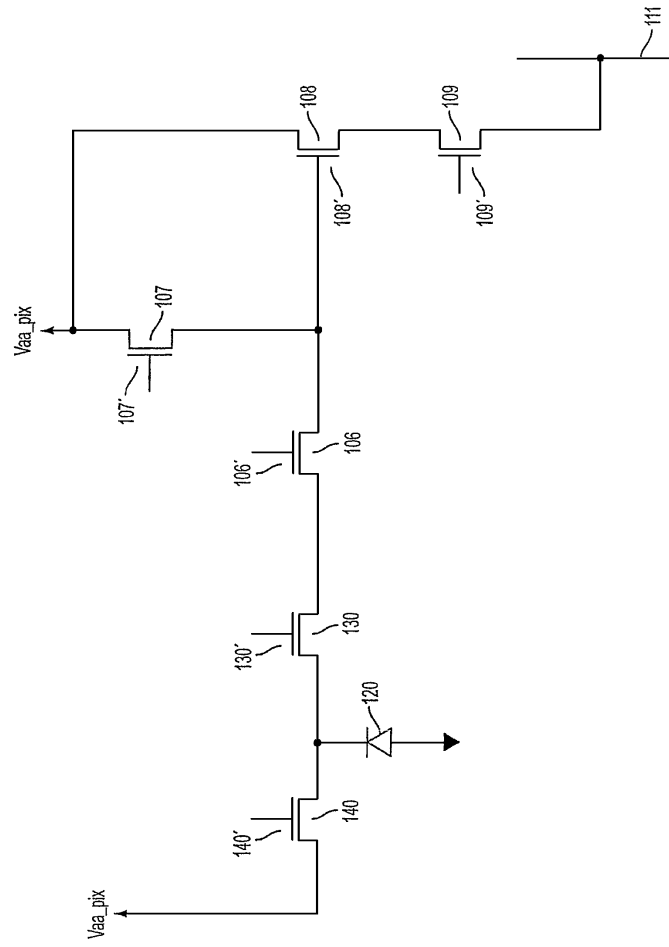
도면2



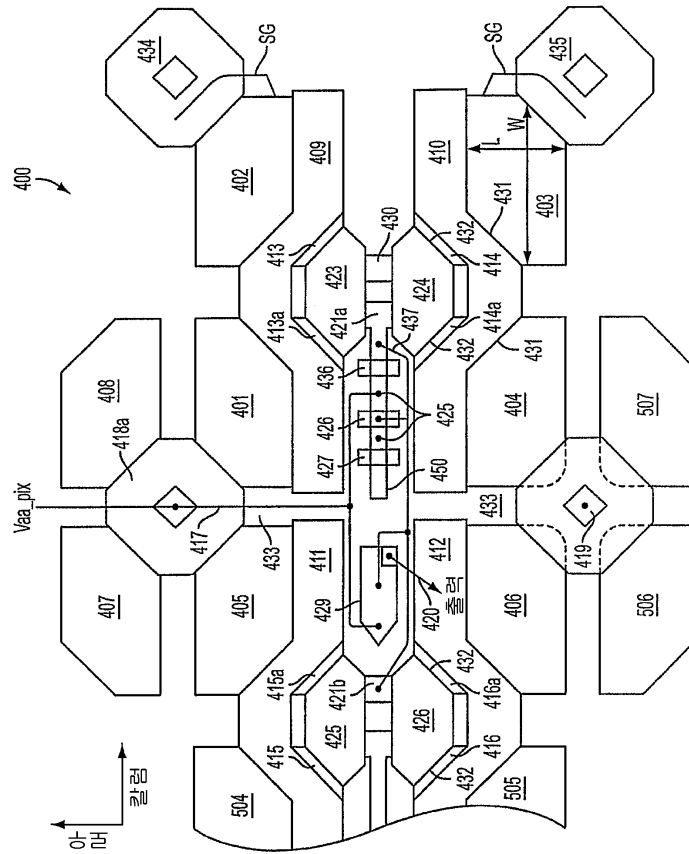
도면3



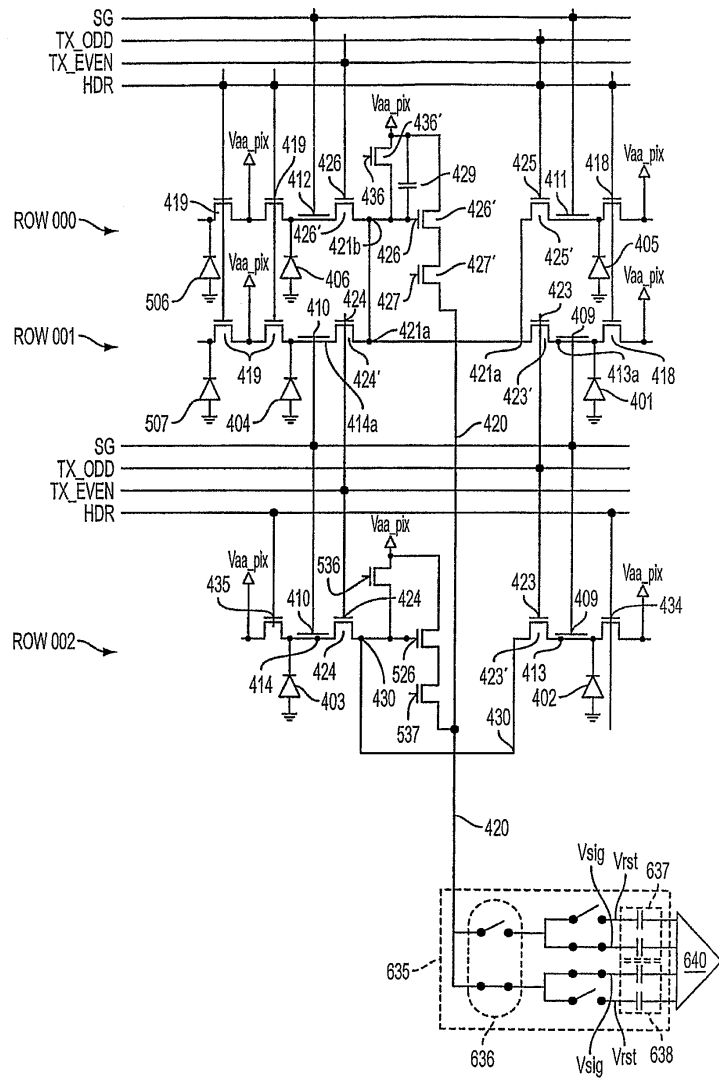
도면4



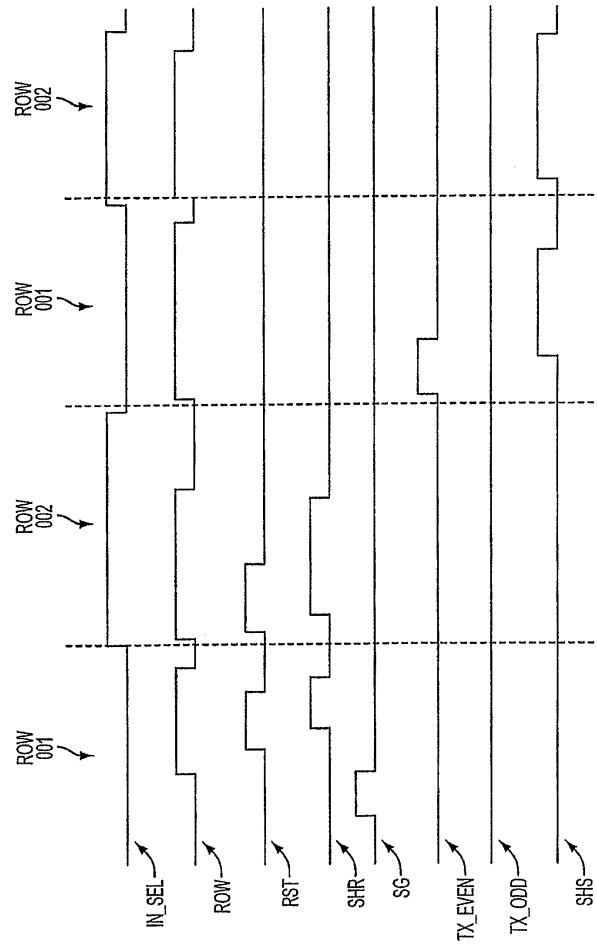
도면5



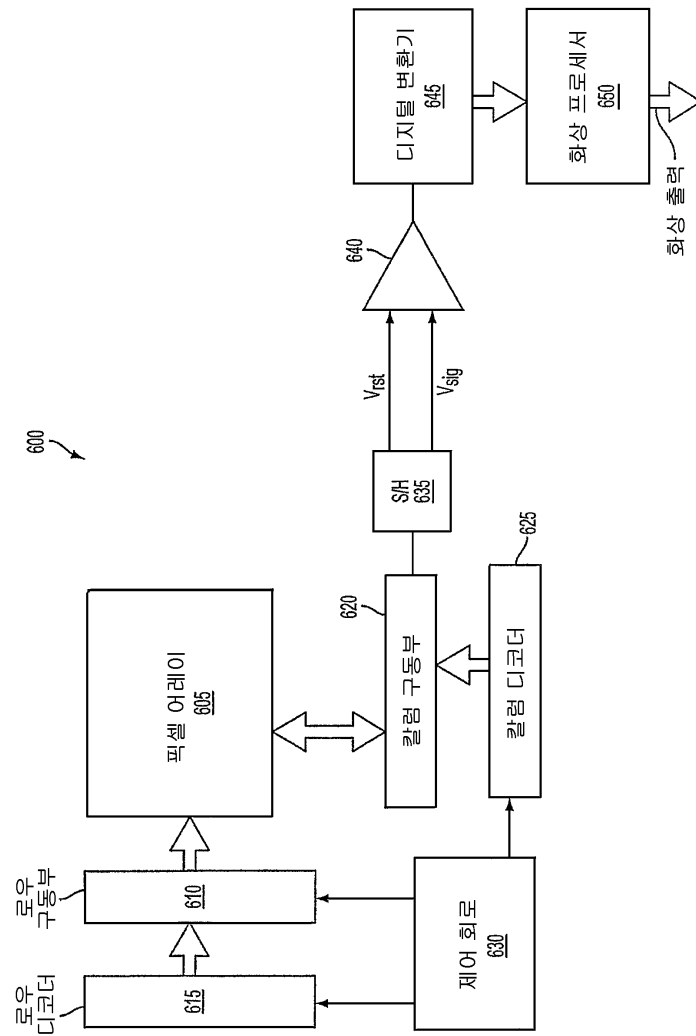
도면5A



도면6



도면7



도면8

