

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4656212号
(P4656212)

(45) 発行日 平成23年3月23日 (2011. 3. 23)

(24) 登録日 平成23年1月7日 (2011. 1. 7)

(51) Int. Cl.	F I		
HO 1 L 23/12 (2006. 01)	HO 1 L 23/12	3 O 1 Z	
HO 1 P 5/02 (2006. 01)	HO 1 P 5/02	6 O 3 D	
HO 5 K 1/02 (2006. 01)	HO 5 K 1/02	L	

請求項の数 1 (全 16 頁)

(21) 出願番号	特願2008-214553 (P2008-214553)	(73) 特許権者	000002185
(22) 出願日	平成20年8月22日 (2008. 8. 22)		ソニー株式会社
(65) 公開番号	特開2010-21505 (P2010-21505A)		東京都港区港南1丁目7番1号
(43) 公開日	平成22年1月28日 (2010. 1. 28)	(74) 代理人	100082131
審査請求日	平成21年7月16日 (2009. 7. 16)		弁理士 稲本 義雄
(31) 優先権主張番号	特願2008-156048 (P2008-156048)	(74) 代理人	100121131
(32) 優先日	平成20年6月13日 (2008. 6. 13)		弁理士 西川 孝
(33) 優先権主張国	日本国 (JP)	(72) 発明者	菊地 正人
			東京都港区港南1丁目7番1号 ソニー株式会社社内
		(72) 発明者	望月 俊助
			東京都港区港南1丁目7番1号 ソニー株式会社社内

最終頁に続く

(54) 【発明の名称】 接続方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に、誘電体によって構成され、斜面が形成された端部を有する電子部品を実装するときの、前記基板上の第1の線路と、前記電子部品の上面上の、前記第1の線路より幅の広い第2の線路との接続方法であって、

信号が流れる高さの異なる2点間である、高さの高い方の1点である前記電子部品の上面上の前記第2の線路の1点と、高さの低い方の1点である前記基板上の前記第1の線路の1点との間を、前記第2の線路との接続部から前記第1の線路との接続部に向かって幅が直線的に変化する、前記斜面に沿って配設した線路によって接続する

接続方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、接続方法に関し、例えば基板に電子部品を実装する際に、接続部でのインピーダンス不整合による反射を低減し、信号品質を良好に保つことができるようにした接続方法に関する。

【背景技術】

【0002】

部品間や基板間の接続構造は大きく次の2種類に分けられる。同軸ケーブルのような完全遮蔽の構造と、基板上の配線のような、信号線間に誘導容量が存在するオープン構造で

ある。

【0003】

後者のオープン構造は、クロストークや電磁障害の点で同軸構造に劣るものの、一般のプリント配線基板を見てもわかるように、設計・製造・検査・接続性といった工業的コストに優れた現実的な構造である。

【0004】

しかし、オープン構造の線路形状では、高速な信号を扱う際に伝送信号の劣化が大きな問題となる。特に、図1に示されるような、基板上に表面実装される電子部品と基板の接続部では、インピーダンス不整合による反射波の影響により、伝送信号が減衰・劣化しやすい。

10

【0005】

配線をマイクロストリップ等の線路構造にすることでインピーダンスを調整し、高速信号に対応することは可能である。しかし、高さの異なる層間・基板間・部品間の実装の際には、図2に示されるように部品側から端子部分を足のように出したり、図3に示されるようにはんだボールからビアを通したりして、基板上の配線と接続する必要がある。従って、図1に示されるような、部品と基板の接続部では、インピーダンスの調整が可能な線路構造を保てず、信号品質の劣化が避けられなくなっている。

【0006】

接続部でのインピーダンスの調整方法として、特許文献1に開示されているような方法がある。

20

【特許文献1】特開2000-216510号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

引用文献1に開示されている方法では、基板と接続されるコネクタのインダクタンス要因により伝送信号に発生する波形歪みを低減することができるが、そのために同軸状のスルーホールを接続部周辺に形成する必要があった。

【0008】

従って、例えば基板端面ではこの方法が使えないといった配置上の問題や、高密度配線時におけるスペースの問題などが発生しやすく、配線の高密度化・部品の小型化といった近年の技術傾向に対応しにくかった。

30

【0009】

本発明はこのような状況に鑑みてなされたものであり、例えばRF(Radio Frequency)信号などの高速な信号を扱う基板に電子部品を実装する際に、接続部でのインピーダンス不整合による反射を低減し、信号品質を良好に保つことができるようにするものである。

【課題を解決するための手段】

【0010】

本発明の一側面の接続方法は、基板上に、誘電体によって構成され、斜面が形成された端部を有する電子部品を実装するときの、前記基板上の第1の線路と、前記電子部品の上面上の、前記第1の線路より幅の広い第2の線路との接続方法であって、信号が流れる高さの異なる2点間である、高さの高い方の1点である前記電子部品の上面上の前記第2の線路の1点と、高さの低い方の1点である前記基板上の前記第1の線路の1点との間を、前記第2の線路との接続部から前記第1の線路との接続部に向かって幅が直線的に変化する、前記斜面に沿って配設した線路によって接続する方法である。

40

【0018】

本発明においては、信号が流れる高さの異なる2点間である、高さの高い方の1点である電子部品の上面上の第2の線路の1点と、高さの低い方の1点である基板上の第1の線路の1点との間が、前記第2の線路との接続部から前記第1の線路との接続部に向かって幅が直線的に変化する、斜面に沿って配設した線路によって接続される。

【発明の効果】

50

【 0 0 1 9 】

本発明によれば、例えば基板に電子部品を実装する際に、接続部でのインピーダンス不整合による反射を低減し、信号品質を良好に保つことができる。

【 発明を実施するための最良の形態 】

【 0 0 2 0 】

〔 接続方式について 〕

図 4 は、本発明の一実施形態に係る接続方式により接続された基板 1 と表面実装部品 2 を含む構成の例を示す斜視図である。図 5 は、図 4 に示される構成の断面図であり、図 6 は、図 4 に示される構成を真上から見た正面図である。

【 0 0 2 1 】

一般的に、プリント配線基板上に部品を実装するためには、デバイスに金属の足をつけて電氣的に接続する方法などがとられるが（図 1、図 2 参照）、この接続方式で接続された基板 1 と表面実装部品 2 の接続部は、図 4 において点線で囲んで示すように、表面実装部品 2 の上面（基板 1 の面と平行な面）から線路形状のまま引き出された末端と、基板 1 上に配設された線路 1 A が接続される形で構成される。

【 0 0 2 2 】

この接続方式の特徴は、図 5 の点線で囲んで示すように、表面実装部品 2 の誘電体端 2 A を斜めに形成することで、その斜面に沿って誘電体上に配線された金属の伝送線路を徐々に基板 1 に近づけながら、基板 1 と表面実装部品 2 を接続することにある。この例においては、垂直方向の断面が台形になるような形状を表面実装部品 2 は有している。

【 0 0 2 3 】

このとき、表面実装部品 2 側のマイクロストリップラインのライン幅は、その電氣的特性と幾何学的形状から求まる特性インピーダンスにより調整される。図 4、図 6 に示されるように、この例においては、基板 1 に近づくほど、すなわち、基板 1 の高さを基準としたときの高さが低く、表面実装部品 2 の斜面の誘電体の厚さが薄い位置ほど、ライン幅が狭くなっている。図 4、図 6 の例においては、誘電体端 2 A 上に配設された線路の、基板 1 上の線路 1 A との接続部における幅は、線路 1 A の幅と同じ幅になっている。

【 0 0 2 4 】

このように、ライン幅と誘電体厚を徐々に変化させることで、接続部の特性インピーダンスを調整しながら、基板 1 と表面実装部品 2 を接続することができ、その接続部での特性インピーダンスの不連続変化を無くし、反射成分を低減することができる。この、接続部での特性インピーダンスの不連続変化を無くし、反射成分を低減することができることのイメージを図 7 に示す。図 7 の上段にある特性インピーダンスの不整合のイメージを示す図において、その凹部は、電子部品と基板を接続する図 1、図 2、図 3 に示される端子の、電子部品にも基板にも接していない部分（中空に浮いている部分）の特性インピーダンスを表す。

【 0 0 2 5 】

なお、マイクロストリップラインにおける特性インピーダンスは、図 10 A、B に示されるように導体材料の幅（ライン幅）を W 、誘電体厚を d とすると下式（1 A）、（1 B）、（2 A）、（2 B）により求まることが一般に知られている。

【数 1】

・ $\frac{W}{d} < 1.0$ の時

$$Z_0 = \frac{60}{\sqrt{\epsilon_e}} \cdot \ln \left(\frac{8d}{W} + \frac{W}{4d} \right) \quad \dots (1A)$$

$$\epsilon_e = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \cdot \left[\frac{1}{\sqrt{1 + \frac{12d}{W}}} + 0.04 \left(1 - \frac{W}{d} \right)^2 \right] \quad \dots (1B)$$

【数 2】

・ $\frac{W}{d} \geq 1.0$ の時

$$Z_0 = \frac{120\pi}{\sqrt{\epsilon_e}} \cdot \left[\frac{W}{d} + 1.393 + 0.667 \cdot \ln \left(\frac{W}{d} + 1.444 \right)^{-1} \right] \quad \dots (2A)$$

$$\epsilon_e = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \cdot \frac{1}{\sqrt{1 + \frac{12d}{W}}} \quad \dots (2B)$$

但し Z_0 : 特性インピーダンス、 ϵ_e : 実効比誘電率、 ϵ_r : 比誘電率
 W : ライン幅、 d : 誘電体厚

【0026】

マイクロストリップライン構造を採用した場合の特性インピーダンスの計算結果を図 11 に示す。

【0027】

その他、図 12 に示されるような代表的な線路形状についても、線路の電気特性値と断面形状から特性インピーダンスを求めるための一般式が存在する。図 12 には、基板と電子部品の接続部を構成する線路として、ストリップライン、マイクロストリップライン、ストリップライン、コープレーナーライン、平行線が示されている。

【0028】

図 8 は、基板 1 と表面実装部品 2 の接続部を構成する線路としてコープレーナーラインを用いた場合の例を示す図である。このように、接続部を構成する線路としてコープレーナーラインを用いることもできる。図 9 A は、図 8 において点線で囲む部分の断面図であり、図 9 B は図 8 の電子部品の上面の正面図である。図 8 の例においては、斜面上に配設された線路は、基板の線路との接続部に近づくにつれて幅が広くなるように形成されている。

【0029】

10

20

30

40

50

基板 1 の構成材料としては、一般の基板材料が使用される。導体部には金属導体、例えば銅などが用いられる。誘電体部には、例えばフェノール・ガラスエポキシ樹脂・アルミナ・テフロン（登録商標）などが用いられる。

【 0 0 3 0 】

以上のような接続方式は、アンテナやLSIなど、基板上に表面実装する電子部品全般を基板上に接続する場合に応用できる。以下、適宜、以上のように、表面実装部品 2 を構成する誘電体の側面の少なくとも一部を斜面として形成し、その斜面に沿って導体を配線することで電子部品と基板上の配線を接続させる接続方式を単に本接続方式という。

【 0 0 3 1 】

本接続方式により、RF(Radio Frequency)信号などの高速な信号を扱う基板にアンテナやフィルタ回路などの電子部品を表面実装する際に、接続部でのインピーダンスの不整合による反射を低減し、信号品質を良好に保つことが可能になる。なお、ここでの高速な信号とは、伝送信号の最大周波数の波長の1/10を越えるような接続長、もしくは配線長を持つ場合の信号を指す。

【 0 0 3 2 】

[接続線路の構造について]

図 1 2 を参照して説明したように、接続線路の構造は、分布定数回路として扱うことができ、インピーダンスの調整ができるものであれば、マイクロストリップライン、ストリップライン、コープレーナライン、平行線などでも良い。

【 0 0 3 3 】

また、電気的に連続変化するようなものであれば、接続部の線路幅の物理的な形状は非連続なものであってかまわない。接続部の線路幅を決める際、伝送周波数の波長に対する線路長でのインピーダンス変化率が目安となる。

【 0 0 3 4 】

接続部の構成は、図 4 のように表面実装部品 2 の側面を構成する誘電体端 2 A 全体を斜めに構成しないでも、図 1 3 に示されるように側面の一部を斜めにするようにして構成し、その斜面上に、幅を調整した線路を配線するようによいし、図 1 4 に示されるようにスルーホールを端面に斜めに空け、その内側に、幅を調整した線路を配線するようによい。

【 0 0 3 5 】

本接続方式により接続できる表面実装部品 2 としては、アンテナ回路の他、図 1 5 A 乃至 D に示されるような、フィルタ回路、共振回路、ミキサ回路、スプリッタ回路等のさまざまな部品を用いることができる。

【 0 0 3 6 】

また、本接続方式は、プリント配線基板と表面実装部品の接続だけでなく、部品同士の配線、基板同士の配線、部品内部の配線、多層基板の配線、半導体配線などにも応用が可能である。例えば、多層基板内や部品内の配線、半導体パッケージ内の配線接続にも、効果があると考えられる。

【 0 0 3 7 】

本接続方式を採用することにより、

1 . 配線間のインピーダンス不整合による信号劣化を改善できる。特にRF回路などの高速な信号を扱う基板と部品の間での接続などに有効である。

2 . マイクロストリップラインやコープレーナラインなどの単純な線路構造で実現でき、余分な回路・コネクタ等を必要としない。

3 . フィルタやアンテナなどの表面実装部品だけでなく、信号線間に誘導容量が存在するような部品全般（多層基板内配線、半導体パッケージなど）に応用できる。

【 0 0 3 8 】

[本接続方式の補足説明]

上記 1 . を補足するため、伝送信号の劣化を電磁界シミュレーションにより解析した結果について説明する。

10

20

30

40

50

【 0 0 3 9 】

単純なマイクロストリップラインモデルを図 1 6、図 1 7 に示す。図 1 6 は、モデルを三次元的に示す図である。図 1 7 A は、図 1 6 のモデルの正面図であり、図 1 7 B は、図 1 6 のモデルの断面図である。

【 0 0 4 0 】

このモデルは信号線路・誘電体基板・GNDで構成される（GND層と誘電体層からなる基板上に信号線路が配設されることによって構成される）。伝送信号の劣化をシミュレーションするため、テスト信号を入力ポートから入力し、伝送された信号を出力ポートで観測する。評価には、S-parameterをdB（デシベル）表記した値が一般に用いられるため、ここでは、次の式（3）で表現されるS-parameterを S_{21} として用いる。

$$S_{21} = \log_{10}(\text{出力信号} / \text{入力信号}) [\text{dB}] \quad \dots \quad (3)$$

【 0 0 4 1 】

伝送シミュレーション結果を図 1 8 に示す。図 1 8 の横軸は周波数[GHz]、縦軸は S_{21} [dB]を示すが、周波数が増えるにつれ S_{21} はわずかに低下する。線路モデルの材料は均質で、かつ断面形状が一定のため、劣化の原因は主に基板内を伝送する信号の誘電損失によると考えられる。よって、インピーダンス整合がされた理想に近い状態であるこのモデルにおいて、伝送劣化はおおよそ $-1 \text{ dB} @ 10 \text{ GHz}$ といえる。

【 0 0 4 2 】

次に、一般の接続方式と、本接続方式を用いたシミュレーション結果について説明する。

【 0 0 4 3 】

図 1 9 は、高さの異なる基板間を本接続方式で接続したモデルを示す。図 2 0、図 2 1 は、それぞれ、高さの異なる基板間をスルーホール、ワイヤボンディングを使って接続したモデルを示す。

【 0 0 4 4 】

図 2 2、図 2 3 は、図 1 9、図 2 0、図 2 1 に示されるモデルの条件を示す図である。

【 0 0 4 5 】

図 1 9、図 2 0、図 2 1 に示されるモデルは、図 2 2 において点線で囲んで示す、基板 A の信号線路 A 上の位置 P_1 と、基板 A（誘電体 A）に重ねて配置された基板 B の信号線路 B 上の位置 P_2 の間を、それぞれ、本接続方式、スルーホール、ワイヤボンディングで接続したものである。

【 0 0 4 6 】

GND面 A に誘電体 A が積層され、誘電体 A 上の入力側に信号線路 A が配設されることによって構成される基板 A と、GND面 B に誘電体 B が積層され、誘電体 B 上に信号線路 B が配設されることによって構成される基板 B の諸条件を図 2 3 に示す。

【 0 0 4 7 】

図 2 3 の条件においては、信号線路 A と B の線路幅が 3.2 mm 、高さが 0.2 mm とされ、信号線路 A と B の線路長の合計が 30 mm とされている。誘電体 A と B の高さが 1.6 mm 、誘電率が $7.1 \times 10^{-12} [\text{F/m}]$ 、 10 GHz の信号を流したときの誘電損失が 0.005 とされている。

【 0 0 4 8 】

図 2 3 に示されるような条件下で行った、各接続方式によるシミュレーション結果を図 2 4 に示す。図 2 4 の横軸は周波数[GHz]、縦軸は S_{21} [dB]を示す。また 3 GHz 、 6 GHz 、 10 GHz の各周波数における S_{21} [dB]の値を図 2 5 に示す。

【 0 0 4 9 】

図 2 4、図 2 5 に示される結果から、本接続方式の伝送信号の劣化は、3つのモデルの中で最も小さいことが分かる。また、本接続方式を用いたモデルのシミュレーション結果は、図 1 8 に示される理想的なモデルのシミュレーション結果に最も近いものになっている。特に高周波数になるにつれ、本接続方式と他の方式で特性の差が現われていることがわかる。これらの結果から、本接続方式を用いることで、信号劣化改善に効果があると考えられる。

10

20

30

40

50

【 0 0 5 0 】

電子部品側の線路と基板側の線路の接続例

次に、基板側の線路との接続部付近の電子部品側の線路の形状について説明する。

【 0 0 5 1 】

[本願発明の実施例]

図 2 6 A は第 1 の形状を示す正面図であり、図 2 6 B は、図 2 6 A に示される構成の断面図である。

【 0 0 5 2 】

図 2 6 A、図 2 6 B に示される第 1 の形状は、図 4 乃至図 6 を参照して説明したものと
10
同じ形状である。すなわち、図 2 6 B に示されるように、電子部品の端部に斜面が形成され、この斜面に沿って、電子部品側の線路の一部である線路 2 1 B が配設されている。線路 2 1 B の各位置における電子部品側の誘電体 2 2 の厚さは、基板側の線路 1 1 との接続部に近づくにつれて直線的に薄くなる。

【 0 0 5 3 】

線路 2 1 B を真上から見たときの形状は、図 2 6 A に示されるように、線路 2 1 B の長さ方向の軸を中心として対称に、各位置における誘電体 2 2 の厚さに応じて、幅 W_2 から幅 W_1 の間で幅が直線的に変化するような形状とされている。幅 W_1 は電子部品側の誘電体 2 2 の上面に配設された線路 2 1 A の幅であり、幅 W_2 は基板側の誘電体 1 2 に配設された線路 1 1 A の幅である。

【 0 0 5 4 】

[参考例 1]

図 2 7 A は第 2 の形状を示す正面図であり、図 2 7 B は、図 2 7 A に示される構成の断面図である。

【 0 0 5 5 】

この形状の例においては、図 2 7 B に示されるように、電子部品の端部には段が 5 段形成され、この段に沿って、電子部品側の線路の一部である線路 2 1 B が配設されている。線路 2 1 B の各位置における電子部品側の誘電体 2 2 の厚さは、基板側の線路 1 1 との接続部に近づき、基板からの段数が少なくなるにつれて段階的に薄くなる。

【 0 0 5 6 】

線路 2 1 B を真上から見たときの形状は、図 2 7 A に示されるように、線路 2 1 B の長さ方向の軸を中心として対称に、各位置における誘電体 2 2 の厚さに応じて、幅 W_2 から幅 W_1 の間で幅が段階的に変化するような形状とされている。

【 0 0 5 7 】

[参考例 2]

図 2 8 A は第 3 の形状を示す正面図であり、図 2 8 B は、図 2 8 A に示される構成の断面図である。

【 0 0 5 8 】

この形状の例においては、図 2 8 B に示されるように、電子部品の端部に断面がほぼ扇形の曲面が形成され、この曲面に沿って、電子部品側の線路の一部である線路 2 1 B が配設されている。線路 2 1 B の各位置における電子部品側の誘電体 2 2 の厚さは、基板側の
40
線路 1 1 との接続部に近づくにつれて薄くなる。

【 0 0 5 9 】

線路 2 1 B を真上から見たときの形状は、図 2 8 A に示されるように、線路 2 1 B の長さ方向の軸を中心として対称に、幅 W_2 から幅 W_1 の間で幅が所定の割合で変化するような形状とされている。

【 0 0 6 0 】

[参考例 3]

図 2 9 A は第 4 の形状を示す正面図であり、図 2 9 B は、図 2 9 A に示される構成の断面図である。

【 0 0 6 1 】

10

20

30

40

50

図29Aに示される形状は、図26Aを参照して説明した形状と同じ形状である。線路21Bの形状は、線路21Bの長さ方向の軸を中心として対称に、各位置における誘電体22の厚さに応じて、幅 W_2 から幅 W_1 の間で幅が直線的に変化するような形状とされている。

【0062】

図29Bに示される形状は、図27Bを参照して説明した形状と同じ形状である。電子部品の端部には段が5段形成され、この段に沿って、電子部品側の線路の一部である線路21Bが配設されている。線路21Bの各位置における電子部品側の誘電体22の厚さは、基板側の線路11との接続部に近づき、基板からの段数が少なくなるにつれて段階的に薄くなる。

10

【0063】

[参考例4]

図30Aは第5の形状を示す正面図であり、図30Bは、図30Aに示される構成の断面図である。

【0064】

図30Aに示される形状は、図27Aを参照して説明した形状と同じ形状である。線路21Bの形状は、線路21Bの長さ方向の軸を中心として対称に、各位置における誘電体22の厚さに応じて、幅 W_2 から幅 W_1 の間で幅が段階的に変化するような形状とされている。

【0065】

20

図30Bに示される形状は、図26Bを参照して説明した形状と同じ形状である。電子部品の端部には斜面が形成され、この斜面に沿って、電子部品側の線路の一部である線路21Bが配設されている。線路21Bの各位置における電子部品側の誘電体22の厚さは、基板側の線路11との接続部に近づくとつれて直線的に薄くなる。

【0066】

[参考例5]

以上においては、電子部品の誘電体層が1層である場合について説明したが、誘電体層が多層である場合であっても、同様にして電子部品上の線路と基板上の線路とを接続させることが可能である。

【0067】

30

図31は、電子部品の誘電体層が2層である場合の接続の例を示す斜視図である。図26等に示される構成と同じ構成には同じ符号を付してある。

【0068】

図31の例においては、電子部品を構成する誘電体層として誘電体22A, 22Bが重ねて用いられている。上側の層である誘電体22Bの上面に線路21Aが配設され、斜面に線路21Bが配設されている。誘電体22A, 22Bの間にはGND面31が挟まれている。

【0069】

また、図31の例においては、誘電体22Bの斜面に配設された線路21Bの幅が一定の幅とされている。GND面31を設け、線路21Bが配設されている斜面上における誘電体22Bの厚さを調整することで、このように、線路21Bの幅を一定にすることが可能になる。

40

【0070】

図32は、図31に示される構成の断面図である。

【0071】

図32に示されるように、誘電体22Aの斜面は、基板面に対して誘電体22Bの斜面と同じ角度を有している。誘電体22Aの上面と斜面の境界の真上にあたる位置 P_{11} から、誘電体22Aの斜面と基板の境界の真上にあたる位置 P_{12} まで、線路21Bの各位置における誘電体22Bの厚さが一定になるようにGND面31によって調整されている。位置 P_{12} から基板との接続部に向かうにつれて、誘電体層の厚さは徐々に薄くなる。

50

【0072】

このように、線路が配設される誘電体層の数を複数とすることも可能である。また、電子部品上の線路と、その電子部品が取り付けられる基板上の線路を接続する場合だけでなく、基板上の線路と他の基板上の線路を接続する場合など、高さの異なる2点間を接続するものであれば様々なケースに本接続方式は適用可能である。

【0073】

[応用例]

図33は、本接続方式を半導体パッケージの接続に用いた場合の例を示す斜視図である。

【0074】

図33の例においては、基板51上に半導体パッケージ61が取り付けられ、その上に、LSI(Large Scale Integration)などのチップ部品62が実装されている。半導体パッケージ61とチップ部品62は、いずれも垂直方向の断面が台形になるような形状を有している。チップ部品62の上面には複数の電極62Aが露出して設けられている。

【0075】

電極62Aからチップ部品62の上面に配設される線路と、半導体パッケージ61の上面の線路の間の配線63、および、半導体パッケージ61の上面の線路と基板上の線路の間の配線64にも、上述したような本接続方式による配線を適用することが可能である。

【0076】

本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【図面の簡単な説明】

【0077】

【図1】電子部品と基板の従来接続方式を示す図である。

【図2】従来の表面実装部品の構造を示す図である。

【図3】従来の他の表面実装部品の構造を示す図である。

【図4】本発明の一実施形態に係る接続方式により接続された基板と表面実装部品を含む構成の例を示す図である。

【図5】図4に示される構成の断面図である。

【図6】図4に示される構成を真上から見た図である。

【図7】インピーダンスの不連続変化を無くすことのできるイメージを示す図である。

【図8】接続部を構成する線路としてコープレーナラインを用いた場合の例を示す図である。

【図9】図8の点線部分を示す図である。

【図10】マイクロストリップラインを示す図である。

【図11】マイクロストリップライン構造を採用した場合の特性インピーダンスの計算結果を示す図である。

【図12】基板と電子部品の接続部を構成する線路の例を示す図である。

【図13】接続部の他の構成例を示す図である。

【図14】接続部のさらに他の構成例を示す図である。

【図15】表面実装部品の例を示す図である。

【図16】マイクロストリップラインモデルを示す図である。

【図17】図16のモデルの正面図と断面図である。

【図18】伝送シミュレーション結果を示す図である。

【図19】高さの異なる基板間を本接続方式で接続したモデルを示す図である。

【図20】高さの異なる基板間をスルーホールを使って接続したモデルを示す図である。

【図21】高さの異なる基板間をワイヤボンディングを使って接続したモデルを示す図である。

【図22】モデルの条件を示す図である。

【図23】モデルの条件を示す他の図である。

10

20

30

40

50

- 【図24】シミュレーション結果を示す図である。
- 【図25】3 GHz、6 GHz、10 GHzの各周波数におけるS₂₁成分を示す図である。
- 【図26】電子部品側の線路の形状の例を示す図である。
- 【図27】電子部品側の線路の形状の他の例を示す図である。
- 【図28】電子部品側の線路の形状のさらに他の例を示す図である。
- 【図29】電子部品側の線路の形状の例を示す図である。
- 【図30】電子部品側の線路の形状の他の例を示す図である。
- 【図31】電子部品の誘電体層が2層である場合の接続の例を示す斜視図である。
- 【図32】図31に示される構成の断面図である。
- 【図33】本接続方式を半導体パッケージの接続に用いた場合の例を示す斜視図である。

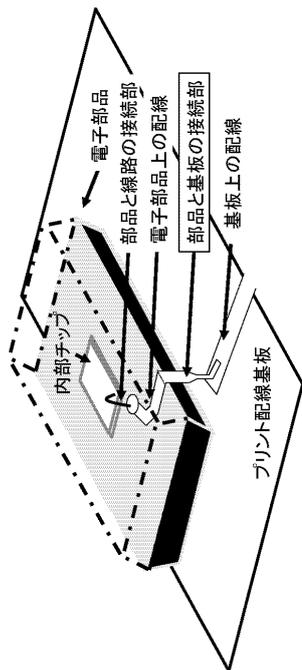
【符号の説明】

【0078】

- 1 基板,
- 2 表面実装部品

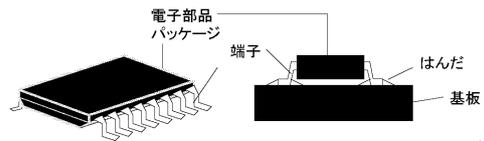
【図1】

図1



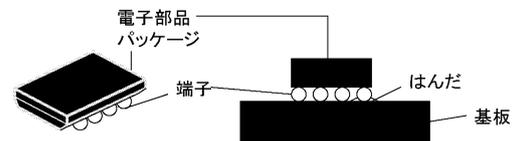
【図2】

図2



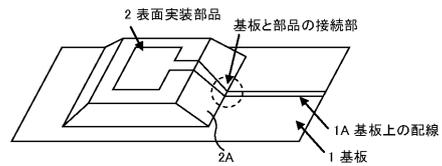
【図3】

図3



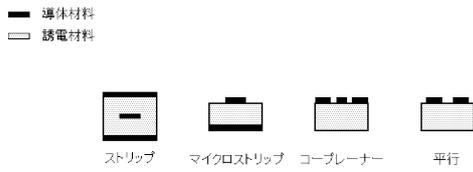
【図4】

図4



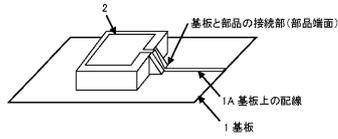
【図12】

図12



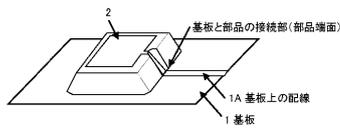
【図13】

図13



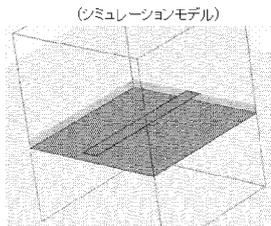
【図14】

図14



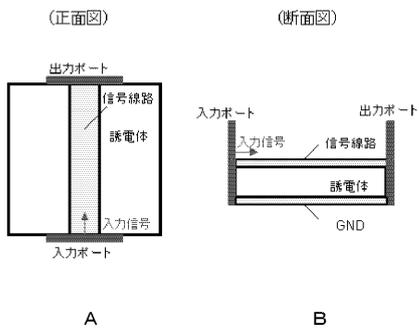
【図16】

図16



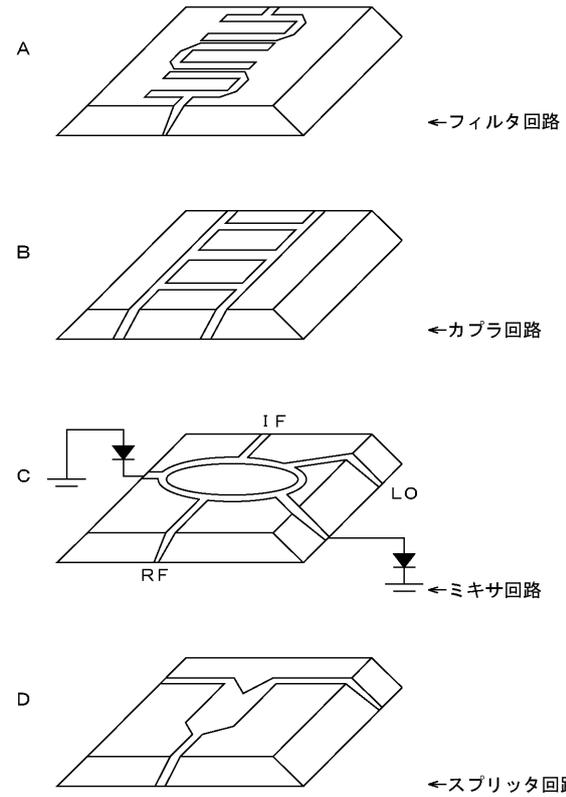
【図17】

図17



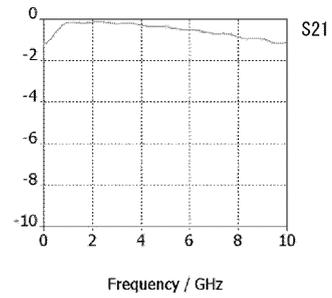
【図15】

図15



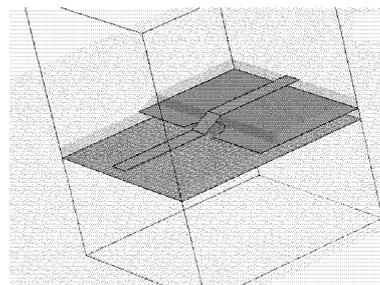
【図18】

図18



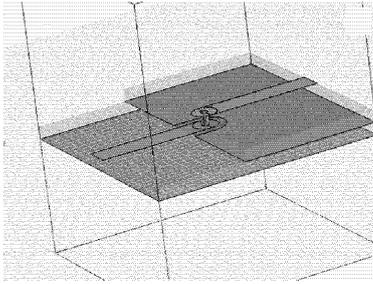
【図19】

図19



【図 20】

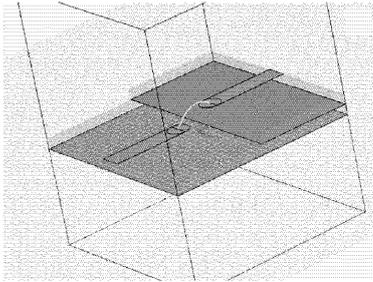
図20



スルーホール

【図 21】

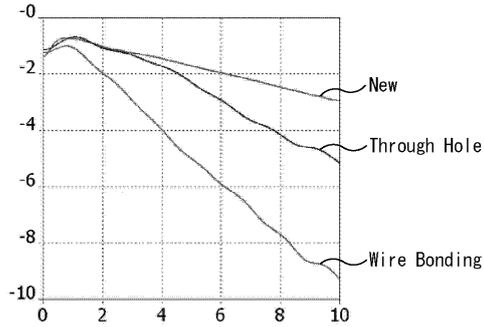
図21



ワイヤボンディング

【図 24】

図24



【図 25】

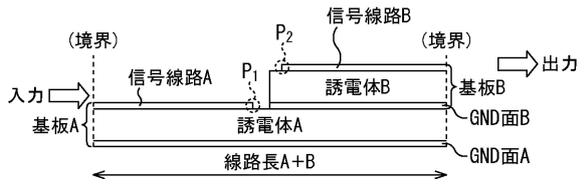
図25

接続モデル	S21成分		
	@3GHz	@6GHz	@10GHz
本発明	-1.24 [dB]	-1.95 [dB]	-2.95 [dB]
スルーホール	-1.32 [dB]	-2.91 [dB]	-5.13 [dB]
ワイヤボンディング	-2.91 [dB]	-5.89 [dB]	-9.26 [dB]

接続モデルによる伝送信号劣化シミュレーションの結果

【図 22】

図22



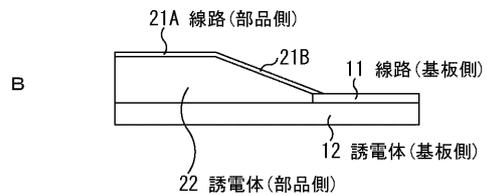
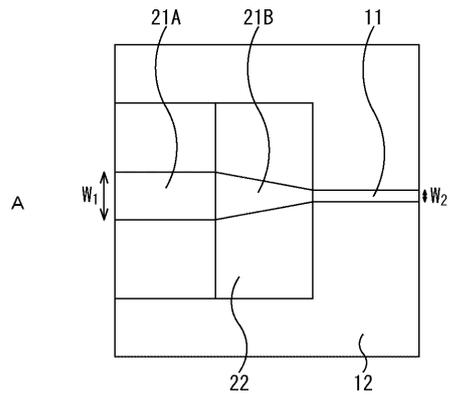
【図 23】

図23

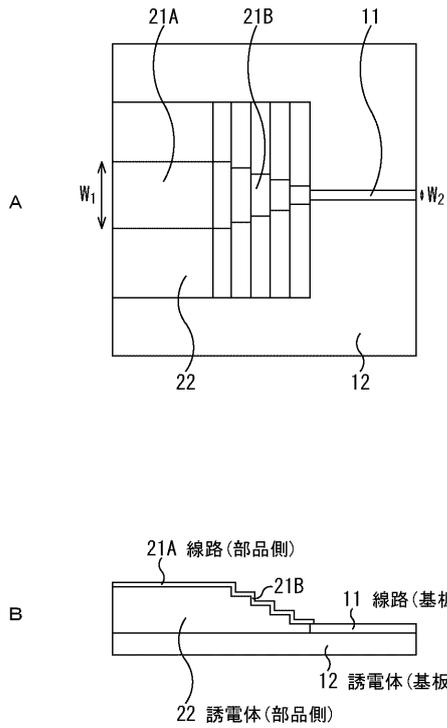
諸条件	基板A	基板B
信号線路幅	3.2mm	3.2mm
誘電体高さ	1.6mm	1.6mm
導体高さ	0.2mm	0.2mm
誘電率	7.1	7.1
誘電損失 (@10GHz)	0.005	0.005
線路長 (A+B)	30mm	
境界条件	境界面のモデルが無制限方まで続くオープン構造	
解析方法	電磁界シミュレータツールによる時間領域解析	

【図 26】

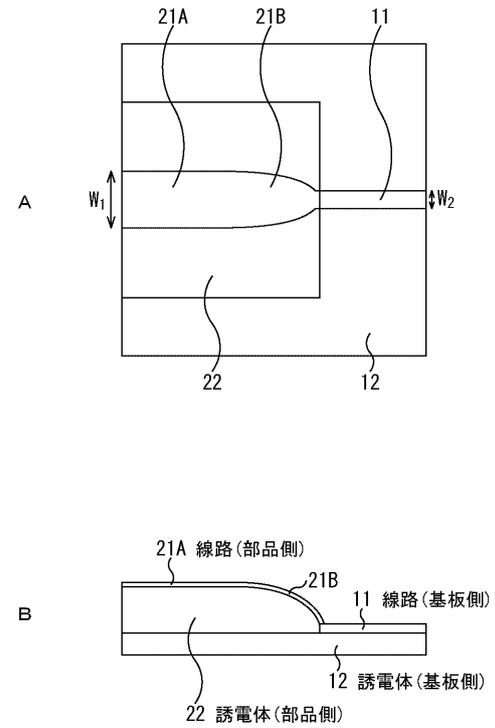
図26



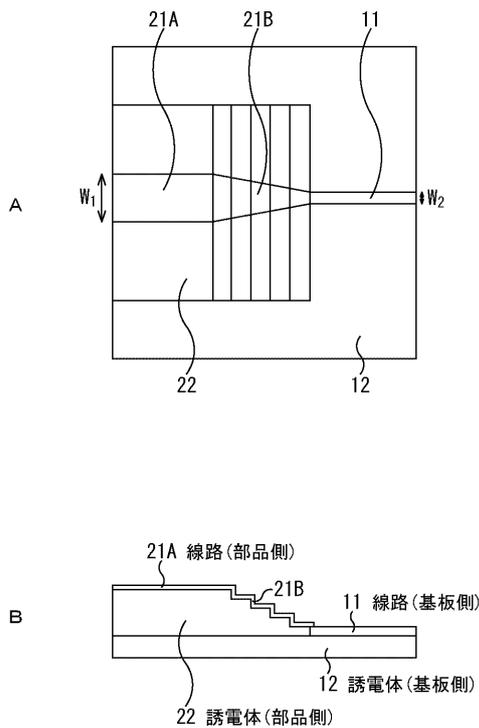
【図27】
図27



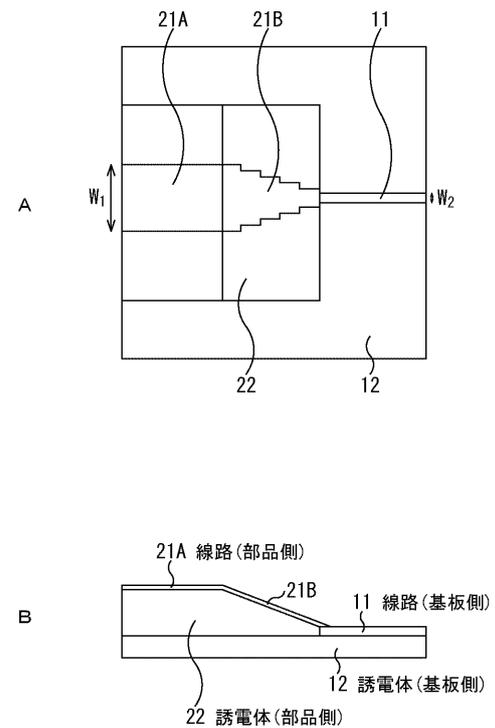
【図28】
図28



【図29】
図29

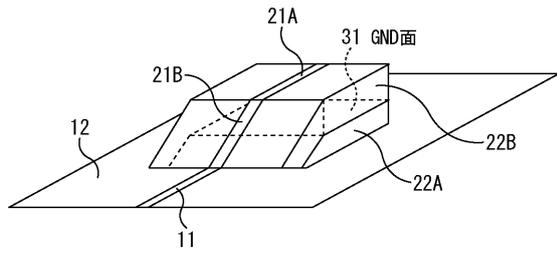


【図30】
図30



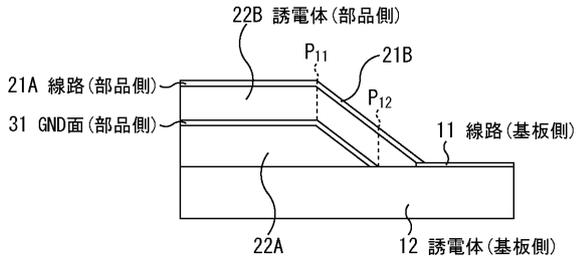
【図31】

図31



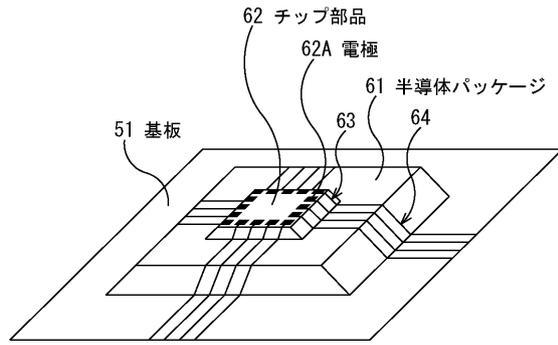
【図32】

図32



【図33】

図33



フロントページの続き

- (72)発明者 吉岡 正紘
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 荒木 亮輔
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 半田 正樹
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 中西 崇
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 一木 洋
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 近藤 哲二郎
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 坂本 薫昭

(56)参考文献 実開平06-015310(JP,U)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12
H01P 5/02
H05K 1/02