

(54) 반도체 배선의 전자이동특성의 가속화된 결정을 위한 방법 및 장치

요약

본발명은 바람직하게는 규정된 테스트 구조물(100, 200)의 사용을 포함하는, 배선 구조물의 전자 이동 특성을 결정하는 테스트 방법에 관한 것이다. 상기 테스트 구조물은 반도체 기판(102)의 제 1 평면에 배치된 제 1 배선 라인(104)과, 비아(108)에 의해 제 1 라인에 접속된 제 2 배선 라인을 포함한다. 상기 제 1 라인과 비아에 대한 저항의 열 계수가 결정되고(14), 테스트 구조물에 웨이퍼 레벨 응력 조건이 도입된다(16). 상기 제 1 개별적인 테스트 구조물에 대해 결정된 적어도 하나의 파라미터 값이 집적 회로 디바이스에서 상기 배선 구조물에 대한 수명을 예측하기 위해 사용된다(18).

대표도

도 2

색인어

전자 이동 특성, 배선 구조물, 응력

명세서

기술분야

본발명은 일반적으로 집적회로 디바이스의 제조 및 테스트에 관한 것이며, 특히 집적회로 상호접속 재료의 전자이동(electromigration) 특성을 결정하는 장치 및 방법에 관한 것이다.

배경기술

집적회로는 일반적으로 패터닝된 금속화 라인의 레벨 사이에 전기적 접속을 제공하기 위하여 선택된 위치에서 비아를 포함하는 층간 유전체에 의해 서로 전기적으로 절연되어 있는 패터닝된 금속화 라인의 다중 레벨로 제조된다. 이러한 집적회로가 증가된 밀도 및 성능(예를들어, 디바이스 속도를 증가시키고 주어진 영역의 칩안에서 더 큰 회로 기능을 제공함으로써)을 제공하기 위한 지속적인 노력으로 더 작은 치수로 만들어짐에 따라, 상호접속 라인폭 치수는 점점 좁아지게 되고 이는 역으로 전자이동과 같은 해로운 효과를 발생시키기가 더 쉬워지는 것으로 여겨진다.

전자 이동이란 상호접속 재료를 통한 전기적 전류 전도의 결과로서 상호접속 물질을 구성하는 금속성 원자(예를들어 알루미늄)의 대량 운송(transport) 현상을 말한다. 더욱 구체적으로, 전자 전류는 금속 이온과 충돌함으로써 금속이온을 전류 이동 방향으로 밀어낸다. 연장된 기간의 시간이 지나면, 이동되어 비워진(vacated) 원자는 일반적으로 라인의 한 끝에 공극(void)을 형성하는 경향이 있는 반면, 라인의 다른 끝에서 원자의 축적은 힐록(hillock)을 형성하는 경향이 있다. 그러한 변형은 라인 저항을 증가시키고 어떤 경우에는 개방 회로, 단락 회로 및 디바이스 고장으로 귀결된다. 라인 폭 치수가 줄어들어 따라 금속화 라인을 통한 상대적인 전류 밀도가 계속 증가되어지면서 이러한 현상은 점점 더 현저하게 된다.

패키지 레벨 테스트는 일반적으로 산업분야에 사용되어 금속 상호접속의 전자이동(EM) 신뢰도를 평가한다. 이러한 목적을 위해, 표준 테스트 구조 및 테스트 방법론이 정의되고 구현된다. 이러한 패키지 레벨 테스트는 일반적으로 고가의 전문화된 장비로 오븐에서 만들어진 상승된 온도에서 적당하게 가속화된 응력하에서 수행된다. 수집된 고장시간(time to failure) 데이터에 근거하여, 필드(field) 조건하에서 수명은 EM 테스트에서 가속화 인자를 결정하는 블랙의 방정식을 사용하여 추정한다.

그러나, 집적회로 기술이 진보함에 따라, 내부의 상호접속 시스템은 더욱 복잡하게 되고 신뢰도 보증을 위해 평가되어지는 프로세스 모듈의 수를 증가시킨다. 이와 동반하여 경쟁에 의한 압박감으로 인해 EM 테스트 시간을 감소시킬 필요가 증가된다(일반적으로 패키지-레벨 테스트를 위한 10 내지 100시간과 거의 비슷하게). 따라서, 테스트 시간을 감소시키기 위하여 패키지 레벨 테스트에 대한 대안으로서 웨이퍼 레벨 테스트가 구현된다.

웨이퍼 레벨 테스트는 일반적으로 프로브 스테이션(probe station)을 이용하여 수행되며 수초내지 수분 정도로 고장시간을 감소시킨다. 그렇게 하는데 있어서, 웨이퍼 테스트에는 약 $1 \times 10^7 \text{A/cm}^2$ 정도의 고전류 밀도를 도입하는 것이 포함된다. 웨이퍼 레벨 테스트와 패키지-레벨 테스트 사이의 다른 현저한 차이는, 웨이퍼 레벨 테스트에서는 상승된 온도 조건이 주열(Joule) 열(인가된 응력 전류로부터)에 의해 생성되며 외부 오븐 가열을 통해 생성되지 않는다.

웨이퍼 레벨 테스트 기술의 한 예는 "SWEAT"(Standard Wafer-level Electromigration Acceleration Test: 표준 웨이퍼 레벨 전자이동 가속화 테스트)로 알려진 것인데, 상대적으로 큰 전류가 금속 테스트 구조물을 통해 통과된다. 이러한 특정 테스트에서는, 테스트간에 일정한 "고장시간(time to failure)"을 유지하는 것이 바람직하다. 다른 형태의 웨이퍼 레벨 테스트에는 등온의(일정한 온도) 테스트와 정전류 테스트가 포함된다. 불운하게도 주열열과 연관된 온도의 불확실성과 결합하여 이러한 웨이퍼 레벨 테스트가 수행되는 속도는 실시간으로 웨이퍼 로트(lot)의 질을 모니터링하기 위한 "스팟 체크(spot check)"인 테스트의 유용성을 사실상 제한한다. 다시 말해, 웨이퍼 레벨 테스트에서 온도 및 전류를 독립적으로 제어하는데 있어서의 어려움으로 인하여, 이러한 방법에 의하여 만들어지는 수명의 예측(projection)은 신뢰할 가치가 없다.

일부 종래의 웨이퍼 레벨 테스트와 연관된 다른 결점은 일반적으로 테스트 구조물 자체가 단일 레벨의 금속으로 제조되었다는 것이다. 그러나, 그러한 단일 레벨 구조물은 제품 칩에서 발견되는 실제적인 구조물의 전형은 아니다. 특히 이들은 스테드(studs)나 비아(vias)와 같은 레벨간 접속을 포함하지 않는다. 따라서, 칩 상 구조물의 수명 예측을 결정하는데 적합하지 않다. 더우기, 스테드와 비아를 포함하는 구조물은 기하학적 효과 또는 재료의 차이에 의해 발생하는 라인의 선택적 가열로 인한 추가적인 온도 불균일성 문제로 인해 어려움을 겪을 수 있다.

발명의 상세한 설명

집적회로 디바이스에서 배선 구조의 전자 이동 특성을 결정하는 본 발명의 방법에 의해 상술한 선행기술의 문제점 및 결점은 완화되거나 극복될 수 있다. 본 발명의 예시적인 실시예에서, 본 발명의 방법에는 집적회로 디바이스용으로 규정된 테스트 구조물 형태를 구성하는 단계가 포함된다. 규정된 테스트 구조물 형태는 반도체 기관의 제 1 평면에 우선 배치된 제 1 배선 라인과, 제 1 배선 라인에 접속된 제 2 배선 라인을 더 포함한다. 제 2 배선 라인은 사실상 제 1 평면에 평행인 제 2 평면에 배치되고, 제 1 배선 라인과 제 2 배선 라인은 그 사이의 비아 구조물에 의해 접속된다. 제 1 배선 라인 및 비아 구조물에 대한 저항의 열 계수가 결정되고, 규정된 테스트 구조물 형태의 제 1 개별 테스트 구조물로 웨이퍼 레벨 응력 조건이 도입된다. 이어서 적어도 하나의 파라미터 값이 제 1 개별적인 테스트 구조물에 대해 결정되고 그 파라미터 값은 집적회로 디바이스 내 배선 구조물의 수명을 예측하기 위해 사용된다.

바람직한 실시예에서, 규정된 테스트 구조물 형태의 제 2 개별적인 테스트 구조물 내로 패키지 레벨 응력 조건이 도입된다. 제 2 개별적인 테스트 구조물의 적어도 하나의 파라미터 값이 결정되고, 제 2 개별적인 테스트 구조물에 대해 결정된 적어도 하나의 파라미터 값은 제 1 개별적인 테스트 구조물에 대해 결정된 적어도 하나의 파라미터 값에 상호 관련된다.

다른 실시예에서, 규정된 테스트 구조물 형태에는 반도체 기관의 제 1 평면에 배치된 제 1 배선 라인이 포함된다. 제 1 평면에 사실상 평행인 제 2 평면에 배치된 제 2 배선 라인은 제 1 배선 라인에 접속된다. 부가하여, 히트 싱크(sink) 구조물은 제 1 배선 라인에 인접하여 위치되며, 상기 히트 싱크 구조물은 제 1 배선 라인을 통한 전류의 통과와 연관된 열을 방산할 수 있다. 바람직하게는, 제 1 배선 라인에는 제 1 말단과 제 2 말단 사이의 연장된 섹션을 통해 제 2 말단에 접속된 제 1 말단이 포함된다. 제 2 배선 라인은 금속성 스테드 또는 비아를 통해 제 1 및 제 2 말단에서 제 1 배선 라인에 접속된다.

도면의 간단한 설명

예시적인 도면을 참조하며, 여러개의 도면에서 동일한 구성요소에는 동일한 번호가 매겨져 있다.

도 1은 본 발명의 실시예에 따른 집적 회로 디바이스에서 배선 구조물의 전자이동 특성을 결정하는 방법을 예시하는 블록 다이어그램이다.

도 2는 도 1에 예시된 방법에서 사용될 수 있는 가능한 테스트 구조물의 한 형태를 나타낸 투시도이다.

도 3은 도 2의 테스트 구조물 형태의 평면도로서, 테스트 전류를 외부적으로 공급하고 그로부터 측정된 다양한 파라미터를 감지하기 위한 피드 구조물(feed structure)을 추가적으로 예시한다.

도 4는 도 1에 나타난 저항의 열 계수 결정에 이용되는 단계를 나타내는 플로우차트이다.

도 5는 도 1에 기재되어 있는 등온 웨이퍼 레벨 응력에 대한 알고리즘을 예시하는 플로우차트이다.

도 6은 본발명의 추가적인 실시예에 따른, 집적 회로 디바이스에서 배선 구조의 전자이동 특성을 결정하는 신규한 테스트 장치의 투시도이다.

도 7은 도 6에 나타난 히트 싱크 구조물의 대안적인 실시예의 평면도이다.

실시예

먼저 도 1을 참조하면, 본발명의 실시예에 따라 집적 회로 디바이스에서 배선 구조물의 전자이동 특성을 결정하기 위한 방법(10)을 예시하는 블록 다이어그램이 나타나 있다. 방법 10은 EM 테스트에 사용하기 위한 테스트 구조물 형태의 구조를 가지고 블록 12에서 시작한다. 테스트 구조물 형태가 패키지 레벨 응력 테스트의 초기 세트에서 사용되어 모델링(modeling) 파라미터를 결정할 것이다. 패키지 레벨에 응력을 가하는 단계에는, 일반적으로 48시간동안 한 세트의 응력이 지속되는 것이 포함된다. 이후에 더 짧게 웨이퍼-레벨에 응력을 가하는 단계(약 100초 정도)가 구현될 수 있는데, 웨이퍼 레벨 테스트와 초기 패키지 레벨 테스트로부터 얻어진 데이터를 관련짓고, 대상이 되는 IC 배선 구조물에 대한 실제 수명을 예측한다.

방법 10에서 사용된 특정 테스트 구조물 형태는 도 2에 나타나 있다. 이 특정 실시예에서, 반도체 기판(102) 상에 형성된 테스트 구조물(100)에는 제 1 배선 라인(104)이 포함되는데, 이는 제 1 배선 라인의 말단에 위치한 복수개의 금속성 스텐드(108)를 통해 제 2 배선 라인(106)에 접속된다. 알루미늄 또는 알루미늄과 구리의 합금과 같은 금속으로부터 제 1 라인(104)이 만들어지며, 제 1 라인(104)의 제 1 말단(112) 및 제 2 말단(114) 사이에 접속되고 연장되는 연장된 섹션(110)을 갖는다. 스텐드(108)가 접속되어 있는 제 1 및 제 2 말단(112, 114)은 그 사이의 연장된 섹션(110)보다 더 넓다. 부가하여, 제 1 배선 라인은 제 2 배선 라인(106)이 위치되어 있는 제 2 평면에 사실상 평행인 제 1 평면 내에 배치된다.

제 2 배선 라인(106)은 텅스텐과 같은 내화성(refractory) 금속이 바람직하며, 제 1 라인(104)을 입력 테스트 전류 소스(도시되지 않음)에 접속하도록 사용된다. 제 2 라인(106)은, 차례로 실리콘 기판(102) 위에 형성된 절연성 유전체 층(116) 상부에 형성된 것으로 나타나 있다. 유전체의 또 다른 층(도시되지 않음)은 스텐드(108)를 둘러쌀 것이고, 제 1 라인(104)와 제 2 라인(106)을 포함하는 층과 같은 금속화 층을 분리할 것이다. 그러나, 제 2 라인(106)이 대안적으로 제 1 라인(104)위에 있는 배선 레벨위에 형성될 수 있다는 것이 인식되어야만 한다. EM 응력 테스트에서 사용된 특정 테스트 구조물 형태의 한 예로, 0.21 μ m 폭, 300 μ m 길이의 제 1 라인(104)은, 단일 텅스텐 스텐드(108)에 의한 제 1 말단과 세개의 텅스텐 스텐드(108)에 의한 제 2 말단(114)에 의해 종결된다(terminated).

예시적인 테스트 구조물(100)과 관련하여 사용된 예시적인 피드 구조물(140)이 도 3에 나타나 있다. 나타난 실시예에서, 피드 구조물(140)이 제 2 배선 라인(106)과 동일한 금속화 레벨에 형성된다. 제 1 패드 접속부(142)는 테스트 구조물에 인가(application)하기 위해 외부 전류 소스(예를들어, 전극)와 접촉한다. 제 1 패드 접속부(142)는 외부 전류 소스(도시되지 않음)로부터 테스트 구조물(100)로 피드 전류 경로를 제공하는 피드 라인(144)에 접속된다. 또한, 제 2 패드 접속부(146)는 테스트 구조물의 바람직한 파라미터를 측정하기 위한 외부 측정 디바이스(예를들어, 멀티미터)와의 접촉을 제공한다. 유사하게, 감지 선(148)은 제 1 상호접속 패드(150)에서 제 2 배선 라인(106)과 제 2 패드 접속부(146) 사이에 도전성 경로를 제공한다. 추가로 관찰 될 수 있는 바와 같이, 피드 라인(144)은 제 1 접속 패드(150)에 직접 접속된 제 2 접속 패드(152)를 통해 제 2 배선 라인(106)에 결합될 수 있다.

피드 구조물(140)은 피드 라인(144)과 제 2 접속 패드(152)에 연관된 히트 싱크(154)를 더 포함할 수 있다. 후에 더 상세히 설명되어지는 바와 같이, 테스트 구조물(ICs의 실제 배선 구조물)의 전체적인 히트 싱크 용량은 전자 이동 특성을 결정하는데 있어 중요하다.

도 1을 다시 참조하면 일단 테스트 구조물 형태가 구성되면, 방법 10은 테스트 구조물(100)에 대한 저항의 열계수(TCR) 또는 β 를 결정하기 위해 블록(14)로 진행한다. TCR의 값은 후에 자세히 설명될 등온 형태로 웨이퍼 레벨에 응력을 가하는 단계와 결합하여 사용될 것이다. 일반적으로 말해서, TCR은 주어진 구조물에 대한 저항의 변화 대 온도의 변화를 상호 관련시켜 사용된다. 등온 응력 테스트가 테스트 구조물에 대한 일정 온도를 이용하기 때문에(그리고, 이것이 일반적으로 테스트 구조물의 온도를 직접 측정하는 가장 직접적이고도 저가의 방법이기 때문에), 측정된 저항값은 온도를 결정하기 위해 사용된다. 테스트 구조물(100)에 대한 β 를 결정하는 상세한 방법은 도 4에 도시되어 있다.

먼저, 테스트 구조물(100)을 포함하고 있는 웨이퍼는 더 나은 온도 안정성을 위해 바람직하게는 실온보다 약간 상온인(예를 들어 29°C) 초기 온도로 설정된 척(chuck) 위에 놓인다. 초기 온도에서, 테스트 구조물(100)의 초기 저항은 전압을 인가하고 결과 전류를 측정함으로써 측정된다. 그러나, 인가된 전압은 구조물 내에 어떠한 현저한 주열 열도 생성하지 않도록 충분히 작아야만 한다. 초기 저항이 측정되면, 이러한 단계는 약 100°C까지 온도 간격을 넓히면서 반복하여야 한다. 각각의 온도 간격에 있어, 생성된 특정 온도에서 웨이퍼에는 안정화하기에 충분한 시간이 주어져야 한다. 부가하여, 각 온도에서의 저항은 순방향과 역방향 극성 모두로 인가된 전압으로 여러차례 측정되어야만 한다.

각 온도 간격에 대한 평균 저항이 결정되고, 이 데이터를 이용하여 저항 대 온도 곡선을 점으로 나타낼 수 있다. TCR, β 는 곡선의 경사에 의해 결정되어지며 극히 선형이어야만 하며, β =저항에서의 Δ /온도에서의 Δ 이다. 따라서, 결정된 값 β 는 초기 저항 및 온도 값과 함께 등온의 웨이퍼 레벨 응력 테스트에서 이용한다. 이 단계에서 수행된 다른 측정법은 테스트 구조물 형태의 열 저항(R_{θ})를 결정하기 위한 온도 대 전력 곡선이다. 저항 대 온도 곡선과 유사하게, $P=I^2R$ 이기 때문에 열 저항은 온도 대 전력 곡선의 경사에 의해 결정된다. 라인의 온도와 이에 인가된 전력 사이에 선형 동작이 또한 존재한다.

도 1에 나타난 바와 같이, 테스트 구조물 형태에 대한 TCR(β)와 열 저항 (R_{θ})가 결정된 후에, 방법 10은 개별의 테스트 구조물의 웨이퍼 레벨에 등온으로 응력을 가하는 단계를 위해 블록 16으로 진행한다. 등온으로 응력을 가하는 단계를 위한 바람직한 알고리즘이 도 5에 개략적으로 나타나 있다. 초기에, β 와 R_{θ} 는 그들이 유효한 입력을 나타내는지 확인하기 위해 체크된다. 유효한 입력을 나타낸다면 응력 전류는 테스트 구조물로 인가될 수 있다.

TCR을 결정하는 동안과 같이, 응력이 가해지는 특정 구조물의 초기 저항 R_{θ} 는 약 29°C로 웨이퍼 척의 온도를 상승시키고 (전체 응력 테스트 동안 척의 온도는 유지됨) 거기에 저전압을 인가함(비-가열)으로써 결정된다. 초기 저항 R_{θ} 의 값(초기 구조물 온도에서 측정됨)은 TCR로 사용되어 측정된 저항을 통해 구조물의 온도를 간접적으로 모니터한다.

등온 형태의 웨이퍼 레벨 응력의 본질로 인해, 타겟 구조물 온도 T_{TARGET} 이 응력에 대해 선택된다. 주열 열을 통해 구조물을 T_{TARGET} 까지 가열하기 위해서, 초기 전류 I_0 의 정확한 추정이 이루어진다(오염의 법칙, TCR, R_{θ} 및 T_{TARGET} 을 이용하여). 이후 인가된 전류는 T_{TARGET} 에 도달할 때까지 상대적으로 동일한 온도 단계로 천천히 증가 또는 램프 업(ramped up)된다. 이는 온도를 지나치게 높여서 구조물에 과응력이 가해지는 것을 피하기 위해 행하여진다. 각각의 연속적인 전류 램핑(ramping) 단계에서 예시적인 시간 간격은 약 140ms이다.

인가된 응력 전류의 값이 I_0 (및 아마도 구조물의 실제 주열 온도가 T_{TARGET} 과 동일함)까지 이르면, 구조물의 저항을 모니터하고, 모니터 결과를 피드백 경로로 도입하여 변화가 탐지되면 인가된 전류를 조정한다. 피드백 경로는 온도, ΔT , dT/dI 과 전류의 다음 값을 계산할 뿐만 아니라 전류를 업데이트하고 저항을 측정함으로써 T_{TARGET} 을 특성화한다. 전류에서 각각의 변화는 약 250ms의 대기시간 뒤에 일어나는데, 그렇지 않았다면 시스템에서 과보정(over correction)과 불안정성을 야기하는 작은 온도 드리프트(drift)의 원인이 된다.

구조물 저항의 소정의 변화 또는 구조물 고장과 같은 종료 기준(exit criterion)에 도달할 때까지 등온 응력은 지속된다. 본 실시예에서, 종료 기준은 저항의 100% 변화에서 설정된다. 최대 테스트 시간은 또한 루프를 빠져나가도록 확립될 수 있다. 등온 응력이 종결될 때에 저항에서의 구체적인 변화 및 특정 고장 모드(예를 들어, 저항, 개방 회로 등)와 함께 고장시간이 기록된다. 등온 웨이퍼 레벨 응력 테스트에 관한 추가적인 상세 사항은 탐 씨. 리(Tom C. Lee)등의 "등온, 일정 전류 및 스웨트 웨이퍼 레벨 EM 테스트 방법의 비교"(IRPS Proceedings, 2001, p172-183)에 기재되어 있으며 이는 본 명세서의 일부로서 참조된다.

도 1로 다시 한번 돌아가면, 등온 응력 테스트 후에 방법 10은 마지막으로 블록 18로 진행하여, 패키지 레벨 응력 테스트로부터 얻어진 데이터를 웨이퍼 레벨 응력 테스트에서 얻어진 데이터와 관련짓는다. 다시, 패키지 레벨 응력 테스트는 EM 모델링 파라미터를 얻기 위해 사용되며 웨이퍼 레벨 응력 테스트보다 더 긴 시간동안 상승된 온도에서 행하여진다. 도 2의 테스트 구조물 100에 적용가능한 예시적인 패키지 레벨 응력 조건의 두 세트는 (1)약 200°C의 온도 및 약 23.3mA/ μm^2 의 전류 밀도와 (2)약 250°C의 온도와 약 17.8mA/ μm^2 의 전류 밀도를 포함한다.

대체로, 패키지 레벨 응력 테스트는 블랙의 방정식에 따라 동역학(kinetic) 파라미터 즉, 활성화 에너지(ΔH) 및 전류 밀도 지수(n)의 계산을 가능하게 한다.

$$\tau = A / J^n e^{\Delta H / kT}$$

식에서,

τ 는 테스트 구조물 고장시간;

A는 블랙의 상수;

J는 인가된 전류 밀도;

k는 볼츠만 상수; 및

T는 온도

등은 웨이퍼 레벨 테스트의 동역학 파라미터의 결정은 다소 더 어려울 수 있는데, 이러한 형태의 테스트에서는 온도 및 인가된 전류가 독립적으로 변화하지 않기 때문이다. 그러나, 웨이퍼 레벨 테스트에 대한 활성화에너지(ΔH)는 $\ln[(\tau_{50})(J^n)]$ 대 $1/kT$ (여기서, τ_{50} 은 웨이퍼 레벨에 응력이 가해진 구조물의 주어진 모집단(population) 분포에 대한 고장시간의 중앙값을 나타낸다)의 플롯(블랙의 방정식으로부터 유도됨)의 경사를 결정함으로써 신뢰성있게 얻어질 수 있다. 이러한 플롯(plot)에서, n의 값은 패키지 레벨 테스트로부터 얻어질 수 있다. 웨이퍼 레벨 테스트에 대한 ΔH 를 결정하는 추가적인 정보는, 본명세서의 일부로서 참조되는 데보라 티벨(Deborah Tibel) 등의 "비아/라인 패키지 레벨 대 웨이퍼 레벨의 비교 결과"(IRPS Proceedings, 2001, p 194-199)에서 발견될 수 있다.

동역학 파라미터가 패키지 레벨과 웨이퍼 레벨 테스트 모두에 대해 얻어진 후에, 두 테스트 간의 가속화 인자는 테스트 구조물의 수명을 예측하기 위해서 결정된다. 먼저, 패키지 레벨 테스트 및 웨이퍼 레벨 테스트로부터 로그노말(lognormal) τ_{50} 값의 비를 취함으로써 실험적 가속화 인자($AF_{\text{experimental}}$)가 계산된다.

$$AF_{\text{experimental}} = \tau_{50 \text{ Pkg}} / \tau_{50 \text{ Waf}}$$

이어서, 계산된 가속화 인자($AF_{\text{calculated}}$)는 계산된 열 가속화(T_{acc})와 계산된 전류 밀도 가속화(J_{accCalc})의 곱이다. 여기서,

$$J_{\text{accCalc}} = (j_{s \text{ Waf}} / j_{s \text{ Pkg}})^n$$

$$J_{\text{acc experimental}} = AF_{\text{calc}} / T_{\text{acc}}$$

$$T_{\text{acc}} = \exp\{(\Delta H/k)[1/T_{s\text{Pkg}} - 1/T_{s\text{Waf}}]\}$$

실험 및 계산된 가속화 인자 값을 비교하면 그들 사이가 양호하게 매칭(matching)된다는 것이 나타난다. 웨이퍼 레벨 테스트의 응력 조건이 테스트 구조물의 주울 열에 의해 달성된다 하더라도 계산된 가속화 인자(T_{acc} 및 J_{accCalc})의 컴포넌트는 분리가능한 것으로 보인다. 전형적인 응력 상황과는 대조적으로, 전류 밀도는 패키지 레벨 테스트로부터 웨이퍼 레벨 테스트까지 전체 가속화에 대한 두개의 기여분(contributors) 중 더 큰 것이다.

테스트 구조물(100)(및 기저의 피드 구조물(140))에 적용되는 전술한 방법 10의 구현을 통해, 약 48 시간의 초기 전자이동 응력이 행해진 후에, 전자이동 수명은 100초 정도의 시간으로 예측될 수 있다. 이에 따라, 패키지 레벨 테스트의 초기 세트를 상관관계 목적으로 행하는 한, 더 고속의 웨이퍼 레벨 테스트는 단지 양호한 로트(lot)/불량한 로트를 결정하는 것 이상으로 사용될 수 있다.

패키지-레벨 테스트 및 등온 웨이퍼-레벨 테스트 사이의 상술한 상관관계 방법론에도 불구하고, EM 고장 메커니즘에서 추가적인 유용한 정보가 테스트 구조물에서 특정 고장 위치의 분석에 의해 얻어질 수 있다. 웨이퍼 레벨 테스트에 대한물

리적 고장 모드는 패키지 레벨 테스트에 대한 고장 모드와는 상이하다. 인가된 응력 전류가 어떤 레벨 아래에 있지 않다면, 전자이동 손상(즉, 공극 형성)은 종래의 테스트 구조물의 더욱 중앙에 가까운 부분에 나타나는 경향이 있다(도 2에 나타난 바와 같이)는 것이 발견되었다. 이러한 현상은 라인의 중앙부에서의 과도한 가열에 의해 야기되고 이로써 라인의 중앙부와 스테드 사이에 열적 그래디언트(gradient)가 생성된다. 따라서, 더 고온 및 더 저온의 온도 영역에서 알루미늄의 확산성의 차이로 인해, 열적 그래디언트와 절대적인 온도가 결합된 효과로 인해 최대의 원자 플럭스 발산(atomic flux divergence)을 생성하는 위치에 공극(void)은 응집할 것이다.

특히, 도 2에 도시된 바와 같은 구조물 및 도 3의 기저의 피드 구조물에 대해, 약 220°C를 초과하는 온도를 만드는 전류는, 스테드로부터 떨어지고 연장된 섹션의 중앙부를 향한 공극을 형성할 것이다. 반면, 약 220°C 미만의 라인 온도를 생성하는 전류는 스테드 옆에 공극 응집을 야기하는 경향이 있다. 약 220°C 미만의 온도에서, 기저에 있는 피드 구조물의 제한된 히트 싱크 용량하에서 더 높은 저항과 그 결과로 인한 더 높은 국부적인 주울 열 때문에, 텅스텐 스테드 물질은 알루미늄 라인보다 더 뜨겁게 된다. 이러한 가열은 스테드 바로 아래의 제 2 라인의 열 도전성에 의해 어느 정도 지배된다. 예를들면, 제 2 배선 라인의 폭이 더 클수록, 바로 밑의 기판에 대한 열 전도성도 더 커진다. 따라서, 사용된 유전체 두께 또는 종류에서의 변화, 기저의 텅스텐 접속의 폭 또는 이용된 비아의 수가 각각 라인의 말단에서 온도에 영향을 미칠 것이다.

따라서, 도 6은 본발명의 추가적인 실시예에 따라 집적 회로 디바이스에서 배선 구조물의 전자이동 특성을 결정하기 위한 개선된 테스트 장치(200)를 예시한다. 기재를 쉽게 하기 위하여 다양한 도면에서 동일한 번호의 구성요소는 동일한 참조 번호로 표시되었다.

전술한 스테드에 접속된 제 1 배선라인 및 제 2 배선라인에 부가하여, 테스트 장치(200)는 제 1 배선 라인(104)을 통한 전류의 통과와 관련된 열을 방산할 수 있는 히트 싱크 구조물(120)을 더 포함한다. 한 실시예에서, 히트 싱크 구조물(120)은 금속 패드, 바람직하게는 텅스텐으로 만들어진다. 더욱이, 기재된 실시예에서, 히트 싱크 구조물(120)은 제 1 배선 라인의 연장된 섹션(110)의 바로 아래에 위치하며, 제 2 배선 라인과 동일한 금속화 레벨에 있다. 그러나, 히트 싱크 구조물(120)은 대안적으로 연장된 섹션(110)에 인접한 어느곳에서나 위치할 수 있고 여러 형태와 구성을 가질 수 있다.

선택적으로, 히트 싱크 구조물(120)은 유전체 층(116)을 통해 형성된 일련의 비아 또는 스테드(122)를 통해 실리콘 기판(102)와 열적으로 결합된다. 그러나, 히트 싱크 구조물(120)은 제 2 라인(106)과 전기적으로 절연되어 있다는 것을 주목해야 한다. 제 1 배선 라인(104)의 연장된 섹션(110) 바로 아래에 위치된다는 것에 추가하여, 히트 싱크 구조물(120)은 대안적으로 배선의 상부 레벨상의 연장된 섹션(110)위에 위치될 수 있다. 그러나, 대안적인 실시예는 제 1 라인(104)의 위와 아래 모두에, 연속적인 금속층 상에 히트 싱크 구조물의 어레이를 가진다. 그와 같은 구성에서, 각각의 개별적인 히트 싱크 구조물은 금속성 스테드(108)을 통해 서로(레벨별로) 더 접속될 수 있다.

이제 도 7을 참조하면, 히트 싱크 구조물(120)의 추가적인 가능한 실시예의 평면도가 나타나 있다. 단일 금속 판 대신에, 히트 싱크 구조물(120)은 제 1 라인(104)의 바로 아래(또는 위)에 있는(running) 일련의 금속 스트립(130)을 포함할 수 있다. 나타난 바와 같이, 스트립(130)은 일반적으로 연장된 섹션(110)의 축에 대해 수직이다. 그러나, 연장된 섹션(110)에 대해 스트립(130)의 평행 구성이 또한 고려된다. 더욱이, 스트립은 서로에 대해 균일하게 이격될 수 있다. 또는 바람직한 열적 프로파일을 달성하기 위하여 불균일하게(도 6에 나타난 바와 같이) 이격될 수 있다.

마지막으로, 예를들어, 연장된 섹션(110)의 말단과 거의 동일한 폭으로 제 1 및 제 2 말단(112, 114)을 형성함으로써 제 1 라인(104)의 열적 프로파일이 또한 조정될 수 있다. 추가하여, 스테드(108)는 제 1 및 제 2 말단(112, 114)과의 접속에 대해 중앙에 위치될 수 있다. 또는 대안적으로, 스테드의 일부가 제 1 라인(104)과 접촉하고 다른 부분이 절연체 층(도시되지 않음)과 접촉하도록 제 1 및 제 2 말단의 에지에 대해 오버랩핑 방식으로 또는 비틀린(staggered) 패턴으로 위치될 수 있다.

따라서 이처럼 구성된 히트 싱크 구조물 또는 히트 싱크 구조물들이 이용될 수 있으며, 그렇지 않았으면 상술한 테스트 구조물 형태에서 존재했을 열적 그래디언트를 변경하기 위해 사용된다. 그렇게 하는데 있어서, 웨이퍼 레벨 및 패키지 레벨 테스트에 대한 고장 모드 사이에 개선된 상관관계가 만들어질 수 있다. 궁극적으로 더 고속이고, 더 높은 응력 테스트가 개별적인 로트의 질 결정뿐만 아니라 더 길게 지속되는 응력 조건으로 미리 실행되는 수명의 예측에도 사용될 수 있다.

산업상 이용 가능성

본발명은 집적회로 디바이스에서 배선 구조의 전자 이동 특성을 신속하고 신뢰성 있게 결정하는 방법을 제공한다.

(57) 청구의 범위

청구항 1.

집적회로 디바이스에서 배선 구조물의 전자 이동 특성을 결정하는 테스트 장치(200)에 있어서,

반도체 기판(102)의 제 1 평면에 배치된 제 1 배선 라인(104)과,

상기 제 1 평면에 사실상 평행인 제 2 평면에 배치되고 상기 제 1 배선 라인에 접속되는 제 2 배선 라인(106)과,

상기 제 1 배선 라인에 인접하여 위치되며, 상기 제 1 배선 라인을 통해 전류의 통과와 연관된 열을 방산할 수 있는 히트 싱크 구조물(120)

을 포함하는, 집적회로 디바이스에서 배선 구조의 전자 이동 특성을 결정하는 테스트 장치.

청구항 2.

제 1 항에 있어서,

상기 제 1 배선 라인(104)은 제 1 말단과 제 2 말단 사이의 연장된 섹션을 통해 제 2 말단에 접속된 제 1 말단을 더 포함하며, 상기 제 1 및 제 2 말단 각각의 폭은 결합되어 있는 상기 연장된 섹션의 폭보다 더 큰, 집적회로 디바이스에서 배선 구조의 전자 이동 특성을 결정하는 테스트 장치.

청구항 3.

제 2 항에 있어서,

상기 제 2 배선 라인(106)은 금속성 스테드(108)를 통해 상기 제 1 및 제 2 말단(112, 114)에서 상기 제 1 배선 라인에 접속되는, 집적회로 디바이스에서 배선 구조의 전자 이동 특성을 결정하는 테스트 장치.

청구항 4.

제 1 항 또는 제 2 항에 있어서,

상기 히트 싱크 구조물(120)은 상기 반도체 기판과 상기 제 1 배선 라인 사이에 배치되는 금속 판(120)을 더 포함하는, 집적회로 디바이스에서 배선 구조의 전자 이동 특성을 결정하는 테스트 장치.

청구항 5.

제 4 항에 있어서,

상기 금속 판(120)은 복수개의 금속성 스테드(122)를 통해 상기 기판(102)에 접속되는, 집적회로 디바이스에서 배선 구조의 전자 이동 특성을 결정하는 테스트 장치.

청구항 6.

제 1 항 또는 제 2 항에 있어서,

상기 히트 싱크 구조물(120)은 상기 제 1 배선 라인(104)과 상기 반도체 기관(102) 사이에 배치된 금속 라인(130)의 어레이를 더 포함하는, 집적회로 디바이스에서 배선 구조의 전자 이동 특성을 결정하는 테스트 장치.

청구항 7.

반도체 디바이스에 있어서,

반도체 기관상에 형성된 집적 회로와,

상기 집적회로에 포함된 배선 구조물의 전자 이동 특성을 결정하기 위하여 상기 반도체 기관상에 형성된 배선 신뢰성 테스트 구조물 -상기 테스트 구조물은 상기 반도체 기관의 제 1 평면에 배치된 제 1 배선 라인과, 상기 제 1 평면에 사실상 평행인 제 2 평면에 배치되고 상기 제 1 배선 라인에 접속되는 제 2 배선 라인과, 상기 제 1 배선 라인에 인접하여 위치되며 상기 제 1 배선 라인을 통해 전류의 통과와 연관된 열을 방산할 수 있는 히트 싱크 구조물을 포함함-

을 포함하는 반도체 디바이스.

청구항 8.

집적회로 디바이스에서 배선 구조물의 전자 이동 특성을 결정하는 방법에 있어서,

상기 집적회로 디바이스용으로 규정된 테스트 구조물 형태 -상기 규정된 테스트 구조물 형태는 반도체 기관의 제 1 평면에 배치된 제 1 배선 라인과, 상기 제 1 평면에 사실상 평행인 제 2 평면에 배치되고 상기 제 1 배선 라인에 접속되는 제 2 배선 라인을 포함하며, 상기 제1 및 제2 배선 라인은 그 사이의 비아(via) 구조물에 의해 접속됨- 를 구성하는 단계와,

상기 제 1 배선 라인과 상기 비아 구조물에서 저항의 열 계수 -상기 저항의 열계수는 상기 규정된 구조물 형태의 특성임- 를 결정하는 단계와,

상기 규정된 테스트 구조물 형태의 제 1 개별적인 테스트 구조물에 웨이퍼 레벨 응력 조건 -상기 웨이퍼 레벨 응력 조건은 제 1 시간 동안 적용된 전기적 응력을 포함함- 을 도입하는 단계와,

상기 제 1 개별적인 테스트 구조물에 대한 적어도 하나의 파라미터 값 -상기 제 1 개별적인 테스트 구조물에 대한 적어도 하나의 파라미터 값은 상기 집적 회로 디바이스에서 상기 배선 구조물에 대한 수명을 예측하기 위해 사용됨- 을 결정하는 단계

를 포함하는, 집적회로 디바이스에서 배선 구조물의 전자 이동 특성을 결정하는 방법.

청구항 9.

제 8 항에 있어서,

상기 규정된 테스트 구조물 형태의 제 2 개별적인 테스트 구조물에 패키지 레벨 응력 조건 -상기 패키지 레벨 응력 조건은 상기 제 1 시간 보다 긴 제 2 시간 동안 적용된 전기적 응력을 포함함- 을 도입하는 단계와,

상기 제 2 개별적인 테스트 구조물에 대한 적어도 하나의 파라미터 값을 결정하는 단계와,

상기 제 2 개별적인 테스트 구조물에 대해 결정된 적어도 하나의 파라미터 값과 상기 제 1 개별적인 테스트 구조물에 대해 결정된 적어도 하나의 파라미터 값을 상호 연관시키는 단계

를 더 포함하는, 집적회로 디바이스에서 배선 구조물의 전자 이동 특성을 결정하는 방법.

청구항 10.

제 9 항에 있어서,

상기 제 1 및 제 2의 개별적인 테스트 구조물 각각에 대해 결정된 적어도 하나의 파라미터 값은 다음식에 따라서 활성화 에너지(ΔH) 및 전류 밀도 지수(n)를 포함하는, 집적회로 디바이스에서 배선 구조물의 전자 이동 특성을 결정하는 방법.

$$\tau = A / J^n e^{\Delta H / kT}$$

식에서,

τ 는 테스트 구조물 고장 시간;

A는 블랙의 상수;

J는 인가된 전류 밀도;

k는 볼츠만 상수; 및

T는 온도.

청구항 11.

제10항에 있어서,

상기 제 2 개별적인 테스트 구조물에 대해 결정된 적어도 하나의 파라미터 값과 상기 제 1 개별적인 테스트 구조물에 대해 결정된 적어도 하나의 파라미터 값을 상호 연관시키는 단계는,

상기 제 2 개별적인 테스트 구조물에 도입된 상기 패키지 레벨 응력 조건과 상기 제 1 개별적인 테스트 구조물에 도입된 상기 웨이퍼 레벨 응력 조건 사이에서 가속 요인(accelation factor)을 결정하는 단계를 더 포함하는 방법.

청구항 12.

제8항에 있어서,

상기 제 1 배선 라인과 상기 비아 구조물에서 저항의 열 계수(β)를 결정하는 단계는,

제 1 온도에서 상기 배선의 제 1 라인과 상기 비아 구조물의 제 1 저항을 측정하는 단계와,

제 2 온도에서 상기 배선의 제 2 라인과 상기 비아 구조물의 제 2 저항을 측정하는 단계 - β 는 상기 제 1 저항과 상기 제 2 저항 사이의 저항 변화를 상기 제 1 온도와 상기 제 2 온도 사이의 온도 변화로 나눈 비율로 결정됨-

를 더 포함하는 방법.

청구항 13.

제12항에 있어서,

상기 제 1 개별적인 테스트 구조물에 웨이퍼 레벨 응력 조건을 도입하는 단계는,

상기 제 1 개별적인 테스트 구조물을 가열하기 위한 목표 온도(target temperature)를 선택하는 단계와,

상기 목표 온도를 생성하기 위하여 상기 제 1 개별적인 테스트 구조물에 인가될 초기 전류 목표값 -상기 초기 전류 목표값은 β 에 따름- 을 결정하는 단계와,

점진적으로 증가하는 전류값이 상기 초기 전류 목표값과 같아질 때까지 상기 제 1 개별적인 테스트 구조물에 점진적으로 증가하는 전류를 인가한 후에 상기 초기 전류 목표값을 유지하는 단계와,

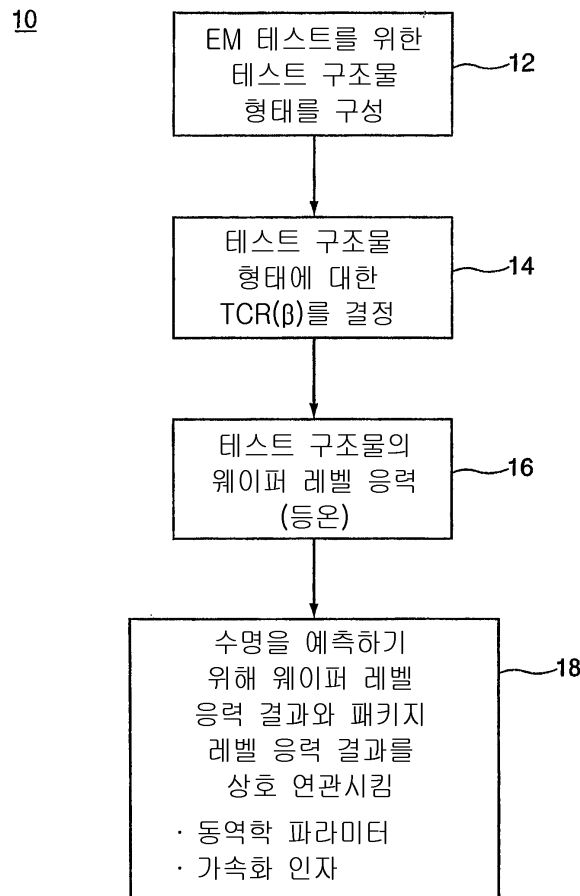
상기 제 1 개별적인 테스트 구조물의 실제 온도를 나타내는 상기 제 1 개별적인 테스트 구조물의 저항을 측정하는 단계와,

상기 저항의 측정된 값이 상기 제 1 개별적인 테스트 구조물의 실제 온도가 상기 목표 온도에서 파생되었다는 것을 나타내면 상기 초기 전류 목표값으로부터 상기 인가된 전류를 조정하는 단계

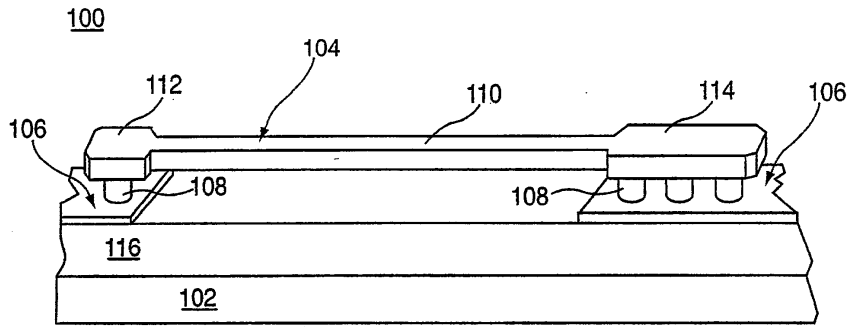
를 포함하며, 상기 제 1 개별적인 테스트 구조물의 저항이 선정된 정지값(failure value)으로 증가되는 때에 상기 웨이퍼 레벨 응력 조건이 완료되고, 상기 초기 전류 목표값의 달성과 상기 선정된 정지값에의 도달 사이에서 경과된 시간이 기록되는 방법.

도면

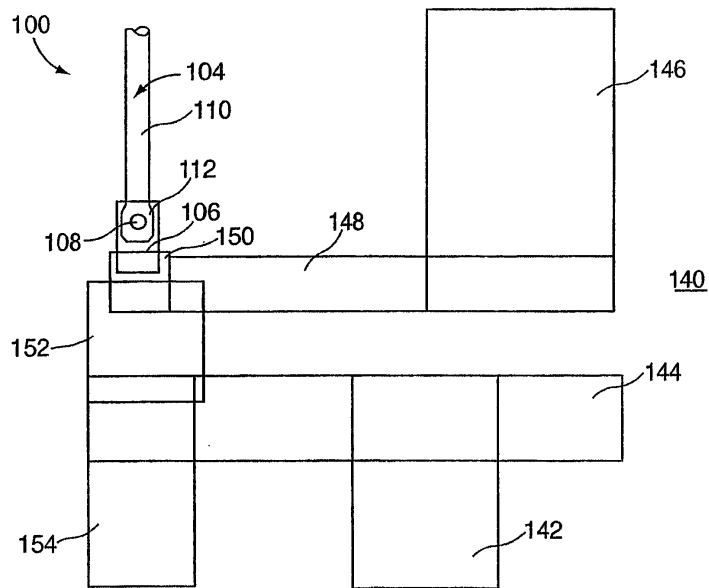
도면1



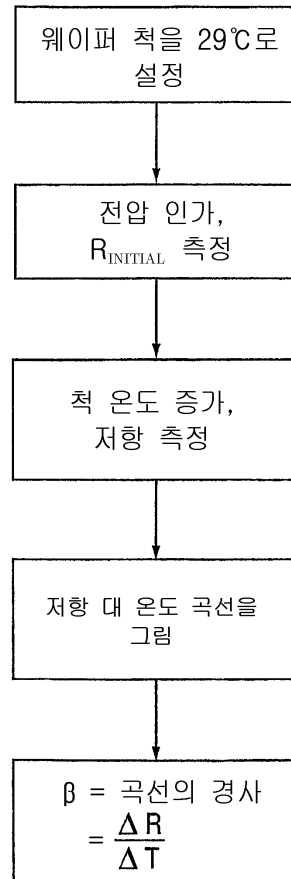
도면2



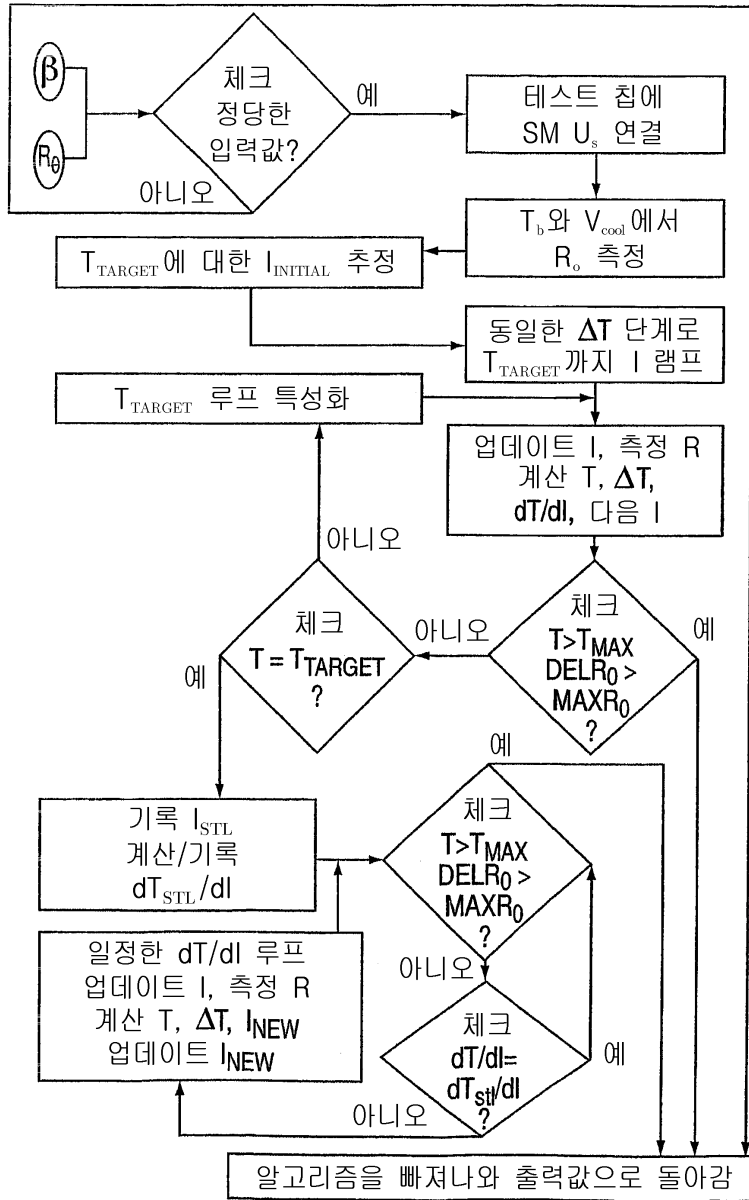
도면3



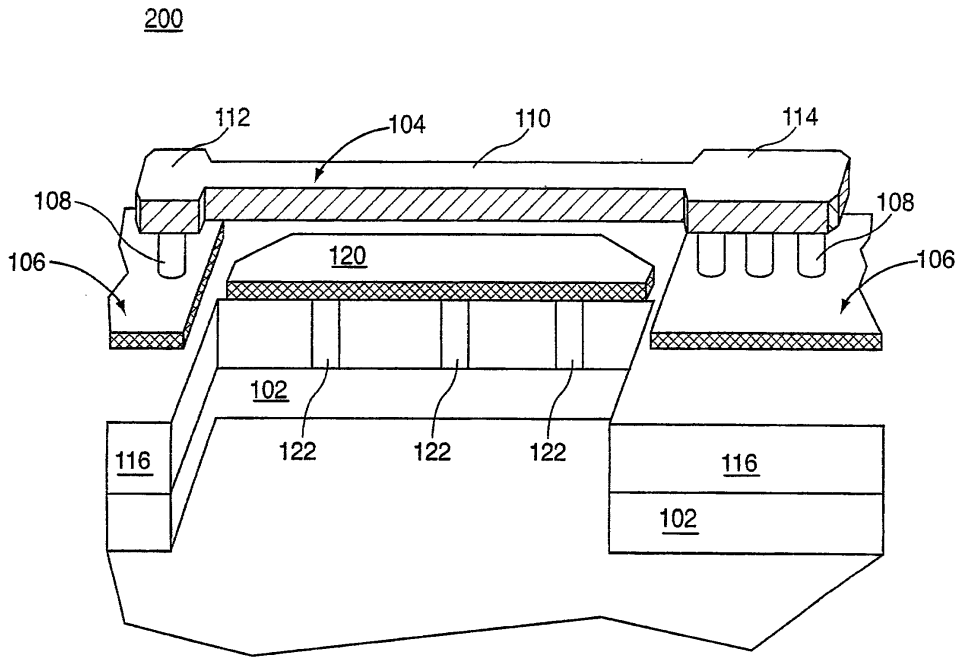
도면4



도면5



도면6



도면7

