

發明專利說明書

公告本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95135571

※申請日期：95年09月26日

※IPC分類：

一、發明名稱：

H01L²⁷/₀₄, H04B⁷/₀₀

(中) 半導體裝置

(2006.01)

(英) Semiconductor device

●二、申請人：(共 1 人)

1. 姓名：(中) 半導體能源研究所股份有限公司
(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.代表人：(中) 1. 山崎舜平
(英) 1. YAMAZAKI, SHUNPEI地址：(中) 日本國神奈川縣厚木市長谷三九八番地
(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 1 人)

1. 姓名：(中) 黑川義元
(英) KUROKAWA, YOSHIYUKI國籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2005/10/12 ; 2005-298244 有主張優先權

五、中文發明摘要

發明之名稱：半導體裝置

由於無線晶片中的通訊信號產生電源電壓，因此存在著這樣的風險：在提供強通訊信號的情形下，無線晶片產生的大量電壓會電損壞電路。因此，本發明的目的是提供一種抗強通訊信號的無線晶片。本發明的無線晶片具有如下元件，其中：如果電源電壓超過了電路損壞的電壓，即超過規定的電壓範圍，那麼電源線和地線電短路。因此，本發明的無線晶片具有抗強通訊信號的性能。

六、英文發明摘要

發明之名稱： SEMICONDUCTOR DEVICE

Since a power source voltage is generated from a communication signal in a wireless chip, there is a risk that a large amount of voltage be generated in the wireless chip to electrically destroy a circuit in the case of supplying a strong communication signal. Therefore, the present invention is made with an aim to provide a wireless chip having resistance to a strong communication signal. A wireless chip of the present invention has an element in which a power source wire and a grounding wire are electrically short-circuited if a power source voltage exceeds a voltage at which an electric circuit is destroyed, i.e., exceeds the specified voltage range. Accordingly, a wireless chip of the present invention has resistance to a strong communication signal.

七、指定代表圖：

(一)、本案指定代表圖為：第(1)圖。

(二)、本代表圖之元件代表符號簡單說明：

101：天線部分	102：整流部分
103：儲存電容器部分	104：天線
105：諧振電容器	106：第一輸出端
107：第二輸出端	108：二極體
109：第一輸入端	110：第二輸入端
111：第一輸出端	112：第二輸出端
113：儲存電容器	114：第一輸入端
115：第二輸入端	116：第一輸出端
117：第二輸出端	118：洩漏元件

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

(1)

九、發明說明

【發明所屬之技術領域】

本發明涉及一種用於無線通訊的半導體裝置。具體地，本發明涉及一種用於向由半導體薄膜電晶體形成的電路提供由通訊信號產生的電源電壓的半導體裝置。

【先前技術】

近些年來，用於無線通訊的其中微型化 IC 晶片與天線相結合的小型半導體裝置（下文中，這種半導體裝置也被稱作無線晶片）引人矚目。通過使用無線通訊裝置（下文中稱作讀出器/寫入器）發送和接收通訊信號，資料可以被寫入無線晶片或從無線晶片讀出。

作為無線晶片的應用領域，例如，在分配工業中的商品管理是公知的。目前，使用條碼的商品管理系統是主流；然而，由於條碼是被光學讀出的，因此當有中斷物件（interrupting objet）的時候，資料就不能被讀出。另一方面，當為了商品管理使用無線晶片時，資料被無線地讀出。因此，即使有中斷物件時資料也可以被讀出，只要無線通訊信號可以穿過該中斷物件傳送。因此，期待通過將無線晶片用於商品管理而改進商品管理的效率、成本降低等。此外，期待廣泛的應用包括：登機證、飛機票、自動付費等（參看參考文獻 1：日本公開的專利申請 No.：2000-149194）。

參考圖 3 和圖 4A 和 4B 說明在無線晶片中從通訊信

(2)

號產生電源電壓的方法。圖 3 示出了無線晶片中的電源電路，圖 4A 和 4B 示出了電源電路的各部分中的電壓隨時間的變化。

在圖 3 中，電源電路具有天線部分 301、整流部分 302 和儲存電容器部分 303。天線部分 301 具有天線 304 和諧振電容器 305。通過接收通訊信號，在天線部分 301 的第一輸出端 306 和第二輸出端 307 之間產生電勢差（下文中這種電勢差稱作天線部分 301 的輸出電勢）。整流部分 302 包括二極體 308。爲了簡單說明，整流部分 302 被認爲是半波整流部分。天線部分 301 的第一輸出端 306 和第二輸出端 307 與整流部分 302 的第一輸入端 309 和第二輸入端 310 相連，在整流部分 302 的第一輸出端 311 和第二輸出端 312 之間產生整流電勢差（下文中這種電勢差稱作整流部分 302 的輸出電勢）。儲存電容器部分 303 具有儲存電容器 313。整流部分 302 的第一輸出端 311 和第二輸出端 312 與儲存電容器部分 303 的第一輸入端 314 和第二輸入端 315 相連，在儲存電容器部分 303 的第一輸出端 316 和第二輸出端 317 之間產生電勢差（下文中這種電勢差稱作儲存電容器部分 303 的輸出電勢）。儲存電容器部分 303 的輸出電勢是無線晶片的電源電壓。

由圖 4A 的波形 401 示出了圖 3 的天線部分 301 的輸出電壓隨時間的變化。於此同時，由圖 4B 的波形 402 示出了圖 3 的整流部分 302 的輸出電壓隨時間的變化。此外，由圖 4B 的波形 403 示出了圖 3 的儲存電容器部分 303

(3)

的輸出電壓隨時間的變化。只有在整流部分 302 中的第一輸入端 309 具有比第一輸出端 311 更高的電勢，整流部分 302 中的二極體 308 才導通。因此，二極體 308 只有在天線部分 301 的輸出電勢為正的時候才具有整流的功能。儘管可以由儲存電容器 313 平滑整流部分 302 的輸出電勢以作為儲存電容器部分 303 的輸出電勢，但是由於其作為電源被無線晶片的電路消耗，因此，儲存電容器部分 303 的輸出電勢逐漸降低。因為重復前述的步驟，儲存電容器部分 303 的輸出電壓隨時間的變化如波形 403。

如上所述，由於無線晶片中的通訊信號產生電源電壓，因此存在著這樣的風險：當提供具有強振幅的通訊信號時，在無線晶片產生會電損壞電路的大量電壓。由於這種風險，第三方可以以電損壞電路為目的提供一種具有強振幅的通訊信號，致使不能從無線晶片讀出資訊。利用具有強振幅的這種通訊信號而損壞無線晶片在下文中稱作強無線電波攻擊。為了避免出現不能從無線晶片讀出資訊的狀況，無線晶片需要抵抗這種強無線電波攻擊。

【發明內容】

鑒於上述問題，已經完成本發明，並且因此提供一種針對強無線電波攻擊具有高抗性的無線晶片。特別地，本發明提出一種包括電路的無線晶片，該電路設置在無線晶片中產生的電源電壓，使其即使在該無線晶片接收到強通訊信號時仍處於規定數值範圍內。

(4)

本發明的無線晶片在電源電路中具有提供有如下元件的電路，其中如果電源電壓超過了電源電路被損壞的電壓，即超過了規定的電壓範圍，電源線和接地線會電短路。由於該電源電壓具有預定的電勢差，該元件具有在該元件的電勢差超過了規定的電壓範圍時電短路該電源線和接地線的功能。通過具有這種結構，即使當供給強通訊信號時，在該電源電路種產生的電源電壓也不會超過規定的電壓範圍。因此，提供了一種針對強無線電波攻擊具有高抗性的高可靠性的無線晶片。

根據本說明書公開的本發明的結構，在半導體裝置中，電源電壓由無線電信號產生。在半導體裝置中，用於產生電源電壓的電源電路具有洩漏元件。該洩漏元件的電阻當電源電路中產生的電壓超過規定的電壓範圍時變得低於當電源電路中產生的電壓位於該規定的電壓範圍內時的洩漏元件的電阻。由此，該洩漏元件將電源電壓保持在規定的電壓範圍內。

根據本發明的另一種結構，在半導體裝置中由無線電波信號產生電源電壓。在半導體裝置中，用於產生電源電壓的電源電路具有儲存電容器和洩漏元件。當電源電路中產生超過規定的電壓範圍的電壓的時候，該洩漏元件的電阻會變得低於在電源電路中產生的電壓位於規定的電壓範圍內時的洩漏元件的電阻值。然後，在儲存電容器中累積的電荷作為電流流向洩漏元件。由此，該洩漏元件將電源電壓保持在規定的電壓範圍內。

(5)

根據本發明的另一種結構，在半導體裝置中由無線電波信號產生電源電壓。在半導體裝置中，用於產生電源電壓的電源電路包括天線部分、整流部分和儲存電容器部分。該天線部分具有天線和諧振電容器，該整流部分具有二極體，並且該儲存電容器部分具有儲存電容器和洩漏元件。當電源電路中產生超過規定的電壓範圍的電壓的時候，該洩漏元件的電阻會變得低於在電源電路中產生的電壓位於規定的電壓範圍內時的洩漏元件的電阻值。然後，在儲存電容器中累積的電荷作為電流流向洩漏元件。由此，該洩漏元件將電源電壓保持在規定的電壓範圍內。

在本發明中，可以將多個二極體應用於該整流部分。

在本發明中，該電源電路由具有在包含絕緣表面的基底上形成的半導體薄膜的薄膜電晶體形成。

在本發明中，可以使用玻璃基底、石英基底、塑膠基底和 SOI 基底中的任何一種作為包含絕緣表面的基底。

在本發明中，儲存電容器部分的第一輸出端和第二輸出端之間的電勢差是電源電壓。

在本發明中，可以應用 N 型 MOS 電晶體或 P 型 MOS 電晶體作為該洩漏元件。

在本發明中，可以應用 N 型記憶體電晶體或 P 型記憶體電晶體作為該洩漏元件。

在本發明中，包括具有第一區域和比第一區域的膜厚更薄的第二區域的閘極絕緣膜的 MIS 電容器可以作為洩漏元件。替代地，該洩漏元件可以具有由半導體薄膜、閘極

(6)

絕緣膜、和閘極電極堆疊形成的 MIS 電容器。該閘極絕緣膜可以具有第一區域和比第一區域的膜厚更薄的第二區域。在這種情況下，在第二區域中的閘極絕緣膜的厚度是在第一區域中的閘極絕緣膜的厚度的 50% 到 80%。

在本發明中，通過堆疊半導體薄膜、閘極絕緣膜和閘極電極形成的 MIS 電容器可作為該洩漏元件。在這種情況下，該閘極絕緣膜具有第一區域和比第一區域的膜厚更薄的第二區域，並且該第二區域與該閘極電極的末端部分重疊。

在本發明中，通過堆疊半導體薄膜、閘極絕緣膜和閘極電極形成的 MIS 電容器可作為該洩漏元件。

在這種情況下，該閘極絕緣膜具有第一區域和比第一區域的膜厚更薄的第二區域，並且該第一區域與該半導體薄膜重疊，同時該第二區域與該半導體薄膜的末端部分重疊。

根據本發明，可以提供一種其中由通訊信號產生電源電壓的高可靠性的無線晶片。本發明特別在由薄膜電晶體形成該無線晶片時特別有效。

【實施方式】

本發明的實施例模式和實施例在此將根據附圖進行說明。然而，由於本發明可以通過許多不同的方式來實現，因此本領域技術人員應當容易理解，除非背離本發明的範圍和精神，實施例模式和細節可以有各種變化。因此，本

(7)

發明將不被解釋為限於下述的實施例模式和實施例。相同的部件或具有相似功能的部件由相同的標記數位表示，為了說明實施例模式和實施例，在整個附圖中忽略對這種部件的說明。

(實施例模式 1)

在該實施例模式中，參考圖 1 和圖 2A 和 2B 描述了本發明的無線晶片。圖 1 示出了本發明的無線晶片的電源電路，並且圖 2A 和 2B 示出了該電源電路的各部件的電壓隨時間的變化。

在圖 1 中，電源電路具有天線部分 101、整流部分 102 和儲存電容器部分 103。天線部分 101 具有天線 104 和諧振電容器 105。通過接收通訊信號，在天線部分 101 的第一輸出端 106 和第二輸出端 107 之間產生電勢差（下文中這種電勢差稱作天線部分 101 的輸出電勢）。本發明可以適用於採用導線或不用導線來獲得的通訊信號，並且將描述具有天線部分以獲取通訊信號而不採用導線（下文中稱該信號為無線電信號）的實施例模式。

整流部分 102 包括二極體 108。為了簡單說明，整流部分 102 被認為是半波整流部分。除此之外，整流部分 102 可以為全波整流部分。天線部分 101 的第一輸出端 106 和第二輸出端 107 與整流部分 102 的第一輸入端 109 和第二輸入端 110 相連。二極體 108 的輸入端與整流部分 102 的第一輸入端 109 相連，二極體 108 的輸出端與第一

(8)

輸出端 111 相連。只有當第一輸入端 109 的電勢比第二輸入端 110 大的時候，二極體 108 才導通。因此，在整流部分 102 的第一輸出端 111 和第二輸出端 112 之間產生整流電勢差（下文中這種電勢差稱作整流部分 102 的輸出電勢）。應當注意，輸出端和輸入端可以共同稱作連接端。

儲存電容器部分 103 具有儲存電容器 113 和洩漏元件 118。整流部分 102 的第一輸出端 111 和第二輸出端 112 與儲存電容器部分 103 的第一輸入端 114 和第二輸入端 115 相連，在儲存電容器部分 103 的第一輸出端 116 和第二輸出端 117 之間產生電勢差（下文中這種電勢差稱作儲存電容器部分 103 的輸出電勢）。儲存電容器部分 103 的輸出電勢是無線晶片的電源電壓。

洩漏元件 118 具有當產生超過規定電壓範圍的電壓時，電阻劇烈地降低的電特性。規定的電壓範圍意指以電源電路為代表的無線晶片中的電路不被電破壞的電壓；具體地，優選 1 到 8V 的範圍，但是並不局限於此規定的電壓。作為洩漏元件 118，例如，考慮具有在規定的電壓範圍內的臨限值電壓的二極體或電晶體，當超過規定的電壓範圍時具有大量的閘極洩漏電流的 MIS 電容器等。應當注意，電壓電源電路不一定具有天線 104、諧振電容器 105 和二極體 108。

在圖 2A 中，用波形 201 示出了圖 1 的天線部分 101 的輸出電勢隨時間的變化。於此同時，用圖 2B 的波形 202 示出了圖 1 的整流部分 102 的輸出電勢隨時間的變化

(9)

。此外，用圖 2B 的波形 203 示出了圖 1 的儲存電容器部分 103 的輸出電勢隨時間的變化。只有當整流部分 102 的第一輸入端 109 的電勢比第一輸出端 111 大的時候，整流部分 102 的二極體 108 才導通。因此，二極體 108 只在天線部分 101 的輸出電勢為正時具有整流的功能。

在此，如果整流部分 102 的輸出電勢，即儲存電容器部分 103 的第一輸入端 114 和第二輸入端 115 之間的電勢差不大於規定電勢的範圍，整流部分 102 的輸出電勢施加到儲存電容器 113 上並累積電荷。另一方面，如果整流部分 102 的輸出電勢超過了規定的電壓範圍，洩漏元件 118 的電阻變得比整流部分 102 的輸出電勢不大於規定的電壓範圍時低。因此，儲存電容器 113 中累積的電荷作為電流而流向洩漏元件 118。換句話說，儲存電容器部分 103 的輸出電勢，即圖 2B 中的波形 203 不上升超過規定值。

儘管通過儲存電容器 113 平滑整流部分 102 的輸出電勢以作為儲存電容器部分 103 的輸出電勢，由於無線晶片電路的電力消耗，儲存電容器部分 103 的輸出電勢逐漸減小。由於重複前述的步驟，儲存電容器部分 103 的輸出電勢隨時間的變化如圖 2B 的波形 203 所示。

即使將強振幅的通訊信號施加到其中由通訊信號產生電源電壓的無線晶片上，這種結構也有可能將產生的電源電壓保持在規定的電壓範圍內。因此，可以提供即使受到強無線電波攻擊其電路也不會被電損壞的高可靠性的無線晶片。

(10)

該實施例模式的無線晶片可以形成在玻璃基底、石英基底、塑膠基底或 SOI 基底上。當使用薄膜電晶體時，該薄膜電晶體利用在具有絕緣表面的基底，諸如玻璃基底、石英基底或塑膠基底上形成的半導體薄膜，可以按低成本提供消耗更少電力的高可靠性的和更加輕便的高性能無線晶片而不擴大電路的面積。

(實施例模式 2)

該實施例模式將描述一種本發明的無線晶片，其具有與實施例模式 1 中描述的不同方式，參考圖 5 和圖 6A 和 6B。圖 5 示出了該實施例模式的無線晶片中的電源電路。圖 6A 和 6B 示出了電源電路的各部件的電壓隨時間的變化。

在圖 5 中，電源電路具有天線部分 501、整流部分 502 和儲存電容器部分 503。天線部 501 和儲存電容器部分 503 與實施例模式 1 中的那些結構類似，除了整流部分 502 具有多個二極體：第一二極體 519 到第四二極體 522。天線部分 501 具有天線 504 和諧振電容器 505。通過接收通訊信號，在天線部分 501 的第一輸出端 506 和第二輸出端 507 之間產生電勢差（下文中這種電勢差稱作天線部分 501 的輸出電勢）。本發明可以適用於採用導線或不用導線來獲得的通訊信號，並且將描述具有天線部分以獲取通訊信號而不採用導線（下文中稱該信號為無線電信號）的實施例模式。

(11)

在該實施例模式中，整流部分 502 被認為是全波整流部分。天線部分 501 的第一輸出端 506 和第二輸出端 507 與整流部分 502 的第一輸入端 509 和第二輸入端 510 相連，並且在整流部分 502 的第一輸出端 511 和第二輸出端 512 之間產生整流電勢差（下文中這種電勢差稱作整流部分 502 的輸出電勢）。第一二極體 519 的輸入端與整流部分 502 的第二輸出端 512 相連，同時第一二極體 519 的輸出端與第一輸入端 509 相連。第二二極體 520 的輸入端與整流部分 502 的第一輸入端 509 相連，同時第二二極體 520 的輸出端與第一輸出端 511 相連。

第三二極體 521 的輸入端與整流部分 502 的第二輸出端 512 相連，同時第三二極體 521 的輸出端與第二輸入端 510 相連。第四二極體 522 的輸入端與整流部分 502 的第二輸入端 510 相連，同時第四二極體 522 的輸出端與第一輸出端 511 相連。

儲存電容器部分 503 具有儲存電容器 513 和洩漏元件 518。整流部分 502 的第一輸出端 511 和第二輸出端 512 與儲存電容器部分 503 的第一輸入端 514 和第二輸入端 515 相連。然後，在儲存電容器部分 503 的第一輸出端 516 和第二輸出端 517 之間產生電勢差（下文中這種電勢差稱作儲存電容器部分 503 的輸出電勢）。儲存電容器部分 503 的輸出電勢是無線晶片的電源電壓。

洩漏元件 518 具有當產生超過規定電壓範圍的電壓時，電阻降低的電特性。規定的電壓範圍意指以電源電路為

(12)

代表的無線晶片中的電路不被電破壞的電壓；具體地，優選 1 到 8V 的範圍，但是並不局限於此規定的電壓。作為洩漏元件 518，例如，考慮具有在規定的電壓範圍內的臨限值電壓的二極體或電晶體，當超過規定的電壓範圍時具有大量的閘極洩漏電流的 MIS 電容器等。應當注意，電源電路不一定具有天線 504、諧振電容器 505 和二極體 519 到 522。

在圖 6A 中，波形 601 示出了圖 5 中天線部分 501 的輸出電勢隨時間的變化。於此同時，圖 6B 中的波形 602 示出了圖 5 中整流部分 502 輸出電勢隨時間的變化。另外，圖 6B 中的波形 603 示出了圖 5 中儲存電容器部分 503 輸出電勢隨時間的變化。

在整流部分 502 中，只有在第二輸出端 512 的電勢高於第一輸入端 509 的電勢時，整流部分 502 中的第一二極體 519 才導通。在整流部分 502 中，只有在第一輸入端 509 的電勢高於第一輸出端電勢 511 時，整流部分 502 中的第二二極體 520 才導通。因此，只有當天線部分 501 的輸出電勢為正的部分中，第一二極體 519 和第二二極體 520 中的每一個才具有整流的功能。而且，只有當整流部分 502 中的第二輸出端 512 的電勢高於第二輸入端 510 的電勢時，整流部分 502 中的第三二極體 521 才會導通。只有當在整流部分 502 中的第二輸入端 510 的電勢高於第一輸出端 511 的電勢時，整流部分 502 中的第四二極體 522 才會導通。因此，只有在天線部分 501 的輸出電勢為負的

(13)

部分中，第三二極體 521 和第四二極體 522 中的每一個才具有整流的功能。

將在實施例模式 1 中作為半波整流部分的整流部分 102 中輸出電勢隨時間的變化（圖 2B 中的波形 202）與在該實施例模式中整流部分 502 中輸出電勢隨時間的變化（圖 6B 中的波形 602）相比較，可以理解，輸出整流部分中的輸出電勢的時間加倍。換句話說：在該實施例模式中示出的全波整流部分與在實施例模式 1 中的半波整流部分相比較，二極體數目增加了；然而，通過通訊信號獲得的天線部分 501 的輸出電勢能夠被有效地提供給儲存電容器部分 503。

在此，如果整流部分 502 的輸出電勢，即儲存電容器部分 503 的第一輸入端 514 和第二輸入端 515 的電勢差，不大於規定的電壓範圍，那麼整流部分 502 的輸出電勢被施加到儲存電容器 513，並且在儲存電容器 513 中累積所提供的電荷。另一方面，如果整流部分 502 的輸出電勢超出了規定的電壓範圍，那麼洩漏元件 518 的電阻變得低於其在整流部分 502 的輸出電勢不大於規定電壓範圍時的電阻。因此，在儲存電容器 513 中累積的電荷會作為電流而流到洩漏元件 518。這就是說：儲存電容器部分 503 的輸出電勢，即圖 6B 中的波形 603 不會上升到超出規定值。

儘管儲存電容器 513 平滑整流部分 502 的輸出電勢以作為儲存電容器部分 503 的輸出電勢，但由於無線晶片電路的電力消耗，儲存電容器部分 503 的輸出電勢逐漸減小

(14)

。由於重復前述的步驟，儲存電容器部分 503 的輸出電勢隨時間變化，如波形 603 所示。

即使將強振幅的通訊信號施加到其中由通訊信號產生電源電壓的無線晶片上，這種結構也有可能將產生的電源電壓保持在規定的電壓範圍內。因此，可以提供即使受到強無線電波攻擊其電路也不會被電損壞的高可靠性的無線晶片。

在該實施例模式的無線晶片可以形成在玻璃基底、石英基底、塑膠基底或 SOI 基底上。當使用薄膜電晶體時，該薄膜電晶體包括在具有絕緣表面的基底，諸如玻璃基底、石英基底或塑膠基底上形成的半導體薄膜，可以按低成本提供消耗更少電力的高可靠性的和更加輕便的高性能無線晶片而不擴大電路的面積。

下文中，將會參考附圖來描述本發明的實施例。

(實施例 1)

該實施例將會參考圖 7A 和圖 7B 描述使用 MOS 電晶體的一個例子，作為本發明的無線晶片結構中的洩漏元件的例子，該無線晶片結構已經在實施例模式 1 和實施例模式 2 中示出。

圖 7A 示出了使用一個 N 型 MOS 電晶體 701 來形成該洩漏元件的一個例子。第一端子 702 和第二端子 703 分別電連接到實施例模式 1 中示出的圖 1 中的儲存電容器部分 103 的第一輸出端 116 和第二輸出端 117。並且，該第

(15)

一端子 702 和第二端子 703 分別電連接到實施例模式 2 中示出的圖 5 中的儲存電容器部分 503 的第一輸出端 516 和第二輸出端 517。

N 型 MOS 電晶體 701 的臨限值電壓在規定的電壓範圍內，該規定的電壓範圍被確定為無線晶片的電路不會被電損壞的電壓。在實施例模式 1 中，如果第一端子 702 相對於第二端子 703 的電勢不大於規定的電壓範圍，那麼整流部分 102 的輸出電勢施加到儲存電容器 113 上，並且累積所提供的電荷。另一方面，如果整流部分 102 的輸出電勢超過規定的電壓範圍，那麼 N 型 MOS 電晶體 701 的電阻會變得低於其在整流部分 102 的輸出電勢不大於規定電壓範圍時的電阻，而且第一端子 702 和第二端子 703 電短路。因此，在電容 113 累積的電荷將作為電流而流到 N 型 MOS 電晶體 701。與此類似，在實施例模式 2 中，如果第一端子 702 相對於第二端子 703 的電勢不大於規定的電壓範圍，那麼整流部分 502 的輸出電勢施加到儲存電容器 513 上，並且累積所提供的電荷。另一方面，如果整流部分 502 的輸出電勢超過規定的電壓範圍，那麼 N 型 MOS 電晶體 701 的電阻變得低於其在整流部分 502 的輸出電勢不大於規定電壓範圍時的電阻，而且第一端子 702 和第二端子 703 電短路。因此，在電容 513 累積的電荷將作為電流而流到 N 型 MOS 電晶體 701。因此，在實施例模式 1 中說明的儲存電容器部分 103 的輸出電勢和在實施例模式 2 中說明的儲存電容器部分 503 的輸出電勢未超出規定的

(16)

電壓範圍。

圖 7B 示出了使用 P 型 MOS 電晶體 704 來形成洩漏元件結構的一個例子。第一端子 705 和第二端子 706 分別連接到實施例模式 1 中示出的圖 1 中的儲存電容器部分 103 的第一輸出端 116 和第二輸出端 117。替代地，該第一端子 705 和第二端子 706 分別連接到實施例模式 2 中示出的圖 5 中的儲存電容器部分 503 的第一輸出端 516 和第二輸出端 517。

P 型 MOS 電晶體 704 的臨限值電壓的絕對值在規定的電壓範圍內，該規定的電壓範圍被確定為無線晶片的電路不被電損壞的電壓。在實施例模式 1 中，如果第一端子 705 相對於第二端子 706 的電勢不大於規定的電壓範圍，那麼整流部分 102 的輸出電勢施加到儲存電容器 113 上，並且累積所提供的電荷。另一方面，如果整流部分 102 的輸出電勢超過規定的電壓範圍，那麼 P 型 MOS 電晶體 704 的電阻會變得低於其在整流部分 102 的輸出電勢不大於規定電壓範圍時的電阻，而且第一端子 705 和第二端子 706 電短路。因此，在儲存電容器 113 中累積的電荷將作為電流而流到 P 型 MOS 電晶體 704。與此類似，在實施例模式 2 中，如果第一端子 705 相對於第二端子 706 的電勢不大於規定的電壓範圍，那麼整流部分 502 的輸出電勢施加到儲存電容器 513 上，並且累積所提供的電荷。另一方面，如果整流部分 502 的輸出電勢超過規定的電壓範圍，那麼 P 型 MOS 電晶體 704 的電阻會變得低於其在整流部分 502

(17)

的輸出電勢不大於規定電壓範圍時的電阻，而且第一端子 705 和第二端子 706 電短路。因此，在儲存電容器 513 中累積的電荷將作為電流而流到 P 型 MOS 電晶體 704。因此，在實施例模式 1 中說明的儲存電容器部分 103 的輸出電勢和在實施例模式 2 中說明的儲存電容器部分 503 的輸出電勢未超出規定的電壓範圍。

即使將具有強振幅的通訊信號施加到其中由通訊信號產生電源電壓的無線晶片上，這種結構也有可能將產生的電源電壓保持在規定的電壓範圍內。因此，可以提供即使受到強無線電波攻擊其電路也不會被電損壞的高可靠性的無線晶片。

(實施例 2)

該實施例模式將參考圖 8A 和圖 8B 說明使用記憶體電晶體的例子，作為本發明的無線晶片結構中的洩漏元件的一個例子，該無線晶片結構已經在實施例模式 1 和實施例模式 2 中示出。記憶體電晶體是一個具有儲存功能的元件；例如：給出了具有浮閘極的電晶體或者在閘極絕緣薄中具有電子俘獲能級的電晶體。

圖 8A 示出了使用一個 N 型記憶體電晶體 801 來形成洩漏元件的一個例子。第一端子 802 和第二端子 803 分別電連接到實施例模式 1 中示出的圖 1 中的儲存電容器部分 103 的第一輸出端 116 和第二輸出端 117。替代地，該第一端子 802 和第二端子 803 分別電連接到實施例模式 2 中

(18)

示出的圖 5 中的儲存電容器部分 503 的第一輸出端 516 和第二輸出端 517。

N 型記憶體電晶體 801 可以是一種非易失性記憶體，其中，在 N 型 MOS 電晶體的閘極絕緣膜中加入浮閘極。在此種情況下，N 型記憶體電晶體 801 的臨限值電壓可以通過改變在浮閘極中保持的電荷量而確定。此外，N 型記憶體電晶體 801 可以是一種非易失性記憶體，其中，在 N 型 MOS 電晶體的閘極絕緣膜中加入氮化物薄膜，該氮化物薄膜形成俘獲電荷的俘獲能級。在此種情況下，N 型記憶體電晶體 801 的臨限值電壓可以通過改變在氮化物薄膜中保持的電荷量而確定。

N 型記憶體電晶體 801 的臨限值電壓在規定的電壓範圍內，該規定的電壓範圍被確定為無線晶片的電路不會被電損壞的電壓。在實施例模式 1 中，如果第一端子 802 相對於第二端子 803 的電勢不大於規定的電壓範圍，那麼整流部分 102 的輸出電勢施加到儲存電容器 113 上，並且累積所提供的電荷。另一方面，如果整流部分 102 的輸出電勢超過規定的電壓範圍，那麼 N 型記憶體電晶體 801 的電阻會變得低於其在整流部分 102 的輸出電勢不大於規定電壓範圍時的電阻，而且第一端子 802 和第二端子 803 電短路。因此，在儲存電容器 113 中累積的電荷將作為電流而流到 N 型記憶體電晶體 801。與此類似，在實施例模式 2 中，如果第一端子 802 相對於第二端子 803 的電勢不大於規定的電壓範圍，那麼整流部分 502 的輸出電勢施加到儲

(19)

存電容器 513 上，並且累積所提供的電荷。另一方面，如果整流部分 502 的輸出電勢超過規定的電壓範圍，那麼 N 型記憶體電晶體 801 的電阻會變得低於其在整流部分 502 的輸出電勢不大於規定電壓範圍時的電阻，而且第一端子 802 和第二端子 803 電短路。因此，在儲存電容器 113 累積的電荷將作為電流而流到 N 型記憶體電晶體 801。因此，在實施例模式 1 中說明的儲存電容器部分 103 的輸出電勢和在實施例模式 2 中說明的儲存電容器部分 503 的輸出電勢未超出規定的電壓範圍。

圖 8B 示出了使用 P 型記憶體電晶體 804 來形成洩漏元件結構的一個例子。第一端子 805 和第二端子 806 分別連接到實施例模式 1 中示出的圖 1 中的儲存電容器部分 103 的第一輸出端 116 和第二輸出端 117。替代地，該第一端子 805 和第二端子 806 分別連接到實施例模式 2 中示出的圖 5 中的儲存電容器部分 503 的第一輸出端 516 和第二輸出端 517。

P 型記憶體電晶體 804 可以是一種非易失性記憶體，其中，在 P 型 MOS 電晶體的閘極絕緣膜中加入浮閘極。在此種情況下，P 型記憶體電晶體 804 的臨限值電壓可以通過改變在浮閘極中保持的電荷量而確定。並且，P 型記憶體電晶體 804 可以是一種非易失性記憶體，其中，在 P 型 MOS 電晶體的閘極絕緣膜中加入氮化物薄膜，該氮化物薄膜形成電荷的俘獲能級。在此種情況下，P 型記憶體電晶體 804 的臨限值電壓可以通過改變在氮化物薄膜中保

(20)

持的電荷量而確定。

P 型記憶體電晶體 804 的臨限值電壓的絕對值在規定的電壓範圍內，該規定的電壓範圍被確定為本發明的無線晶片的電路不被電損壞的電壓。

在實施例模式 1 中，如果第一端子 805 相對於第二端子 806 的電勢不大於規定的電壓範圍，那麼整流部分 102 的輸出電勢施加到儲存電容器 113 上，並且累積所提供的電荷。另一方面，如果整流部分 102 的輸出電勢超過規定的電壓範圍，那麼 P 型記憶體電晶體 804 的電阻會變得低於其在整流部分 102 的輸出電勢不大於規定電壓範圍時的電阻，而且第一端子 805 和第二端子 806 電短路。因此，在儲存電容器 113 中累積的電荷將作為電流而流到 P 型記憶體電晶體 804。與此類似，在實施例模式 2 中，如果第一端子 802 相對於第二端子 803 的電勢不大於規定的電壓範圍，那麼整流部分 502 的輸出電勢施加在儲存電容器 513 上，並且累積所提供的電荷。另一方面，如果整流部分 502 的輸出電勢超過規定的電壓範圍，那麼 P 型記憶體電晶體 804 的電阻會變得低於其在整流部分 502 的輸出電勢不大於規定電壓範圍時的電阻，而且第一端子 805 和第二端子 806 電短路。因此，在儲存電容器 113 累積的電荷將作為電流而流到 P 型記憶體電晶體 804。因此，在實施例模式 1 中說明的儲存電容器部分 103 的輸出電勢和在實施例模式 2 中說明的儲存電容器部分 503 的輸出電勢未超出規定的電壓範圍。

(21)

即使將具有強振幅的通訊信號施加到其中由通訊信號產生電源電壓的無線晶片上，這種結構也有可能在規定的電壓範圍內保持產生的電源電壓。因此，可以提供即使受到強無線電波攻擊其電路也不會被電損壞的高可靠性的無線晶片。

(實施例 3)

該實施例將參考圖 9 和圖 10A 到 10C 說明使用 MIS 電容器的例子，作為本發明的無線晶片結構中的洩漏元件的一個例子，該無線晶片結構已經在實施例模式 1 和實施例模式 2 中示出。

圖 9 示出了使用一個 MIS 電容器 901 來形成洩漏元件結構的例子。第一端子 902 和第二端子 903 分別電連接到在實施例模式 1 中示出的圖 1 中的儲存電容器部分 103 的第一輸出端 116 和第二輸出端 117。替代地，第一端子 902 和第二端子 903 分別電連接到在實施例模式 2 中示出的圖 5 中的儲存電容器部分 103 的第一輸出端 516 和第二輸出端 517。

MIS 電容器 901 具有當產生的電壓超過規定電壓範圍時，其閘極洩漏電流劇烈地增加的特性，該規定的電壓範圍被確定為本發明的無線晶片電路不會被電破壞的電壓。因此，當第一端子 902 相對於第二端子 903 的電勢超出規定的電壓範圍時，MIS 電容器 901 的電阻變得低於其在整流部分 502 的輸出電勢不大於規定電壓的範圍時的電

(22)

阻，而且第一端子 902 和第二端子 903 電短路。因此，在實施例模式 1 中說明的儲存電容器部分 103 的輸出電勢和在實施例模式 2 中說明的儲存電容器部分 503 的輸出電勢未超出規定的電壓範圍。

圖 10A 和圖 10B 示出了具有前述特性的 MIS 電容器的佈局和截面圖。在圖 10A 中，在半導體薄膜 1001 上堆疊閘極絕緣膜 1016，並且在該閘極絕緣膜 1016 上形成閘極電極 1002。此外，在閘極電極 1016 上堆疊層間絕緣膜，而且在該層間絕緣膜上形成源極電極和汲極電極 1003。該源極電極和汲極電極 1003 通過一個接觸 1004 電連接到半導體薄膜 1001。應當注意，閘極電極 1002 和源極電極及汲極電極 1003 分別對應於圖 9 中示出的第一端子 902 和第二端子 903。

MIS 電容器 901 的閘極絕緣膜 1016 具有第一區域和第二區域。在第二區域的閘極絕緣膜 1016 要比在第一區域的薄。洩漏路徑 1005 對應著閘極絕緣膜的 second 區域。換句話說：在第二區域中該閘極絕緣膜的電學耐壓能力低。例如，通過形成閘極絕緣膜 1016，然後使用光掩膜利用蝕刻步驟來蝕刻閘極絕緣膜 1016，可以形成洩漏路徑 1005。在此，確定閘極絕緣薄的膜厚，以便於如果 MIS 電容器中產生的電壓超出了規定的電壓範圍，那麼大量的閘極洩漏電流將流過洩漏路徑 1005。例如：通過熱氧化的方法，可以在矽表面上形成厚度為 3nm 到 10nm 之間的閘極絕緣膜。然後，爲了流過閘極洩漏電流，在第二區域的閘

(23)

極絕緣膜的膜厚可以為在第一區域中的閘極絕緣膜的膜厚的 50% 到 80%。例如，如果在第一區域的閘極絕緣膜的厚度為 30nm，那麼在第二區域的閘極絕緣膜的厚度為 15nm 到 24nm。

因此，在實施例模式 1 中描述的儲存電容器部分 103 的輸出電勢和在實施例模式 2 中描述的儲存電容器部分 503 未超出規定的電壓範圍。

在圖 10B 中，半導體薄膜 1006 上堆疊閘極絕緣膜 1017 並且在該閘極絕緣膜 1017 上形成了閘極電極 1007。並且，在閘極電極 1007 上堆疊層間絕緣膜，而且在該層間絕緣膜上形成源極電極和汲極電極 1008。該源極電極和汲極電極 1008 通過一個接觸 1009 電連接到半導體薄膜 1006。應當注意，閘極電極 1007 和源極電極及汲極電極 1008 分別對應於圖 9 中的第一端子 902 和第二端子 903。

MIS 電容器 901 的閘極絕緣膜 1017 具有第一區域和第二區域，第二區域具有比第一區域更薄的薄膜厚，洩漏路徑 1010 對應著閘極絕緣膜 1017 的第二區域。如果在形成閘極時採用各向異性刻蝕工藝，那麼在閘極電極 1007 下面的閘極絕緣膜 1017 的一部分會被刻掉而導致缺陷 1019，而且導致缺陷的區域是洩漏路徑 1010，該洩漏路徑對應著閘極絕緣膜 1017 薄的區域。換句話說，在第二區域中，該閘極電極的電學耐壓能力要低。如果 MIS 電容器中產生的電壓超出規定的電壓範圍，大量的閘極洩漏電流流過洩漏路徑 1010。在圖 10B 中，在閘極絕緣膜 1017 中

(24)

形成多個的第二區域，從而與閘極電極 1007 的末端部分重疊。通過利用具有這一洩漏路徑的 MIS 電容器，在實施例模式 1 中描述的儲存電容器部分 103 的輸出電勢和在實施例模式 2 中描述的儲存電容器部分 503 的輸出電勢未超出規定的電壓範圍。

此外，在圖 10C 中，在半導體薄膜 1011 上堆疊閘極絕緣膜 1018 並且在該閘極絕緣膜 1018 上形成閘極電極 1012。此外，在閘極電極 1012 上堆疊層間絕緣膜，而且在該層間絕緣膜上形成源極電極和汲極電極 1013。該源極電極和汲極電極 1013 通過一個接觸 1014 電連接到半導體薄膜 1011。應當注意，閘極電極 1012 和源極電極及汲極電極 1013 分別對應於圖 9 中示出的第一端子 902 和第二端子 903。

MIS 電容器 901 的閘極絕緣膜 1018 具有與半導體薄膜 1011 重疊的第一區域和其中閘極絕緣膜的膜厚比第一區域中的薄的第二區域，洩漏路徑 1010 對應著閘極絕緣膜 1015 的第二區域。洩漏路徑 1015 為閘極絕緣膜中的一個區域，此處由於在形成閘極絕緣膜步驟中產生的機械應力而產生晶格缺陷 1020，而且此處的閘極絕緣膜 1018 薄。在這種薄的區域，閘極絕緣膜具有低的電學耐壓能力。如果 MIS 電容器中產生的電壓超出規定的電壓範圍，大量的閘極洩漏電流流過洩漏路徑 1015。在圖 10C 中，多個的第二區域形成在閘極絕緣膜 1018 中，從而與半導體薄膜 1011 的末端部分重疊。通過利用具有這種洩漏路徑的

(25)

MIS 電容器，在實施例模式 1 中描述的儲存電容器部分 103 的輸出電勢和在實施例模式 2 中描述的儲存電容器部分 503 的輸出電勢未超出規定的電壓範圍。

即使將具有強振幅的通訊信號施加到其中由通訊信號產生電源電壓的無線晶片上，這種結構也有可能將產生的電源電壓保持規定的電壓範圍內。因此，可以提供即使受到強無線電波攻擊其電路也不會被電損壞的高可靠性的無線晶片。

儘管該實施例已經描述使用 MIS 電容器，但也可以使用包括一個薄膜電晶體的電容器（稱作 TFT 電容器）。在使用 TFT 電容器的情況下，該閘極絕緣膜可以具有在 20nm 到 100nm 的厚度。並且，在圖 10A 種，第二區域中的閘極絕緣膜的厚度可以為在第一區域中的閘極絕緣膜的膜厚的 50% 到 80%。例如，如果在第一區域的閘極絕緣膜厚為 20nm，那麼在第二區域的閘極絕緣膜厚為 10nm 到 16nm。

（實施例 4）

該實施例將參照圖 13 和 14 說明具有密碼處理功能的無線晶片，作為本發明中的一個半導體裝置的例子。圖 13 示出了該無線晶片的框圖，圖 14 示出了該無線晶片的佈局。

首先，參考圖 13 描述了無線晶片塊結構。在圖 13 中，無線晶片 2601 包含一個運算電路 2606 和一個類比部分

(26)

2615。該運算電路 2606 具有 CPU2602、ROM2603、RAM2604 及控制器 2605。該類比部分 2615 具有包含天線的天線部分 2607、包含諧振電容器的諧振電路 2608、電源電路 2609、重設電路 2610、時脈產生電路 2611、解調電路 2612、調變電路 2613 及電源控制電路 2609。前述電路結構可以適用於電源電路 2608。

控制器 2605 具有 CPU 介面 (CPUIF) 2616、控制暫存器 2617、解碼電路 2618 和編碼電路 2619。儘管爲了簡化說明，在圖 13 中通訊信號被分別示出爲接收信號 2620 和發送信號 2621，但實際上，這兩種信號彼此重疊，並且在無線晶片 2601 和讀出器/寫入器之間是同時發送和接收的。在通過天線部分 2607 和諧振電路 2608 接收信號 2620 後，接收信號 2620 通過解調電路 2612 被解調。通過調變電路 2613 調變發送的信號 2612，然後從天線部分 2607 發送。

在圖 13 中，當無線晶片 2601 被放置在由通訊信號形成的磁場中時，由天線部分 2607 和諧振電路部分 2608 產生感應電動勢。感應的電動勢通過在電源電路 2609 中的電容來保持，並且電勢通過電容來穩定而且作爲電源電壓被提供給無線晶片 2601 中的每一個電路。應當注意，在本發明中的天線部分 2607、諧振電路 2608 及電源電路 2609 也可稱作用於提供電源電壓的電路。重設電路 2610 產生了整個無線晶片 2601 的初始化重設信號。例如，產生在電源電壓的增加之後上升的信號作爲重設信號。時脈

(27)

產生電路 2611 根據電源控制電路 2614 產生的控制信號來改變其時脈信號的頻率及工作比。解調電路 2612 檢測按照 ASK 方法的接收信號 2620 的振幅的變化而作為“0”/“1”接收資料 2622。例如，解調電路 2612 對應於低通濾波器。並且，在改變按 ASK 方法的發送信號 2621 的振幅後，調變電路 2613 發送傳送資料。例如，如果傳送資料 2623 是“0”，那麼改變諧振電路 2608 的諧振點以改變通訊信號的振幅。電源控制電路 2614 監測從電源電路 2609 提供給運算電路 2606 的電源電壓及運算電路 2606 中的消耗電流。時脈產生信號 2611 產生用於改變時脈信號工作比和頻率的控制信號。

描述該實施例中的無線晶片的操作。首先，無線晶片 2601 從讀出器/寫入器接收到包括密碼文本資料的接收信號 2620。接收信號 2620 通過解調電路 2612 而被解調，然後通過解碼電路 2618 分解成控制命令，密碼文本資料等，附後被儲存到控制暫存器 2617。在此，控制命令規定無線晶片 2601 回應的資料。例如，規定了唯一的 ID 數位、操作停止及密碼的破解等的傳輸。在這裏，將接收密碼破解的控制命令。

接下來，在運算電路 2606 中，通過使用事先儲存在 ROM 2603 中的密鑰 2624，根據儲存在 ROM 2603 中的密碼破解程式，CPU 2602 破解（解密）密碼文本。經過解碼的密碼文本（解碼文本）被儲存在控制暫存器 2617 中。於此同時，RAM 2604 將會作為一個資料儲存區域。CPU

(28)

2602 通過 CPU 介面電路 (CPUIF) 2616 來存取 ROM 2603、RAM 2604 及控制暫存器 2617。CPU 介面電路 (CPUIF) 2616 根據 CPU 2602 要求的位址，產生對 ROM 2603、RAM 2604，控制暫存器 2617 中任何一個的存取信號。應當注意，CPU 2602、ROM 2603、RAM 2604、解調電路 2612 和調變電路 2613 被可操作地連接到控制器 2605 上。

最終，編碼電路 2619 從解密文本中產生傳送資料 2623，然後該資料並通過解調電路 2613 進行解調。接下來，傳送信號 2612 從天線部分 2607 發送給讀出器/寫入器。

儘管作為運算方法，該實施例已經描述了使用軟體的一種處理方法，即其中運算電路是通過 CPU 及被 CPU 執行的大規模記憶體及程式所形成的方法，但也可能根據該目的選擇最佳的運算方法並且依據所選擇的方法形成運算電路。例如，作為運算方法，有使用硬體處理運算的其他方法及使用軟體和硬體結合的其他方法。對於使用硬體的方法，運算電路可以通過專用的電路來實現。在軟硬體結合的方法中，運算電路也可以通過專用的電路、CPU、記憶體和通過專用電路而執行的一部分運算處理及通過 CPU 而執行的剩餘部分的運算處理程式而構成。

接下來，參考圖 14 描述該無線晶片的佈局結構。在圖 14 中，由相同的標記數位表示與圖 13 相同的部件，並且省略對這些部件的描述。

在圖 14 中，FPC 焊墊 2707 是一個電極焊墊組，當

(29)

FPC（撓性印刷電路）被附加到無線晶片 2601 時使用該電極焊墊組。天線凸起 2708 是附著天線的電極焊墊（沒有示出）。當附著天線後，天線凸起 2708 有可能受到過多的壓力。因此，希望不要將形成諸如電晶體的電路的部件提供在天線凸起 2708 的下面。

主要在失效分析中，使用 FPC 焊墊 2707 是有效的。因為該無線晶片從通訊信號中獲得電源電壓，如果例如在天線中或是電源電壓電路中出現問題，那麼運算電路完全不能工作。因此，失效分析會變得特別困難。然而，通過經由 FPC 的焊墊 2707 從 FPC 向無線晶片 2601 提供電源電壓，以及輸入任何電信號，而代替從天線提供的電信號，可以操作運算電路。因此，可以有效地進行失效分析。

並且，更有效的是在可能使用探針測量的位置處提供 FPC 焊墊 2707。換句話說，通過在 FPC 焊墊 2707 中按照探針的間距提供電極焊墊，採用探針的測量變為可能。利用探針可以對減少在失效分析中附加 FPC 的工時耗費。此外，由於在基底上形成多個無線晶片狀態中也可以進行測量，因此分給每個無線晶片的人工時間也會減小。在大規模生產的時候，可以在附著天線步驟前檢測晶片。這樣，可以在該步驟的早期階段消除缺陷專案，可以降低生產成本。

應當注意，在實施例模式 1 和 2 以及實施例 1 至 3 中描述的洩漏元件也可以被結合在該實施例模式的電流電路 2609 中。即使將具有強振幅的通訊信號施加到其中由

(30)

通訊信號產生電源電壓的無線晶片是，這種結構也將產生的電壓保持在規定的範圍內。因此，提供了一種高可靠性的無線晶片，其電路不會被強無線電波攻擊電損壞。

(實施例 5)

這個實施例將參考圖 11 和 12 描述使用本發明的半導體裝置的系統的例子。

在這個實施例中，說明一種用於個人電腦的用戶識別系統，通過使用本發明的作為半導體裝置的無線晶片，該個人電腦的安全性更高。

圖 11 是該實施例中用戶識別系統的示意圖，示出了個人電腦 2001 和無線晶片 2002。個人電腦 2001 包括一個輸入裝置 2003 和與其連接的讀出器/寫入器 2004。

個人電腦 2001 和無線晶片 2002 有加密用的公共 (common) 密鑰 2005。具體地，公共密鑰 2005 的資料儲存在個人電腦 2001 和無線晶片 2002 的記憶體中。例如，公共密鑰 2005 是 64 位元到 128 位元的資料，用來加密普通 (plain) 文本 (被加密前的資料) 和解密密碼。對於公共密鑰而言，為每個合法的註冊用戶形成不同的公共的密鑰，個人電腦 2001 擁有所有的公共密鑰。換句話說，個人電腦 2001 擁有的密鑰數目和合法註冊的用戶數目相同。另一方面，合法用戶擁有無線晶片 2002 並且擁有唯一屬於自己的公共密鑰。用戶應該好好保存公共密鑰以免其他人知道它。

(31)

儘管該實施例示出了採用公共密鑰加密方法的例子（參考 ISO/IEC9798-2 資訊技術-安全技術-實體驗證-第 2 部分：使用對稱加密演算法的機制）作為加密方法，但也可以應用諸如共有（public）密鑰方法的其他加密方法（參考 ISO/IEC9798-3 資訊技術-安全技術-實體鑒定-第 3 部分：使用數位簽名技術的機制）。

個人電腦 2001 具有利用公共密鑰 2005 對普通文本進行加密的機構。具體地，為個人電腦 2001 提供軟體用於執行加密演算法。無線晶片 2002 具有利用公共密鑰 2005 解密加密文件的機構。具體地，在上面的實施例模式中示出的運算電路中進行解密。

在下文中將使用圖 12 的流程圖來說明本實施例中使用用戶識別系統的方法。

首先，想要使用的人在個人電腦 2001 中使用輸入裝置 2003 輸入用戶名和密碼（用戶名輸入 2101）。密碼是合法用戶提前註冊的。個人電腦 2001 基於輸入的用戶名使用相應的公共密碼來對普通文本進行加密（加密資料形成 2102）。這裏，普通文本可以或者是具有特別含義的資料或者是沒有意義的資料。接下來，加密資料從讀出器/寫入器 2004 發送（加密資料傳輸 2103）。無線晶片 2002 接收到加密資料後利用公共密鑰 2005 對資料進行解密（解密處理 2104），然後把解密後的資料發送到讀出器/寫入器（解碼資料傳輸 2105）。個人電腦 2001 對比解密的資料和原始普通文本（識別 2106），只有資料彼此匹配，

(32)

才識別為合法用戶，然後給這個用戶使用電腦的許可權（正常應用 2107）。

在本實施例中描述的用戶識別系統中，如果用戶不知道密碼和沒有無線晶片，那麼他不能使用該電腦。因此，安全性就要比只使用密碼的識別高得多。並且，如果用戶攜帶無線晶片，用戶可以按照與傳統的只使用密碼的相同的方式使用個人電腦，用戶不會感到增加很多負擔。

儘管本實施例已經描述個人電腦的用戶識別，本實施例可以很容易應用到其他只能被合法註冊用戶使用的系統中。舉例來說，該實施例可以很容易地應用到 ATM 機（自動提款機），CDs（取款機）等等。

這種結構使得有可能利用本發明的半導體裝置按低成本構建安全性高的用戶識別系統。

該實施例可以自由地與實施例模式 1 和 2 和實施例 1 到 4 組合。

本申請基於 2005 年 10 月 12 日向日本專利局申請的日本專利申請 No.2005-298244，在此以引用方式結合其全部內容。

【圖式簡單說明】

在附圖中：

圖 1 示出了本發明中的半導體裝置的電源電路；

圖 2A 和 2B 示出了本發明的半導體裝置的電源電路的信號波形；

(33)

圖 3 示出了習知的電源電路的例子；

圖 4A 和 4B 示出了習知的電源電路的信號波形的例子；

圖 5 示出了本發明的半導體裝置的電源電路；

圖 6A 和 6B 示出了本發明的半導體裝置的電源電路的信號波形；

圖 7A 和 7B 示出了本發明的半導體裝置的電路，其中由 MOS 電晶體形成洩漏元件；

圖 8A 和 8B 示出了本發明的半導體裝置的電路，其中由記憶體電晶體形成洩漏元件；

圖 9 示出了本發明的半導體裝置的電路，其中由 MIS 電容器形成洩漏元件；

圖 10A 到 10C 示出了本發明的半導體裝置的洩漏元件的佈局；

圖 11 示意性地示出了使用本發明的半導體裝置的用戶識別系統；

圖 12 是使用本發明的半導體裝置的用戶識別系統的流程圖；

圖 13 示出了本發明的半導體裝置的結構示例；及

圖 14 示出了本發明的半導體裝置的佈局示例。

【主要元件符號說明】

101：天線部分

102：整流部分

(34)

103 : 儲存電容器部分

104 : 天線

105 : 諧振電容器

106 : 第一輸出端

107 : 第二輸出端

108 : 二極體

109 : 第一輸入端

110 : 第二輸入端

111 : 第一輸出端

112 : 第二輸出端

113 : 儲存電容器

114 : 第一輸入端

115 : 第二輸入端

116 : 第一輸出端

117 : 第二輸出端

118 : 洩漏元件

301 : 天線部分

302 : 整流部分

303 : 儲存電容器部分

304 : 天線

305 : 諧振電容器

306 : 第一輸出端

307 : 第二輸出端

308 : 二極體

(35)

- 309 : 第一輸入端
- 310 : 第二輸入端
- 311 : 第一輸出端
- 312 : 第二輸出端
- 313 : 儲存電容器
- 314 : 第一輸入端
- 315 : 第二輸入端
- 316 : 第一輸出端
- 317 : 第二輸出端
- 501 : 天線部分
- 502 : 整流部分
- 503 : 儲存電容器部分
- 504 : 天線
- 505 : 諧振電容器
- 506 : 第一輸出端
- 507 : 第二輸出端
- 509 : 第一輸入端
- 510 : 第二輸入端
- 511 : 第一輸出端
- 512 : 第二輸出端
- 513 : 儲存電容器
- 514 : 第一輸入端
- 515 : 第二輸入端
- 516 : 第一輸出端

(36)

- 517 : 第二輸出端
- 518 : 洩漏元件
- 519 : 第一二極體
- 520 : 第二二極體
- 521 : 第三二極體
- 522 : 第四二極體
- 701 : N型 MOS 電晶體
- 702 : 第一端子
- 703 : 第二端子
- 704 : P型 MOS 電晶體
- 705 : 第一端子
- 706 : 第二端子
- 801 : N型記憶體電晶體
- 802 : 第一端子
- 803 : 第二端子
- 804 : P型記憶體電晶體
- 805 : 第一端子
- 806 : 第二端子
- 901 : MIS 電容器
- 902 : 第一端子
- 903 : 第二端子
- 1001 : 半導體薄膜
- 1002 : 閘極電極
- 1003 : 源極電極和汲極電極

(37)

- 1004 : 接觸
- 1005 : 洩漏路徑
- 1006 : 半導體薄膜
- 1007 : 閘極電極
- 1008 : 源極電極和汲極電極
- 1009 : 接觸
- 1010 : 洩漏路徑
- 1011 : 半導體薄膜
- 1012 : 閘極電極
- 1013 : 源極電極和汲極電極
- 1014 : 接觸
- 1015 : 洩漏路徑
- 1016 : 閘極絕緣膜
- 1017 : 閘極絕緣膜
- 1018 : 閘極絕緣膜
- 1019 : 缺陷
- 1020 : 晶格缺陷
- 2001 : 個人電腦
- 2002 : 無線晶片
- 2003 : 輸入裝置
- 2004 : 讀出器 / 寫入器
- 2005 : 公共密鑰
- 2601 : 無線晶片
- 2602 : CPU

(38)

2603 : ROM

2604 : RAM

2605 : 控制器

2606 : 運算電路

2607 : 天線部分

2608 : 諧振電路

2609 : 電源電路

2610 : 重設電路

2611 : 時脈產生電路

2612 : 解調電路

2613 : 調變電路

2614 : 電源控制電路

2615 : 類比部分

2616 : CPU 介面

2617 : 控制暫存器

2618 : 解碼電路

2619 : 編碼電路

2620 : 接收信號

2621 : 發送信號

2622 : 接收資料

2623 : 傳送資料

2624 : 密鑰

2707 : FPC 焊墊

2708 : 天線凸起

十、申請專利範圍

102年2月26日修正
劃線頁(本)

P(-1/)

1. 一種半導體裝置，包括：

用於藉由無線電信號產生電源電壓的電源電路；和
提供在該電源電路中的洩漏元件，

其中，該洩漏元件包括含有閘極絕緣膜的 MIS 電容器，

其中該閘極絕緣膜設計成至少具有第一區域和膜厚度比該第一區域更薄的第二區域，

其中，藉由使該洩漏元件的第一電阻低於該洩漏元件的第二電阻，使該洩漏元件組態成將電源電壓保持在規定的電壓範圍內，

其中，該第一電阻是在該電源電路中產生超出規定的電壓範圍的電壓時的該洩漏元件的電阻，以及

其中該第二電阻是在該電源電路中產生位於規定的電壓範圍內的電壓時的該洩漏元件的電阻。

2. 如申請專利範圍第 1 項的半導體裝置，

其中，該電源電路由具有在包含絕緣表面的基底上形成的半導體薄膜的薄膜電晶體形成。

3. 如申請專利範圍第 2 項的半導體裝置，

其中，該基底是玻璃基底、石英基底、塑膠基底和 SOI 基底中的任何一種。

4. 如申請專利範圍第 1 項的半導體裝置，

其中，該洩漏元件包括 N 型 MOS 電晶體或 P 型 MOS 電晶體。

5. 如申請專利範圍第 1 項的半導體裝置，
其中，該洩漏元件包括 N 型記憶體電晶體或 P 型記憶體電晶體。
6. 如申請專利範圍第 1 項的半導體裝置，
其中，該 MIS 電容器包括將該閘極絕緣膜夾於其間之半導體薄膜和閘極電極。
7. 如申請專利範圍第 1 項的半導體裝置，
其中，該第二區域中的閘極絕緣膜的膜厚度是該第一區域中的閘極絕緣膜的膜厚度的 50% 到 80%。
8. 如申請專利範圍第 6 項的半導體裝置，
其中，該第二區域與該閘極電極的末端部分重疊。
9. 如申請專利範圍第 6 項的半導體裝置，
其中，該第一區域與該半導體薄膜重疊，並且
其中，該第二區域與該半導體薄膜的末端部分重疊。
10. 一種半導體裝置，包括：
用於藉由無線電信號產生電源電壓的電源電路；
提供在電源電路中的儲存電容器；以及
提供在電源電路中的洩漏元件，
其中，該洩漏元件包括含有閘極絕緣膜的 MIS 電容器，
其中該閘極絕緣膜設計成至少具有第一區域和膜厚度比該第一區域更薄的第二區域，
其中，藉由使該洩漏元件的第一電阻低於該洩漏元件的第二電阻以使該儲存電容器中累積的電荷作為電流而流

到該洩漏元件，該洩漏元件組態成將電源電壓保持在規定的電壓範圍內，

其中，該第一電阻是在該電源電路中產生超出規定的電壓範圍的電壓時的該洩漏元件的電阻，以及

其中該第二電阻是在該電源電路中產生位於規定的電壓範圍內的電壓時的該洩漏元件的電阻。

11. 如申請專利範圍第 10 項的半導體裝置，

其中，該電源電路由具有在包含絕緣表面的基底上形成的半導體薄膜的薄膜電晶體形成。

12. 如申請專利範圍第 11 項的半導體裝置，

其中，該基底是玻璃基底、石英基底、塑膠基底和 SOI 基底中的任何一種。

13. 如申請專利範圍第 10 項的半導體裝置，

其中，該電源電壓是位於該儲存電容器的第一輸出端和第二輸出端之間的電勢差。

14. 如申請專利範圍第 10 項的半導體裝置，

其中，該洩漏元件包括 N 型 MOS 電晶體或 P 型 MOS 電晶體。

15. 如申請專利範圍第 10 項的半導體裝置，

其中，該洩漏元件包括 N 型記憶體電晶體或 P 型記憶體電晶體。

16. 如申請專利範圍第 10 項的半導體裝置，

其中，該 MIS 電容器包括將該閘極絕緣膜夾於其間之半導體薄膜和閘極電極。

17. 如申請專利範圍第 10 項的半導體裝置，
其中，該第二區域中的閘極絕緣膜的膜厚度是該第一區域中的閘極絕緣膜的膜厚度的 50% 到 80%。

18. 如申請專利範圍第 16 項的半導體裝置，
其中，該第二區域與該閘極電極的末端部分重疊。

19. 如申請專利範圍第 16 項的半導體裝置，
其中，該第一區域與該半導體薄膜重疊，並且
其中，該第二區域與該半導體薄膜的末端部分重疊。

20. 一種半導體裝置，包括：
用於藉由無線電信號產生電源電壓的電源電路；包
括：

天線部分，其包含天線和諧振電容器；

整流部分，其包含二極體；和

儲存電容器部分，其包含儲存電容器和洩漏元
件，

其中，該洩漏元件包括含有閘極絕緣膜的 MIS 電容
器，

其中該閘極絕緣膜設計成至少具有第一區域和膜厚度
比該第一區域更薄的第二區域，

其中，藉由使該洩漏元件的第一電阻低於該洩漏元
件的
第二電阻以使該儲存電容器中累積的電荷作為電流而流
到該洩漏元件，該洩漏元件組態成將電源電壓保持在規
定的電壓範圍內，

其中，該第一電阻是在該電源電路中產生超出規定的

電壓範圍的電壓時的該洩漏元件的電阻，以及

其中該第二電阻是在該電源電路中產生位於規定的電壓範圍內的電壓時的該洩漏元件的電阻。

21. 如申請專利範圍第 20 項的半導體裝置，

其中，該電源電路由具有在包含絕緣表面的基底上形成的半導體薄膜的薄膜電晶體形成。

22. 如申請專利範圍第 21 項的半導體裝置，

其中，該基底是玻璃基底、石英基底、塑膠基底和 SOI 基底中的任何一種。

23. 如申請專利範圍第 20 項的半導體裝置，

其中，該電源電壓是位於該儲存電容器部分的第一輸出端和第二輸出端之間的電勢差。

24. 如申請專利範圍第 20 項的半導體裝置，

其中，該洩漏元件包括 N 型 MOS 電晶體或 P 型 MOS 電晶體。

25. 如申請專利範圍第 20 項的半導體裝置，

其中，該洩漏元件包括 N 型記憶體電晶體或 P 型記憶體電晶體。

26. 如申請專利範圍第 20 項的半導體裝置，

其中，該 MIS 電容器包括將該閘極絕緣膜夾於其間之半導體薄膜和閘極電極。

27. 如申請專利範圍第 20 項的半導體裝置，

其中，該第二區域中的閘極絕緣膜的膜厚是該第一區域閘極絕緣的膜厚度的 50% 到 80%。

28. 如申請專利範圍第 26 項的半導體裝置，
其中，該第二區域與該閘極電極的末端部分重疊。

29. 如申請專利範圍第 26 項的半導體裝置，
其中，該第一區域與該半導體薄膜重疊，並且
其中，該第二區域與該半導體薄膜的末端部分重疊。

30. 如申請專利範圍第 20 項的半導體裝置，
其中，該整流部分具有多個二極體。

31. 一種半導體裝置，包括：

天線；

與該天線電連接的二極體；

與該二極體電連接的儲存電容器；以及

與該儲存電容器電連接的洩漏元件；

其中，該洩漏元件包括含有閘極絕緣膜的 MIS 電容器，

其中該閘極絕緣膜設計成至少具有第一區域和膜厚度比該第一區域更薄的第二區域，

其中，該洩漏元件組態成在對其施加超出規定電壓範圍的電壓時具有第一電阻，並且在對其施加位於該規定電壓範圍內的電壓時具有第二電阻，並且

其中該第一電阻小於該第二電阻。

32. 如申請專利範圍第 31 項的半導體裝置，

其中，該洩漏元件由具有在包含絕緣表面的基底上形成的半導體薄膜的薄膜電晶體形成。

33. 如申請專利範圍第 32 項的半導體裝置，

其中，該基底是玻璃基底、石英基底、塑膠基底、SOI 基底中的任何一種。

34. 如申請專利範圍第 31 項的半導體裝置，

其中，該電壓是該儲存電容器的第一輸出端和第二輸出端之間的電勢差。

35. 如申請專利範圍第 31 項的半導體裝置，

其中，該洩漏元件包括 N 型 MOS 電晶體或 P 型 MOS 電晶體。

36. 如申請專利範圍第 31 項的半導體裝置，

其中，該洩漏元件包括 N 型記憶體電晶體或 P 型記憶體電晶體。

37. 如申請專利範圍第 31 項的半導體裝置，

其中，該 MIS 電容器包括將該閘極絕緣膜夾於其間之半導體薄膜和閘極電極。

38. 如申請專利範圍第 31 項的半導體裝置，

其中，該第二區域中的閘極絕緣膜的膜厚度是該第一區域中的閘極絕緣膜的膜厚度的 50% 到 80%。

39. 如申請專利範圍第 37 項的半導體裝置，

其中，該第二區域與該閘極電極的末端部分重疊。

40. 如申請專利範圍第 37 項的半導體裝置，

其中，該第一區域與該半導體薄膜重疊，並且

其中，該第二區域與該半導體薄膜的末端部分重疊。

41. 一種半導體裝置，包括：

無線晶片，包括：

為無線晶片提供電源電壓的電路，包括：

天線；

與該天線電連接的儲存電容器；

與該儲存電容器電連接的洩漏元件；

時脈產生電路；

解調電路；和

調變電路，

其中，該洩漏元件包括含有閘極絕緣膜的 MIS 電容器，

其中該閘極絕緣膜設計成至少具有第一區域和膜厚度比該第一區域更薄的第二區域，

其中，用於提供電源電壓的該電路為其他電路提供電壓，

其中，該洩漏元件組態成在該無線晶片中產生超出規定電壓範圍的電壓時具有第一電阻，以及在該無線晶片中產生位於該規定電壓範圍內的電壓時具有第二電阻，並且

其中該第一電阻小於該第二電阻。

42. 如申請專利範圍第 41 項的半導體裝置，

其中，該無線晶片由具有在包含絕緣表面的基底上形成的半導體薄膜的薄膜電晶體形成。

43. 如申請專利範圍第 42 項的半導體裝置，

其中，該基底是玻璃基底、石英基底、塑膠基底和 SOI 基底中的任何一種。

44. 如申請專利範圍第 41 項的半導體裝置，

其中，該電源電壓是該儲存電容器的第一輸出端和第二輸出端之間的電勢差。

45. 如申請專利範圍第 41 項的半導體裝置，

其中，該洩漏元件包括 N 型 MOS 電晶體或 P 型 MOS 電晶體。

46. 如申請專利範圍第 41 項的半導體裝置，

其中，該洩漏元件包括 N 型記憶體電晶體或 P 型記憶體電晶體。

47. 如申請專利範圍第 41 項的半導體裝置，

其中，該 MIS 電容器包括將該閘極絕緣膜夾於其間之半導體薄膜和閘極電極。

48. 如申請專利範圍第 41 項的半導體裝置，

其中，該第二區域中的閘極絕緣膜的膜厚度是該第一區域中的閘極絕緣膜的膜厚度的 50% 到 80%。

49. 如申請專利範圍第 47 項的半導體裝置，

其中，該第二區域與該閘極電極的末端部分重疊。

50. 如申請專利範圍第 47 項的半導體裝置，

其中，該第一區域與該半導體薄膜重疊，並且

其中，該第二區域與該半導體薄膜的末端部分重疊。

51. 一種半導體裝置，包括：

無線晶片，包括：

控制器；

CPU；

ROM；

RAM；

為該無線晶片提供電源電壓的電路，包括：

天線；

與該天線電連接的儲存電容器；和

與該儲存電容器電連接的洩漏元件；

時脈產生電路；

解調電路；和

調變電路；

其中，該洩漏元件包括含有閘極絕緣膜的 MIS 電容器，

其中該閘極絕緣膜設計成至少具有第一區域和膜厚度比該第一區域更薄的第二區域，

其中，該 CPU、該 ROM、該 RAM、該解調電路和該調變電路與該控制器可操作地連接，

其中，該洩漏元件組態成在該無線晶片中產生超出規定電壓範圍的電壓時具有第一電阻，以及在該無線晶片中產生位於該規定電壓範圍內的電壓時具有第二電阻，並且其中該第一電阻小於該第二電阻。

52. 如申請專利範圍第 51 項的半導體裝置，

其中，該無線晶片由具有在包含絕緣表面的基底上形成的半導體薄膜的薄膜電晶體形成。

53. 如申請專利範圍第 52 項的半導體裝置：

其中，該基底是玻璃基底、石英基底、塑膠基底和 SOI 基底中的任何一種。

54. 如申請專利範圍第 51 項的半導體裝置：

其中，該電源電壓是該儲存電容器的第一輸出端和第二輸出端之間的電勢差。

55. 如申請專利範圍第 51 項的半導體裝置：

其中，該洩漏元件包括 N 型 MOS 電晶體或 P 型 MOS 電晶體。

56. 如申請專利範圍第 51 項的半導體裝置：

其中，該洩漏元件包括 N 型記憶體電晶體或 P 型記憶體電晶體。

57. 如申請專利範圍第 51 項的半導體裝置：

其中，該 MIS 電容器包括將該閘極絕緣膜夾於其間之半導體薄膜和閘極電極。

58. 如申請專利範圍第 51 項的半導體裝置：

其中，該第二區域中的閘極絕緣膜的膜厚度是該第一區域中的閘極絕緣膜的膜厚度的 50% 到 80%。

59. 如申請專利範圍第 57 項的半導體裝置：

其中，該第二區域與該閘極電極的末端部分重疊。

60. 如申請專利範圍第 57 項的半導體裝置：

其中，該第一區域與該半導體薄膜重疊，並且

其中，該第二區域與該半導體薄膜的末端部分重疊。

圖1

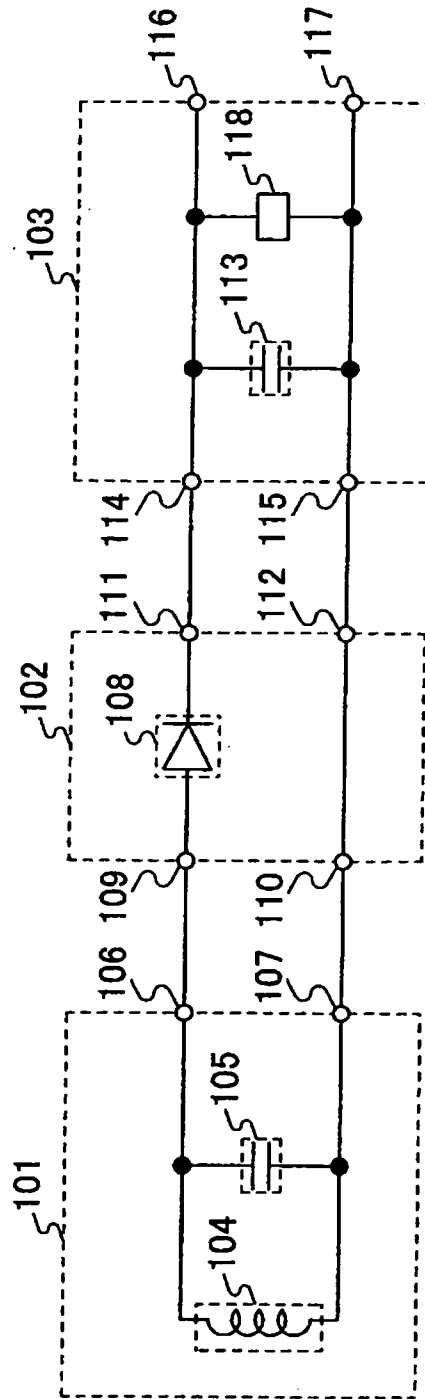


圖2A

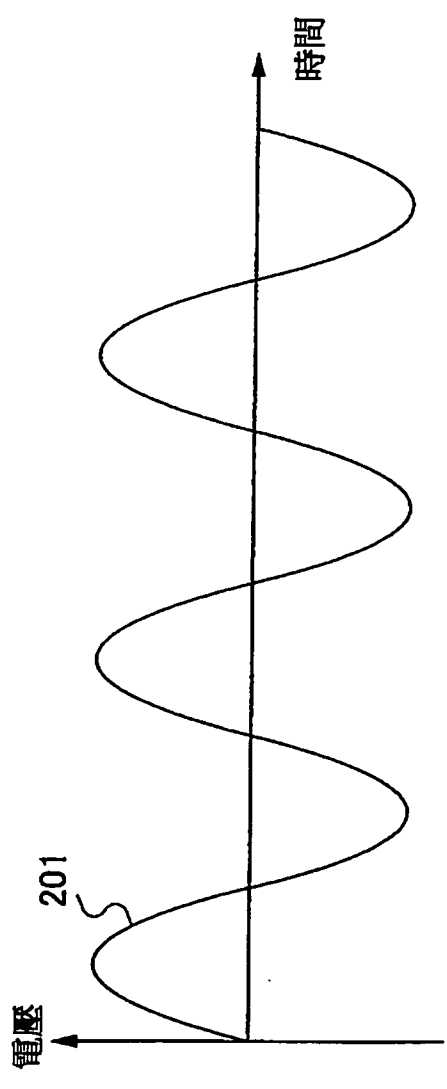


圖2B

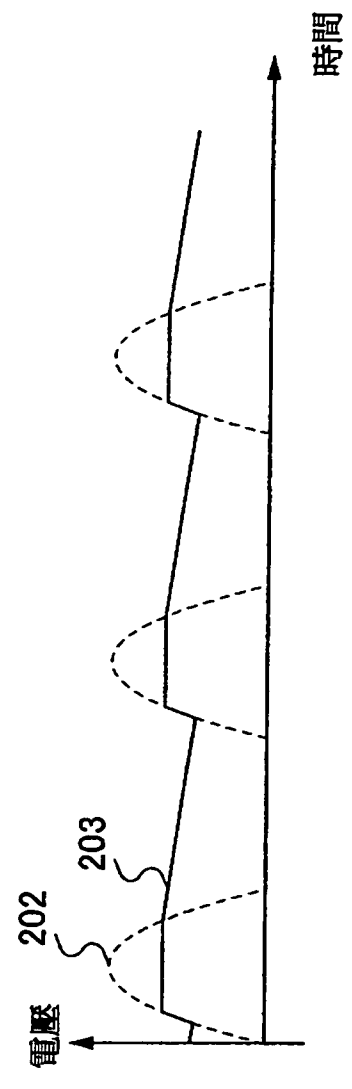


圖3

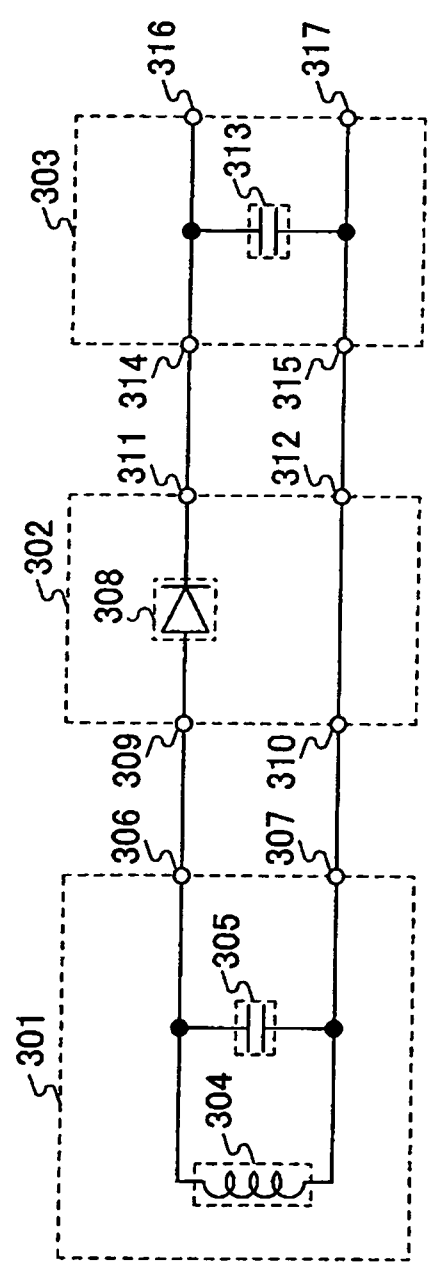


圖4A

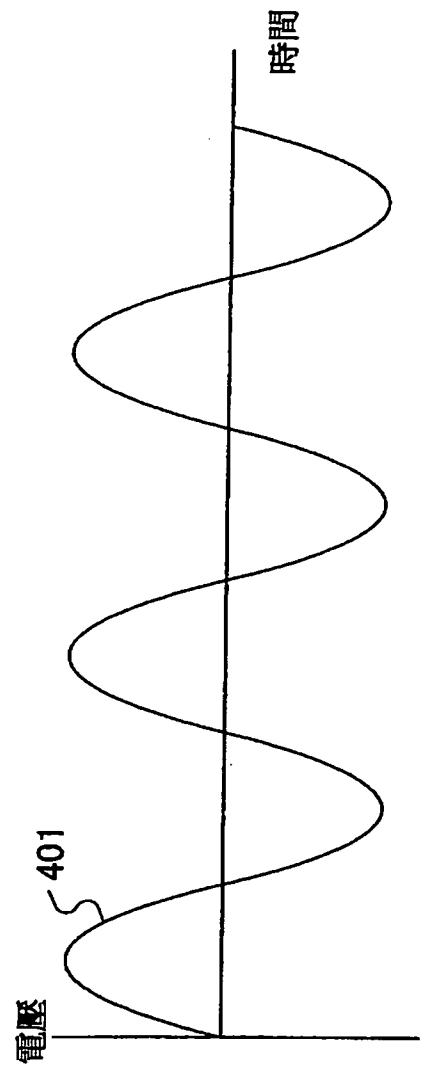


圖4B

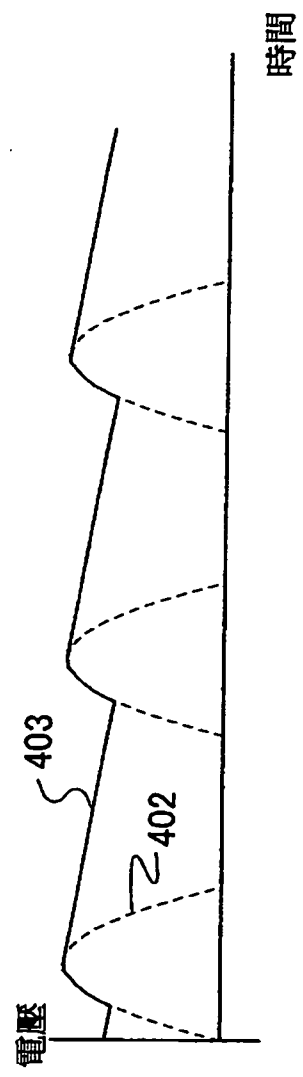


圖5

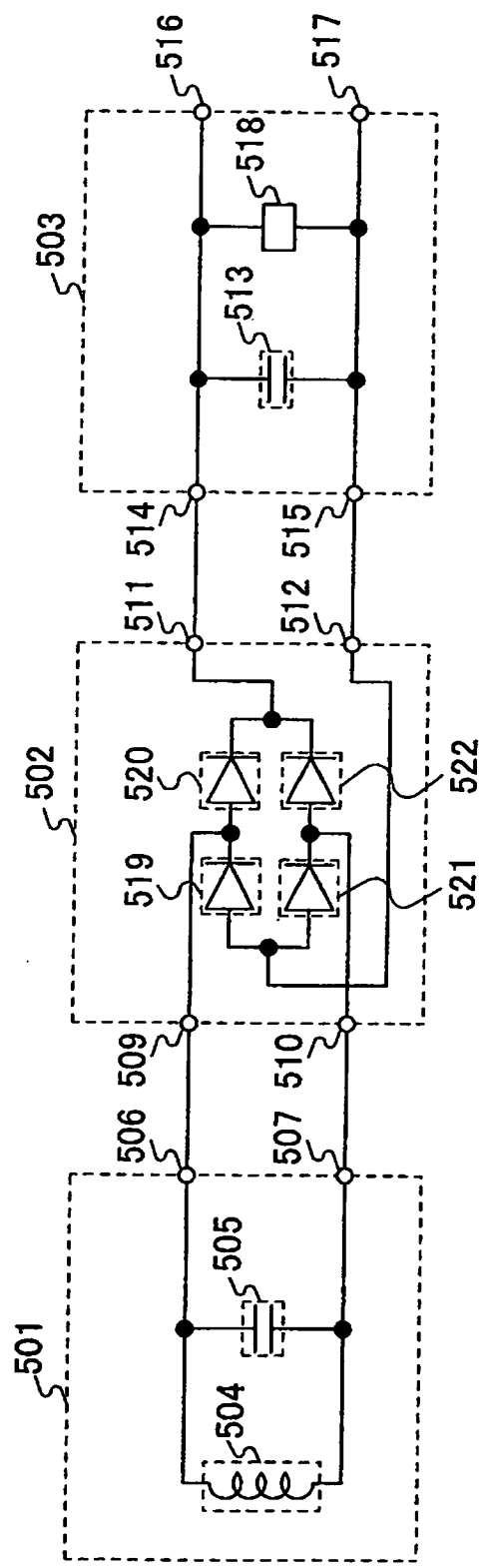


圖6A

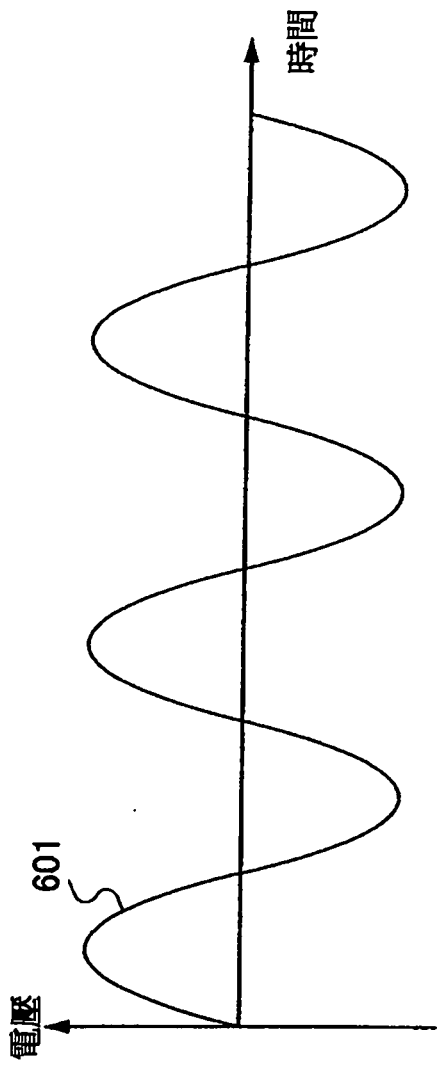


圖6B

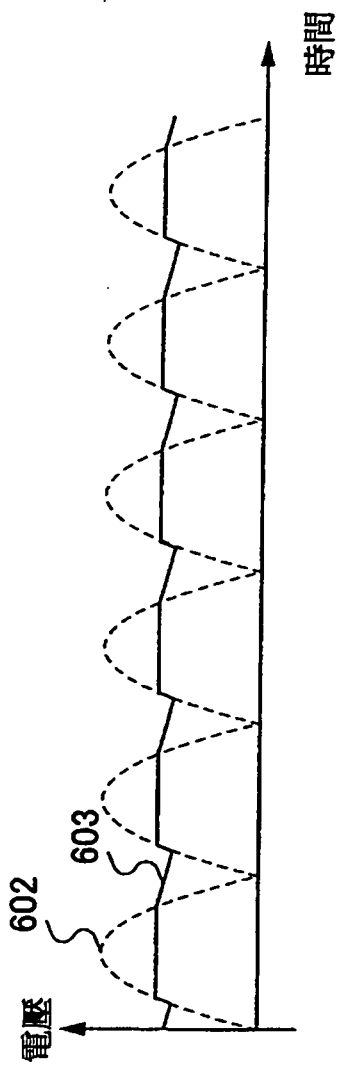


圖7B

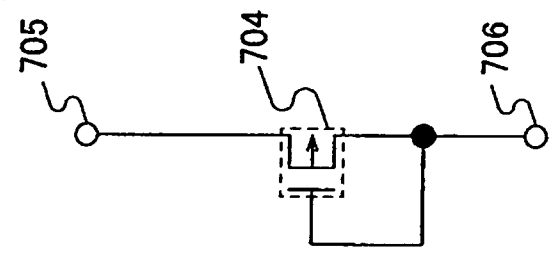


圖7A

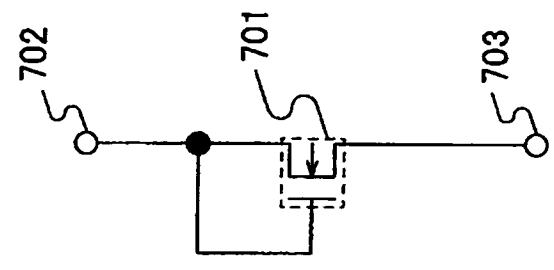


圖8B

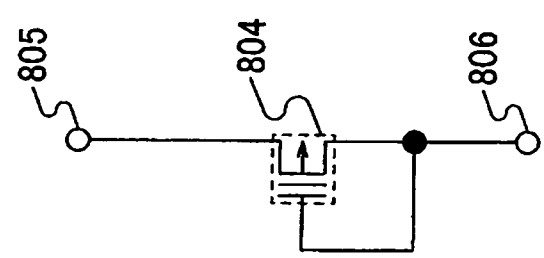


圖8A

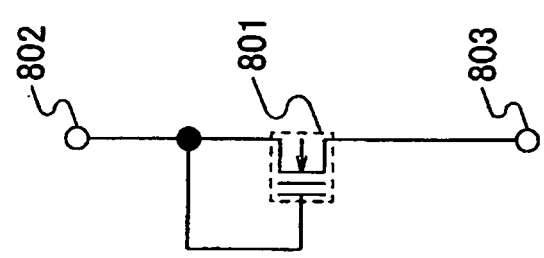


圖 9

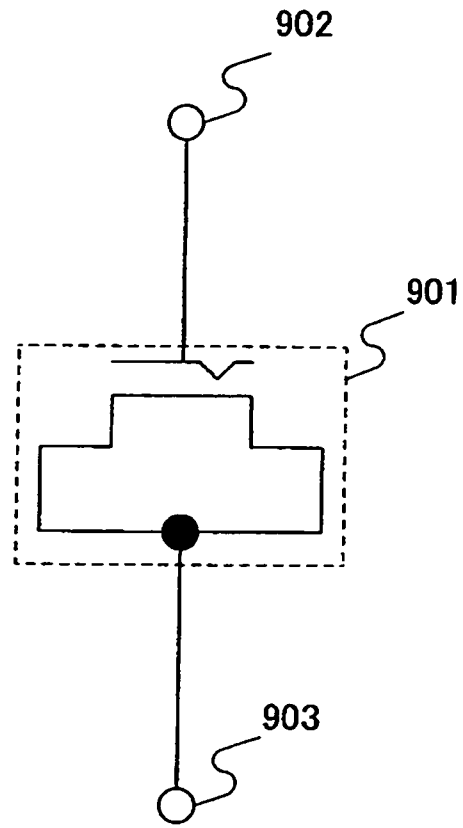


圖10A

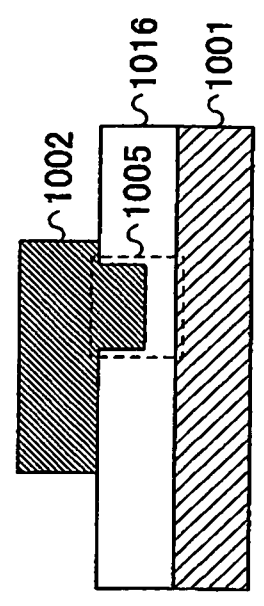
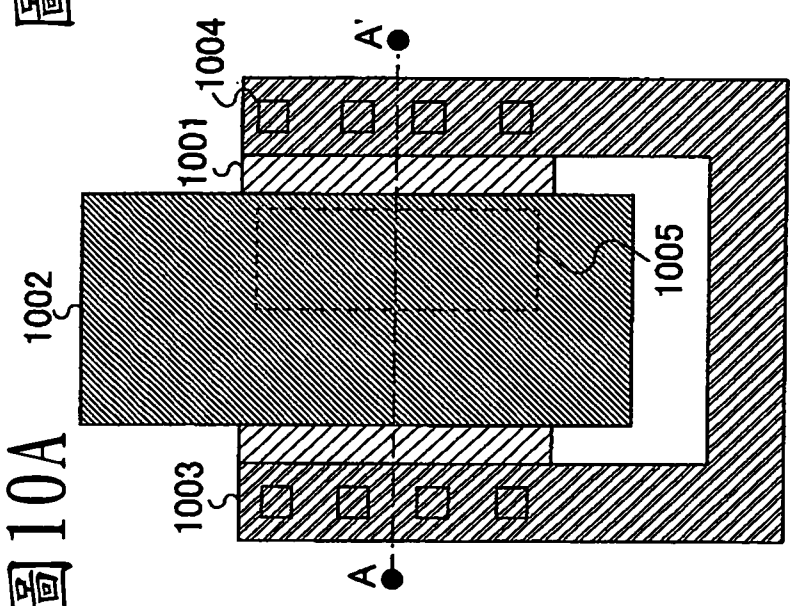


圖10B

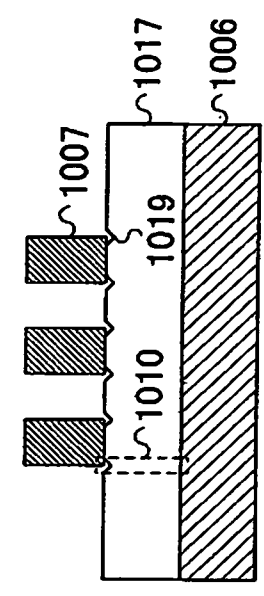
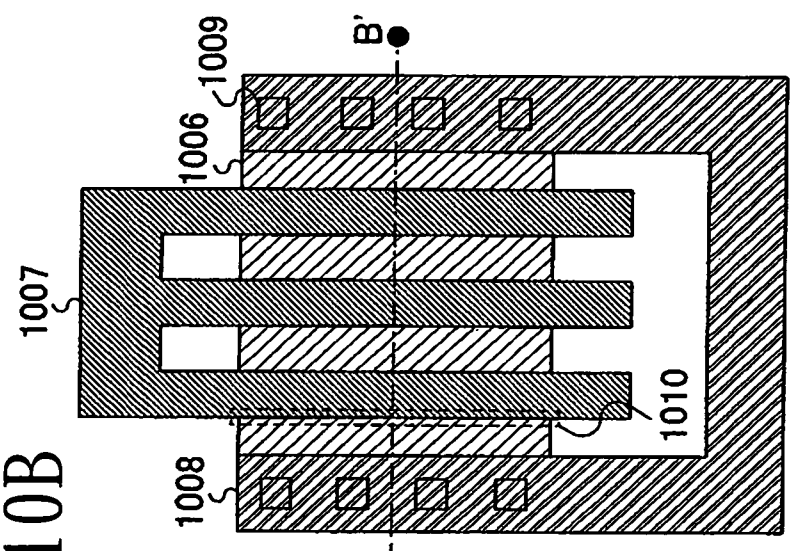
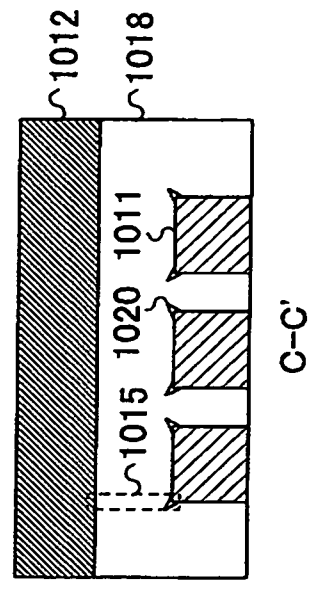
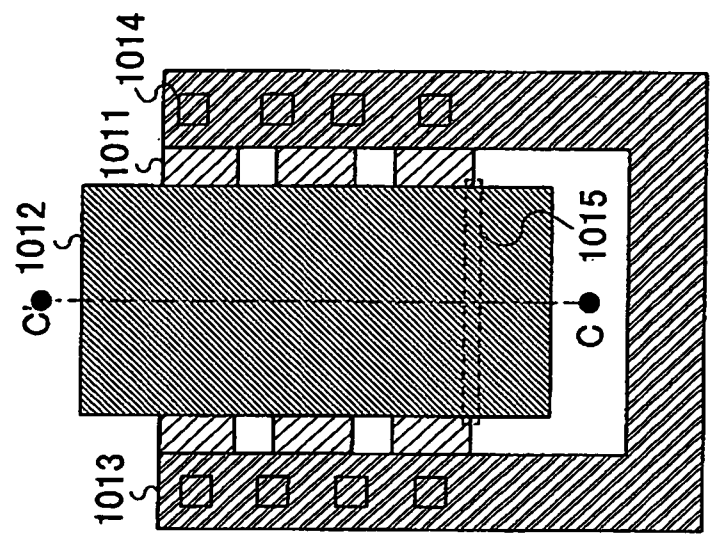


圖10C



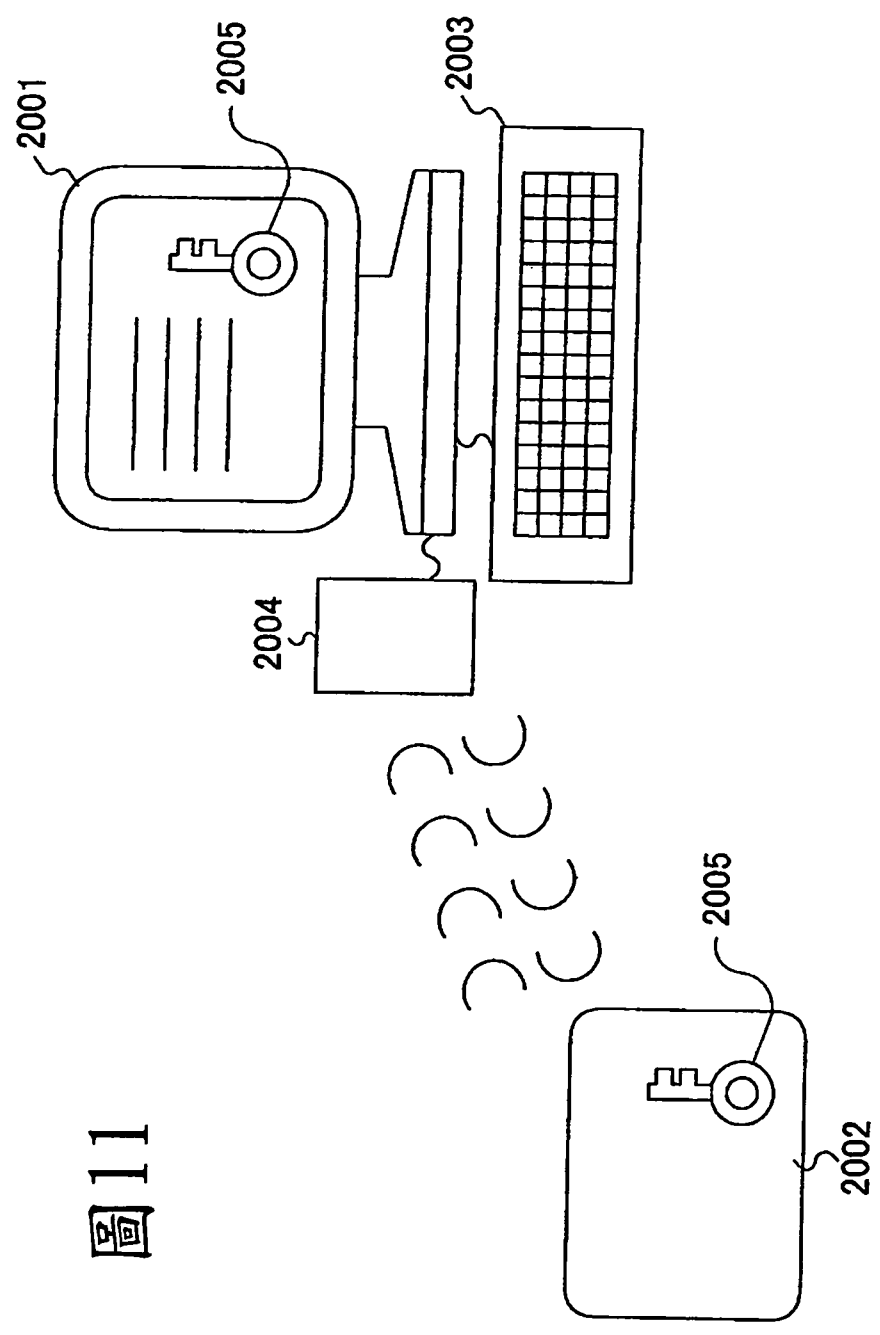


圖 11

圖 12

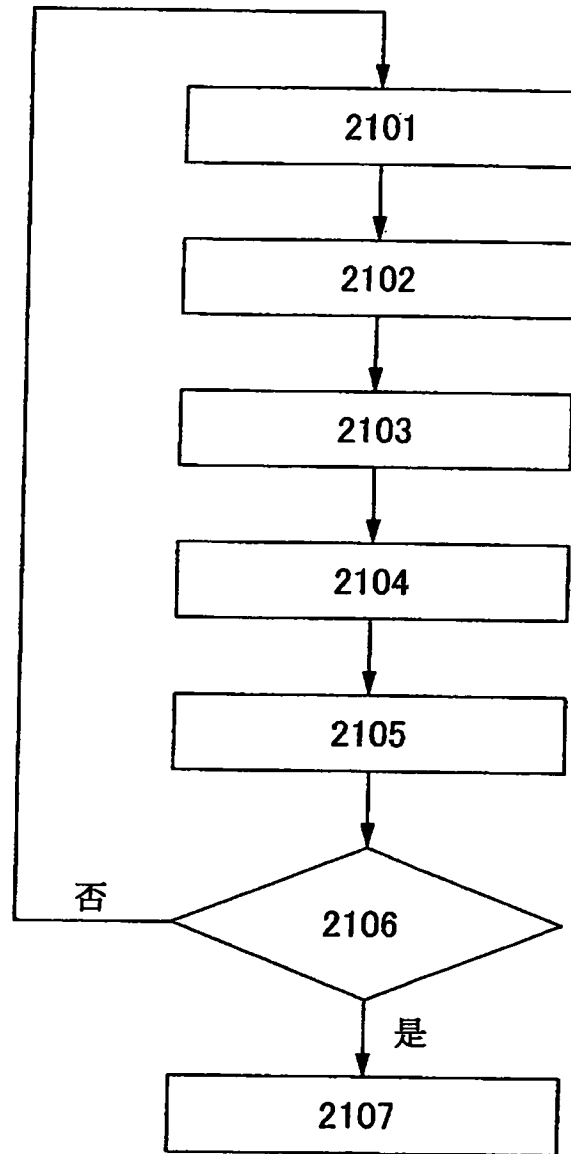


圖13

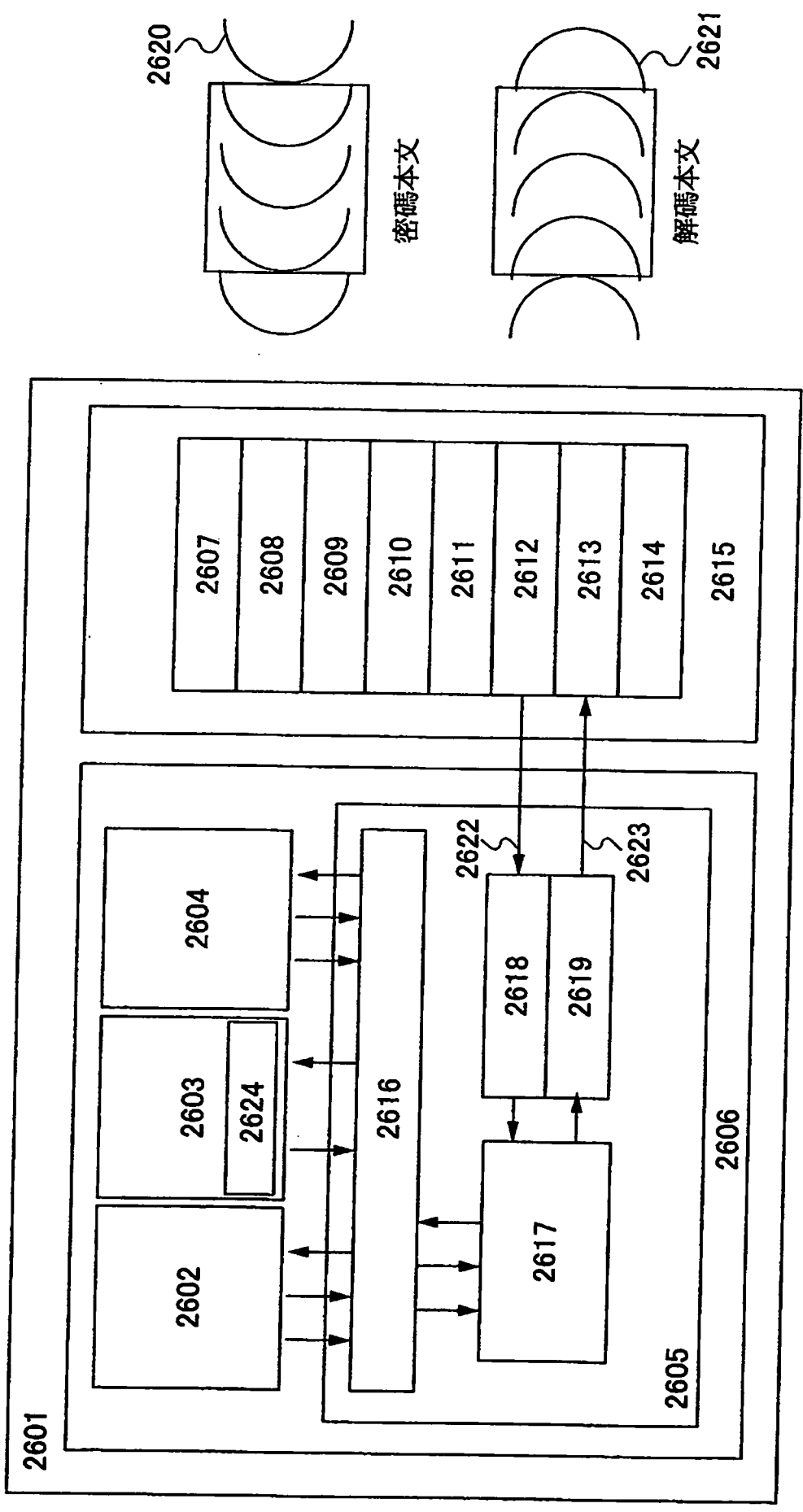


圖14

