

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G06F 11/00

(45) 공고일자 1992년02월01일
(11) 공고번호 특1992-0001104

(21) 출원번호	특1988-0001348	(65) 공개번호	특1988-0010362
(22) 출원일자	1988년02월12일	(43) 공개일자	1988년10월08일
(30) 우선권주장	014,749 1987년02월13일 미국(US)		
(71) 출원인	인터내셔널 비지네스 머신즈 코포레이션 하워드 지. 피거로아 미합중국, 뉴욕 10504, 아몬크		
(72) 발명자	케빈 존 애쉬 미합중국, 아리조나 85715, 텍슨, 아파트먼트 519, 이스트 탠큐 버드 로드 7671 잭 하베이 더렌버거 미합중국, 아리조나 85715, 텍슨, 노스 코로나도 플레이스 5285 레이몬드 로니 파슨즈 미합중국, 아리조나 85711, 텍슨, 이스트 번즈 스트리트 4009		
(74) 대리인	이병호		

심사관 : 이재화 (책자공보 제2647호)

(54) 어드레스 라인 오류 테스트 방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

어드레스 라인 오류 테스트 방법

[도면의 간단한 설명]

제1도는 본 발명에 따른 테스트 방법을 지원할 수 있는 메모리를 포함하는 시스템의 단순화된 블록도.

제2도 및 2a도는 본 발명에 따른 방법에 의해 테스트될 수도 있는 메모리 카드의 어드레스 정보를 포함하는 데이터 흐름의 논리 블록도.

제3도는 본 발명의 양호한 실시예와 함께 사용될 수 있는 어드레스 버스 구조의 개략도.

제4d도 내지 제4e도는 본 발명에 따른 방법의 양호한 실시예의 흐름도.

* 도면의 주요부분에 대한 부호의 설명

- 10 : 메모리 제어 프로세서
- 12 : 기억 장치 시스템
- 16 : 메모리 카드
- 20,22,24 : 버퍼
- 26a,26b,26c,26d : 메모리 어레이
- 28 : 양방향 드라이버

[발명의 상세한 설명]

본 발명은 정보처리 시스템에 관한 것이며, 특히 정보처리 시스템의 기억 장치 시스템에서 어드레스 라인 오류(failures) 테스트하기 위한 방법에 관한 것이다.

미합중국 특허 제4,369,511호에는, 패턴 발생기에 의해 발생된 어드레스에서 테스트중의 메모리를 판독하고, 상기 어드레스로부터 판독된 데이터를 예상되는 데이터와 비교하는 반도체 메모리 테스트 시스템이 기술되어 있다. 블록 마스크 메모리는 일부의 어드레스에 의해 판독되며, 비교기의 비교동

작은 블록 마스크메모리로부터 판독된 블록 마스크 데이터에 의해 금지된다.

상기 특허에 따른 메모리 테스트 방법은 본 발명과 명백하게 다른데, 상기 특허는 메모리로부터 판독된 데이터와, 테스트 메모리(22)를 통해 발생 및 공급되어 비교기(19)에서 비교되는 데이터와의 비교를 필요로 한다.

본 발명에 따른 방법에 있어서, 데이터는 1비트가 상이한 어드레스 위치에 기억되며, 상기 데이터는 두 위치로부터 판독되어 비교된다. 종래 기술에서와 같이 예상 기억 패턴을 발생하는데 사용되는 제2메모리는 없다.

미합중국 특허 제4,404,519호에는, 대규모 직접 회로내에 삽입된 메모리 어레이(array)에 기억된 데이터를 테스트하기 위한 방법 및 장치가 설명되어 있다. 상기 특허의 방법 및 장치는 본 발명에 따른 어드레스 라인을 테스트하기 위한 방법을 설명하거나 혹은 제안하지 않고 있다.

미합중국 특허 제4,429,389호에는, 테스트중의 집적회로 메모리에서 행과 열의 드라이버의 모든 조합이 실행되도록, 발생된 어드레스가 일련의 증분-보수 작용에 따라 보구로 되고 증분되는 특수 어드레스 패턴을 발생하는 테스트 패턴 어드레스 발생기가 기술되어 있다.

이 특허는, 테스트중의 어드레스에 대한 어드레스 라인 오류가 있는 경우에 데이터가 기억되게 되는 어드레스와 테스트중의 어드레스에 상이한 데이터가 기억되는 Z-통과(또는 단계) 테스트(two-pass test)에 의해 각각의 어드레스 라인 비트가 분리적으로 테스트되는 본 발명에 따라 어드레스 라인을 테스트하는 방법을 고려하고 있지 않다.

미합중국 특허 제4,599,626호에는, 테스트중의 메모리에 기억된 데이터 패턴과의 비교를 위해 데이터 패턴이 기억되는 내부 메모리를 포함하는 메모리를 테스트하기 위한 테스트 장치가 기술되어 있는데, 다음에 이 패턴은 테스트의 내부 메모리와 테스트중의 메모리로부터 판독되어 비교된다.

이 특허도, 테스트중의 어드레스에 대한 어드레스 라인 오류가 있는 경우에 데이터가 기억되게 되는 어드레스와 테스트중의 어드레스에 상이한 데이터가 기억되는 2-통과 테스트에 의해 각각의 어드레스 라인 비트가 분리적으로 테스트되는 본 발명에 따라 어드레스 라인을 테스트하는 방법을 고려하고 있지 않다.

따라서, 메모리 시스템에서 어떤 어드레스 비트 오류에 대해서도 특유의 오류 정보를 제공하는 간단하고 효율적인 방법에 의해 정보처리 시스템의 메모리 시스템내의 어드레스 라인을 테스트하는 것이 본 발명의 한 목적이다.

본 발명의 다른 목적은, 모두 0이거나 또는 모두 1이 되는 것과 같이 단순한 패턴이 될 수도 있는 제1비트 패턴을 테스트 온(ON)중의 한 비트로 형성된 어드레스에서 메모리 워드에 기록하는 단계와, 각각 모두 1이거나 혹은 모두 0이 되는 것과 같은 상이한 비트 패턴을 테스트 오프(OFF) 중의 한 비트로 형성된 어드레스에서 다른 메모리 워드에 기록하는 단계와, 상기 어드레스 둘다로부터 데이터를 판독하여 그 어드레스 라인에서 영속적인(permanent) 에러 상태를 나타내는 예정된 수의 비트 에러에 대해 비교하는 단계와, 모든 어드레스 라인이 테스트될 때까지 어드레스내의 각 비트에 대해 상기 단계를 반복하는 단계와, 테스트 OFF 중의 비트로 형성되는 어드레스에서 제2메모리 워드에 제1패턴을 기록하는 단계와, 테스트 ON 중의 비트로 형성되는 어드레스에서 제1메모리 워드에 제2패턴을 기록하는 단계와, 영속적인 에러가 있는지를 결정하기 위해 다시 판독하여 비교하는 단계와, 상기 메모리 시스템에서 각각의 카드에 대해 모든 어드레스 라인이 테스트될 때까지 어드레스내의 각 비트에 대해 상기 각각의 단계를 다시 반복하는 단계를 포함하는 방법에 의해 전술한 바와 같이 메모리 시스템에서 어드레스 라인을 테스트하는 것이다.

제1도에 도시된 바와 같이 프로세서와 메모리 시스템을 포함하는 정보처리 시스템에 있어서는, 메모리 어레이 어드레스 지정(addressing)이 정확하게 되는 것을 보장하기 위해 메모리 시스템내의 어드레스 라인을 적합하게 테스트할 필요가 있다. 제1도는 데이터, 어드레스, 에러 및 제어 라인(14)에 의해 기억 장치 시스템(12)에 연결된 프로세서(10)를 도시하는 단순 블록도이다.

프로세서(10)와 기억장치 시스템(12)은 IBM코퍼레이션과 같은 많은 하드웨어 공급자들로부터 현재 이용가능한 시스템에 의해 다양한 방법으로 구현될 수도 있다는 것을 이해해야 한다. 예를 들어, 상기 프로세서는 그 고유의 내부 기억 장치 시스템을 갖는 IBM시스템 370 프로세서가 될 수 있으며, 또는 캐쉬 기억 장치 시스템(12)을 갖는 IBM 3880 모델 23이 될 수도 있다.

종래 기술의 메모리 어드레스 테스트 방법에 있어서, 증가 패턴이나 또는 어드레스와 같은 특유의 데이터는 최하위 어드레스에서 시작하여 최상의 어드레스로 끝나는 각각의 메모리 위치에 기억된다. 그 다음, 각각의 위치는 그 위치가 어떤 다른 위치에서의 기록에 의해 중복 기록되지 않도록 확실하게 하기 위해 판독되어 비교된다. 다음에, 동일한 패턴(혹은 역 패턴)이 최상의 어드레스에서 시작하여 최하위 어드레스로 내려가며 기록된다. 상기 데이터도 어떤 다른 위치에서의 기록에 의해 데이터가 중복 기록되지 않도록 확실하게 하기 위해 다시 판독되어 비교된다. 어드레스 라인의 오류는 패리티 검사에 의해 검출되거나, 또는 예상 데이터 패턴에 부합하지 않는 어레이로부터 판독된 데이터 패턴의 비교에 의해 검출된다. 어드레스 라인 오류를 테스트하기 위한 이 방법은 또한 어레이에서 대부분의 데이터 오류도 검출한다. 위에서 확인된 몇몇의 종래 기술 특허는 이런 종류의 메모리 테스트를 이용한다.

전술한 바와 같은 테스트 형태에 있어, 대규모 메모리(256메가바이트와 같은)를 테스트하는데 필요한 시간은 엄청나게 많이 든다. 예를 들어, 256메가바이트의 기억장치 시스템을 테스트하는데 필요한 예정 시간이 1시간 48분 32초가 되게 된다. 본 발명의 방법은 어드레스 라인을 테스트할 때 가능한 한 메모리 시스템의 에러 정정 및 여분의 용량에 어드레스 라인 오류에 의해 영향을 받는 최소수의 데이터 비트를 비교함으로써 실현된다. 여기서 어드레스 라인 오류에 의해 영향을 받는 최소수의 데이터 비트가 에러 정정 및 여분의 용량보다 동일하거나 커야 된다. 데이터가 팻치되어 예상되는 데이터에 비교될 때, 어드레스 라인 오류는 데이터 비트 에러의 수가 메모리 시스템의 에러 정정 및

여분의 용량을 초과할 때에만 표시되게 된다. 이 방법으로 어드레스 라인을 테스트하는 것은 1초만 큼 적게 실현될 수 있다. 어드레스 지정 테스트가 성공적으로 완료되면, 분리적인 데이터 테스트가 실행되어야 한다. 이 데이터 테스트는 정상적인 시스템 작동과 동시에 실행될 수 있다.

이제 제2도 및 제2a도를 참조하여 전형적인 메모리 및 카드(16)과 설명되게 되는데, 여기서 버퍼(20, 22 및 24)와 메모리 어레이(26a, 26b, 26c 및 26d) 사이의 어드레스 라인이 테스트된다. 상기 메모리 카드(16)는 또한 카드 온/오프 데이터의 전송을 조정하기 위한 양방향 드라이버 셋트(28)를 포함한다. 제어 라인은, 판독, 기록, 인에이블, 테스트, 카드선택 및 카드(16)상에 포함된 메모리 어레이(26a, 26b, 26c 및 26d)의 어드레스 지정을 제어하는 제어 블록(18)에 입력으로서 접속된다.

하드웨어 환경에 관한 전술한 논의, 특히 제1도 및 제2도에 관한 설명은 본 발명에 따른 방법이 효율적으로 사용될 수 있는 통상적인 시스템을 나타내기 위한 것이다.

제3도는 24비트를 포함할 수도 있는 대규모 메모리 서브-시스템에 대한 통상적인 어드레스 버스 구조를 도시하고 있는데, 여기서 24비트 중 20비트는 각 카드에 유일한 위치를 어드레스하고, 4비트는 카드 선택을 제공한다. 그러므로, 각 카드가 1백만 어드레스 가능 위치를 갖는 16카드의 가능성이 있게 된다. 본 발명의 양호한 실시예에 따르면, 테스트될 어드레스는 "1"로 셋트된 하나의 특정 어드레스 비트와 "0"으로 셋트된 다른 19개의 어드레스 비트로 형성된다.

제3도의 어드레스 버스 구조는 단지 대규모 메모리에 대한 전형적인 어드레스 지정 설계를 설명하기 위해 도시된 것이며, 어쨌든 본 발명의 응용을 제한하려는 의도는 아니다.

본 발명의 방법은 제4도의 흐름도에 도시된 본 발명의 양호한 실시예에 관해 보다 상세하게 설명되게 된다.

한 어드레스 라인 테스트가 실행될 때, 메모리 시스템내의 메모리 제어 프로세서(10)에 적합한 요청이 보내진다(단계 100). 그러면 메모리 제어 프로세서(10)는 어드레스에서의 제1비트(예를 들어 비트 23)를 활성 어드레스 라인으로서, 1로 셋트함으로써 어드레스 테스트를 시작하는데, 어드레스의 모든 다른 비트는 "0"으로 셋트된다. 이때 모두 0인 데이터 패턴과 같은 제1데이터 패턴이 상기 활성 어드레스 라인 위치에 기억된다(단계 102).

이 공정의 각 단계(102, 103, 104, 112, 113, 114)에서는, 수행되고 있는 어드레스 테스트를 방해할 수 있는, 어드레스 테스트와 관련되지 않은 다른 오류(무관련 에러)가 발생되지 않도록 확실하게 하기 위해 패리티와 같은 정상적인 하드웨어 에러 검사가 실행되고 있다. 다음에, 제1패턴으로부터 최대 패턴 분리도를 갖는 다른 데이터 패턴이 테스트중의 어드레스 비트에 대한 비활성 어드레스 라인 위치로 기억된다(단계 103) (여기서 만일 OK가 아니면 ㉔를 통해 단계 119로 진행한다) (여기서 메모리 셀 에러와 같은 하드웨어 에러가 검사된다.

예를 들어, 모두 1인 패턴이 활성 어드레스 라인 위치인 어드레스 0에 기억되며, 테스트중의 비트는 어드레스 하위(low order) 비트(예로, 비트 23)가 된다.

제3도를 참조하면, 어드레스 버스에 대한 어드레스 구조에서, 하위 어드레스 비트 위치는 비트 23으로서 확인되게 된다. 그러므로, 비트 23이 온이되고, 모든 다른 어드레스 비트는 "오프" 또는 "0"가 되면, 활성 어드레스 라인 위치는 어드레스 1이 되게 되고, 비활성 어드레스 라인 위치는 어드레스 0가 되게 되는데, 이것은 오직 이들 2개의 어드레스만이 어드레스의 하위 비트인 어드레스 비트(23)의 값에서의 변화에 의해 영향을 받게되기 때문이다. 그리고 모든 다른 어드레스 비트는 0이 되게 되는데, 이것은, 실제적으로 0이 되는 주 비트를 가진 어드레스에의 기록을 초래하는 1이 되는 예상 어드레스 비트가 되게 되는 어드레스 라인 에러가 발생하는지 결정하기 위해 한번에 한 어드레스 라인씩 테스트가 행해지기 때문이다. 어드레스의 비트 23에 대해 테스트가 완료된 이후에, 본 발명의 양호한 실시예의 20라인 비트 어드레스에 대해 어드레스 22부터 어드레스 4까지의 각각의 비트에 대해 테스트가 반복된다. 다시, 전술한 바와 같이, 정상적인, 하드웨어 에러 정정이 수행된다. 이 공정의 어느 단계에서, 만일 하드웨어 에러 검사로부터 지시된 에러가 있으면, 테스트는 에러의 원인이 발생되었다는 것을 나타내는 분리 코드(에러의 원인을 표시하기 위해 설명된 적당한 코드)로 종료된다. 또한 본 발명에 따른 어드레스 라인 테스트의 완전성(integrity)은 에러가 메모리 셀 오류가 아닌 어드레스 라인 오류에 관련된 것으로 확인될 수 있도록 어드레스 라인에 의해 어드레스 되는 메모리의 완전성에 의존한다는 것을 알 수 있다.

다음에, 모든 에러 정정 회로가 메모리 시스템에서 불능상태가 되고(단계 104), 그런다음 활성 및 비활성 어드레스 라인 위치에 기억된 데이터가 판독되어, 그 각각의 대응하는 예상치에 비교된다. 상기 데이터는 1비트씩 비교되며, 에러에서 데이터 비트의 총 수가 결정된다(단계 105).

시스템이 검출하고 정정할 수 있는 예정된 수의 수용가능 데이터 비트 에러가 설정된다. 만일 어떤 특정비교에서 데이터 비트의 수가 상기 수용가능한 수를 초과하면, 어드레스 라인 오류가 표시되고,

테스트는 적절한 에러 코드를 종료한다(초과되는 경우 ㉕를 통해 단계 120으로 진행). 본 발명의 양호한 실시예에 있어서, 어드레스 라인 오류가 표시되기 전에, 카드당 6개의 에러가 수용될 수 있다.

만일 모든 어드레스 라인이 테스트되지 않았다면, 테스트는 활성 라인으로서의 어드레스내의 그다음 비트로 증가하며, 전술한 단계가 반복된다. 이들 단계는 기억 장치 어드레스내의 모든 어드레스 비트가 특정 카드에 대해 테스트될 때까지 반복된다. (㉖를 통해 단계 107, 108이 반복된다). 다음 카드가 테스트될 때, 상기 어드레스에서 상위(제3도의 비트 0-3)에 있는 카드선택 비트에 변화가 있게 되고, 20개의 하위 어드레스 비트는 각각 상기 시스템 내의 각 카드에 대해 전술한 바와 같이 다시 테스트되어야 한다는 것을 주목하자.

시스템내의 모든 어드레스 라인을 통해 제1통과(제4a도 및 제4b도)가 완료되면, 제2통과(단계)가 행

해지는데(단계 110), 여기서, 활성 어드레스 라인이 다시 하위 어드레스 비트로 셋트되고(단계 111), 모두 0인 것과 같은 제2데이터 패턴이 비활성 어드레스 라인위치 어드레스 0에 기억되며(단계 112), 제1통과에 있어서의 비활성 어드레스 라인 위치에 기억되어 있는 데이터 패턴이 이제는, 어드레스 1에 모두 1을 기억시키는 것과 같이 활성 어드레스 라인 위치에 기억된다(단계 113). 다시 전술한 바와 같이, 하위 어드레스 비트는 제3도에 도시된 바와 같이 비트 23이 된다. 또한, 전술한 바와 같이, 무관한 에러가, 행해지고 있는 테스트의 결과로 발생할 수도 있는 에러를 방해하지 않도록 보장하기 위해 패리티와 같은 하드웨어 에러 검사가 행해진다.

제1통과에서와 같이, 2개의 어드레스에 기억된 데이터가 1비트씩 판독되어 비교되며(단계 114,115), 예정된 수의 수용 가능하고 정정가능한 에러가 초과되었는지를 결정하기 위해 에러 비트의 수가 계산된다(단계 116). 만일 상기 에러 비트의 수가 초과되었다면, 테스트는 어드레스 라인 오류 코드를 표시하여 종료된다(단계 120).

제2통과에 있어, 만일 모든 어드레스 라인이 테스트 되지 않았다면(단계 117), 그 다음 어드레스 비트가 활성 어드레스 비트 위치로 되며, 어드레스내의 이와 같은 다음 비트 위치에 대해 제2통과가 행해진다.

상기 어드레스 내의 모든 어드레스 비트가 완전하게 테스트될 때까지 제2통과에 대해 상기 단계가 반복된다. 어드레스의 상위 끝에 있는 카드선택 비트는 독자적으로 실행되어야 하는데, 이것은, 어드레스의 20라인이 선택된 각 카드에 대해 독자적이고 분리적으로 테스트되게 되도록 각 카드가 그 카드에 대한 모든 활성 어드레스 라인에 대해 분리적으로 테스트되어야 하기 때문이다.

또한, 어드레스의 상위 끝에 있는 카드 라인(제2도 참조)이 본 발명의 주제인 어드레스 라인 테스트에 앞서 분리적인 카드선택 테스트에 의해 확인되어야 한다는 것을 주목하자.

수용 가능한 데이터 비트 에러의 수는 기억 장치 시스템의 에러 정정 용량과 각 메모리 카드상의 여분 메모리 칩의 수에 따라 다르다는 것을 주목하자. 예를들어, 만일 기에 의해 2중(double) 비트 정정이 제공되고, 각 메모리 카드가 한 개의 여분을 갖으면, 수용가능한 데이터 에러의 수는 30이 된다.

또한, 본 발명의 어드레스 테스트는 각각의 어드레스 라인이 전술한 바와같이 수용 가능한 데이터 비트 에러의 수보다 많은 메모리 칩에 영향을 주는 기억장치 시스템에 관해서만 유효하다.

다음의 예는 본 발명에 따른 테스트 방법의 동작을 이해하는데 도움이 될 수 있다.

i) 한 어드레스가 항상 "1"인 경우를 고찰해 보자. 이 예에서는 어드레스 라인 23을 이용하자. 테스트는 모두 0인 데이터 패턴을 어드레스 1에 저장함으로써 시작된다(라인 23을 온시킨다). 다음에, 모두 1인 데이터 패턴이 어드레스 0에 기억된다(어드레스 라인 23이 오프된다). 그러나, 테스트중의 비트(어드레스 비트 23)가 항상 "1"이기 때문에, 실제적으로는 모두 1인 데이터 패턴이 어드레스 1에 기억된다. 데이터가 어드레스 1로부터 판독될때, 모두 0인 예상 데이터에 비교되고, 어드레스 라인 오류가 검출된다.

ii) 다음에, 어드레스 라인이 항상 0가 되는 경우를 고찰해보자. 또한 다시 어드레스 23을 이용하자. 테스트는 모두 0인 데이터 패턴을 어드레스 1에 기억시킴으로써 시작된다(어드레스의 비트 23이 온이 된다). 그러나, 테스트중의 비트가 항상 "0"이기 때문에 실제적으로는 모두 0인 데이터 패턴이 어드레스 0에 기억된다. 다음에 모두 1인 데이터 패턴이 어드레스 0에 기억된다. 데이터가 어드레스 1로부터 판독되면, 모두 1인 데이터 패턴이 모두 0인 예상 데이터에 비교되고, 어드레스 라인 오류가 검출된다. 예시된 바와 같이, 항상 "0"이 되거나 항상 "1" 되는 어드레스 라인은 테스트의 제1통과(단계)에서 항상 발견되게 된다.

iii) 다음에는, 제1어드레스에 데이터를 기억시키기 위한 시도가 또한 데이터를 다른 어드레스에 기억되도록 야기하는 오류 모드를 고찰해보자. 이와같은 오류는 두 어드레스 라인의 단락(shorting)으로부터 발생할 수도 있다. 본 예에 있어서는 어드레스 0에의 기억이 또한 어드레스 1이나 또는 어드레스 2에의 기억을 야기하게 된다는 것을 고려하자. 테스트는 모두 0인 데이터 패턴을 어드레스 1에 기억시킴으로써 시작된다. 다음에 모두 1인 패턴이 어드레스 0에 기억된다. 그러나 오류로 인해, 모두 1인 데이터 패턴이 또한 어드레스 1에 기억된다. 데이터가 어드레스 1로부터 판독될 때, 모든 1인 데이터 패턴이 모두 0인 예상 데이터에 비교되어, 어드레스 라인 오류가 검출된다.

iv) 다시, 제1어드레스에의 기억이 또한 다른 어드레스의 기억을 야기하게 되는 오류 모드를 고찰해보자. 본 예에서는, 어드레스 1에의 기억이 또한 어드레스 0에의 기억을 야기하게 되는 경우를 고려하자. 테스트는 모두 0인 데이터 패턴을 어드레스 1에 설정함으로써 시작된다. 그러나, 오류로 인해 모두 0인 패턴이 또한 어드레스 0에도 기억된다. 다음에 모두 1인 데이터 패턴이 어드레스 0에 기억된다. 데이터가 어드레스로부터 판독되어 예상되는 데이터에 비교될 때, 데이터가 올바른 것으로 나타나게 된다. 그러면, 어드레스 2에 기억시키고, 어드레스 0에 기억시키고, 두 어드레스로부터 데이터를 판독하여, 그 데이터를 예상되는 데이터에 비교함으로써 다음 어드레스 라인(비트 22)의 테스트된다. 이 테스트는 잔여 어드레스 라인에 관해 성공적이 된다.

그러면, 테스트의 제2통과(단계)가 모두 0인 데이터 패턴을 어드레스 0에 기억시킴으로써 시작된다. 다음에는, 모두 1인 데이터 패턴이 어드레스 1에 기억된다. 그러나, 오류로 인해, 모두 1인 데이터 패턴이 또한 어드레스 0에도 기억된다. 데이터가 어드레스 0에서 판독될 때, 모두 1인 데이터 패턴이 모두 0인 예상 데이터에 비교되게 되고, 어드레스 라인 오류가 검출된다. 이 오류 모드는 단일 통과 테스트에 의해서는 검출되지 않았었다.

본 발명이 양호한 실시예를 참조하여 특별히 도시되고 설명되었지만, 본 발명의 정신과 범위를 벗어나지 않고, 형태와 세부 사항에 있어서 다양한 변화가 이루어질 수도 있다는 것은 상기 기술에 숙련된 사람들에게는 쉽게 이해될 것이다.

(57) 청구의 범위

청구항 1

대규모 기억장치 어레이에서 어드레스 라인을 테스트하기 위한 방법에 있어서, 테스트 온 중의 비트로 형성된 어드레스에서의 제1메모리 워드에 제1비트 패턴을 기록하는 제1기록 단계와, 테스트 오프 중의 비트로 형성된 어드레스에서의 제2메모리 워드에 제2비트 패턴을 기록하는 제2기록 단계와, 상기 어드레스 모두로부터 데이터를 판독하는 제1판독 단계와, 영구적인 에러를 형성하는 예정된 수의 비트 에러를 검사하는 제1검사 단계와, 모든 어드레스 라인이 테스트될 때까지 상기 어드레스내의 각 비트에 대해 전술한 단계를 반복하는 단계와, 테스트 오프중의 상기 비트로 형성된 상기 어드레스에서의 상기 제2메모리 워드에 상기 제1비트 패턴을 기록하는 제3기록 단계와, 테스트 온 중의 상기 비트로 형성된 상기 어드레스에서의 상기 제1메모리 워드에 상기 제2비트 패턴을 기록하는 제4기록 단계와, 상기 어드레스 모두로부터 데이터를 판독하는 제2판독 단계와, 영구적인 에러를 형성하는 예정된 수의 비트 에러를 검사하는 제2검사 단계 및, 모든 어드레스 라인이 테스트될때까지 상기 어드레스내의 각 비트에 대해 상기 제3 및 제4기록 단계와 상기 제2판독 단계 및 제2검사 단계를 반복하는 단계를 포함해서 이루어진 어드레스 라인 오류 테스트 방법.

청구항 2

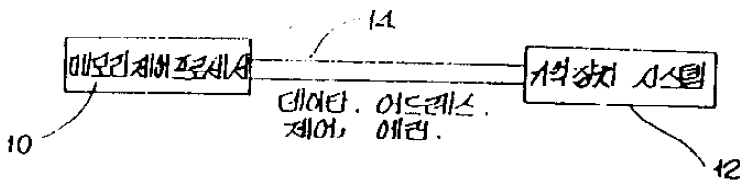
제1항에 있어서, 상기 제1비트 패턴이 모두 0인 패턴이고, 상기 제2비트 패턴이 모두 1인 패턴이 되는 어드레스 라인 오류 테스트 방법.

청구항 3

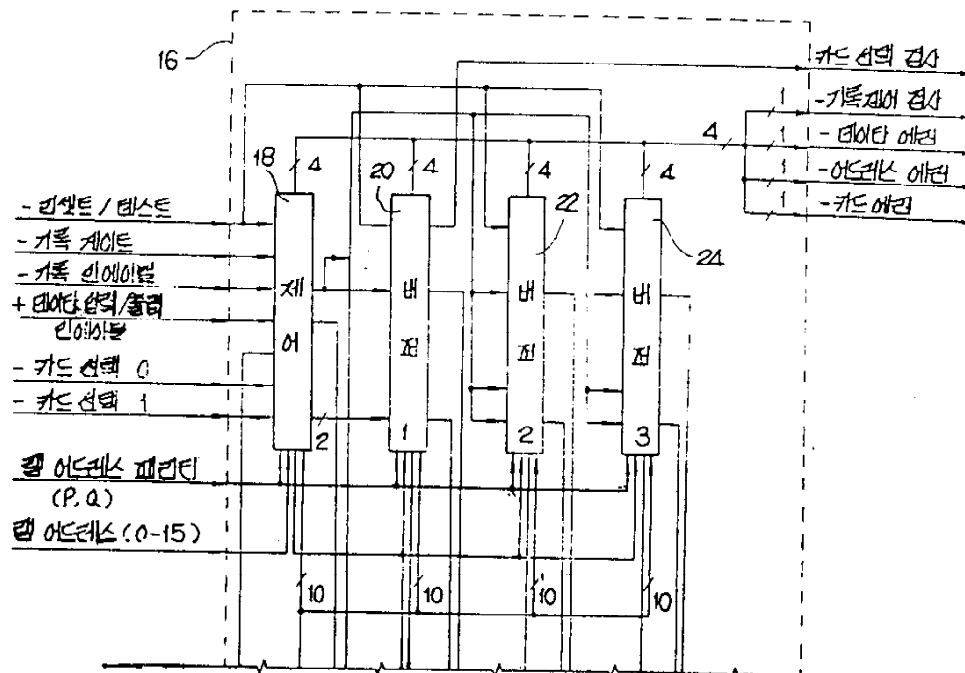
제1항에 있어서, 영구적인 에러를 형성하는 상기 예정된 수의 비트 에러는 멀티-카드 기억장치 어레이내의 각 카드에 대해 6개의 에러가 되는 어드레스 라인 오류 테스트 방법.

도면

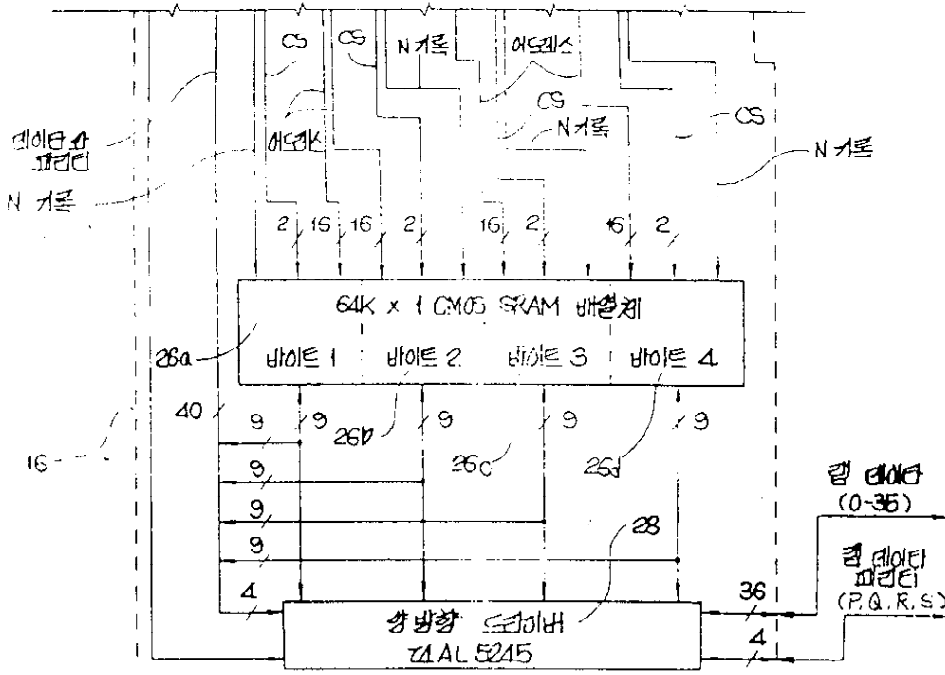
도면1



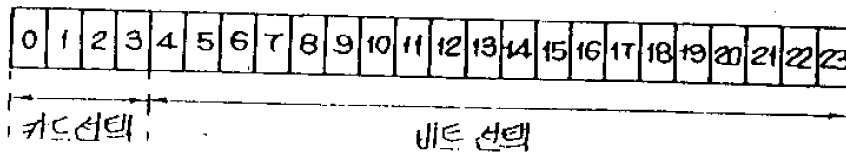
도면2



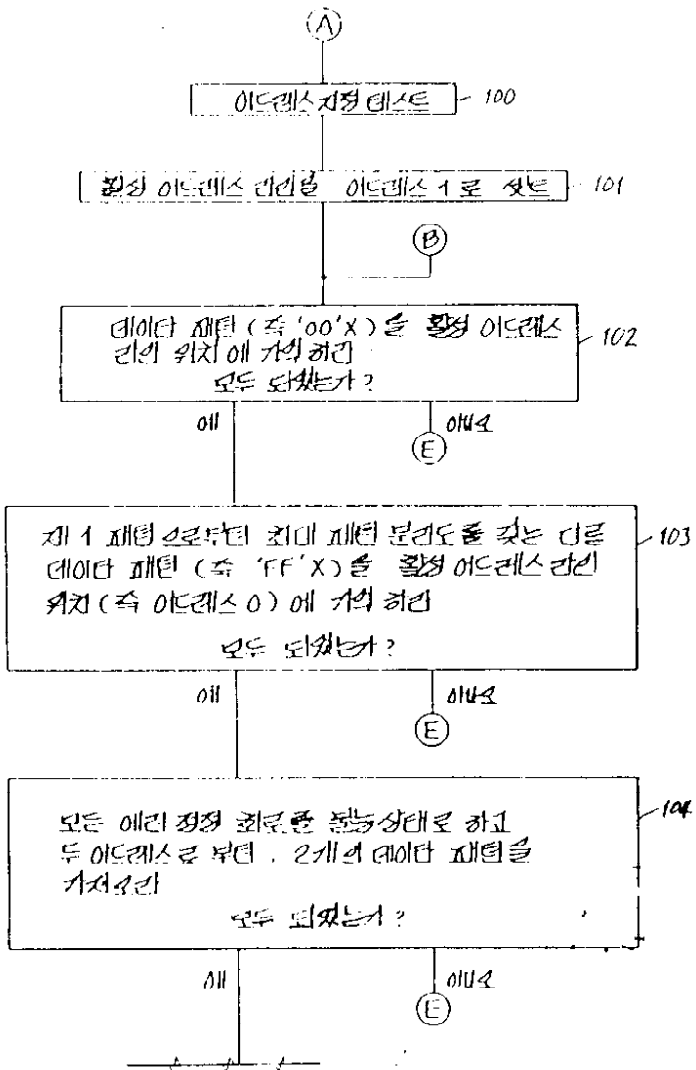
도면2A



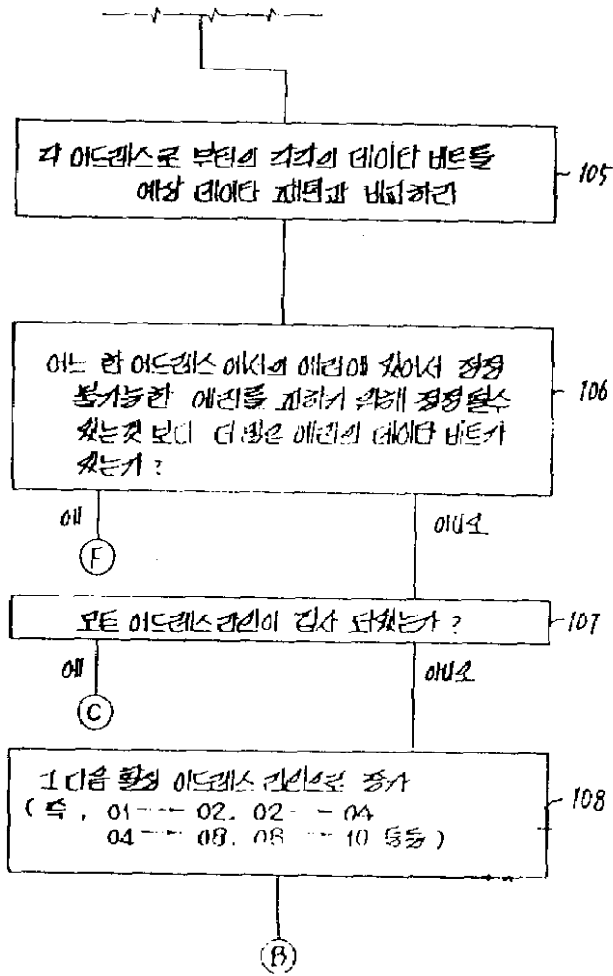
도면3



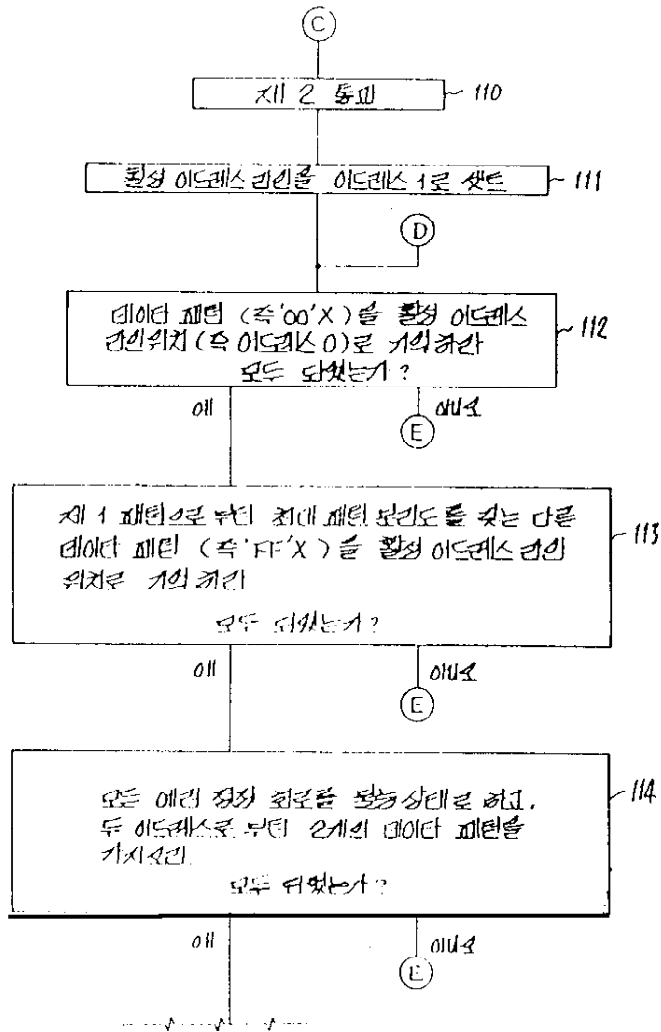
도면4.1



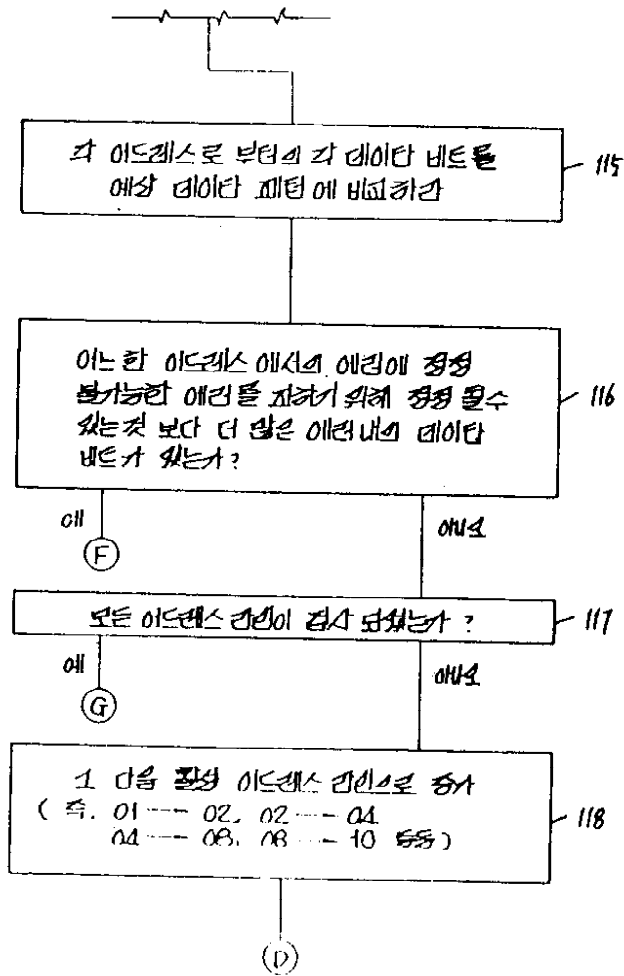
도면4.2



도면4.3



도면4.4



도면4.5

