

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2011年9月1日(01.09.2011)

PCT

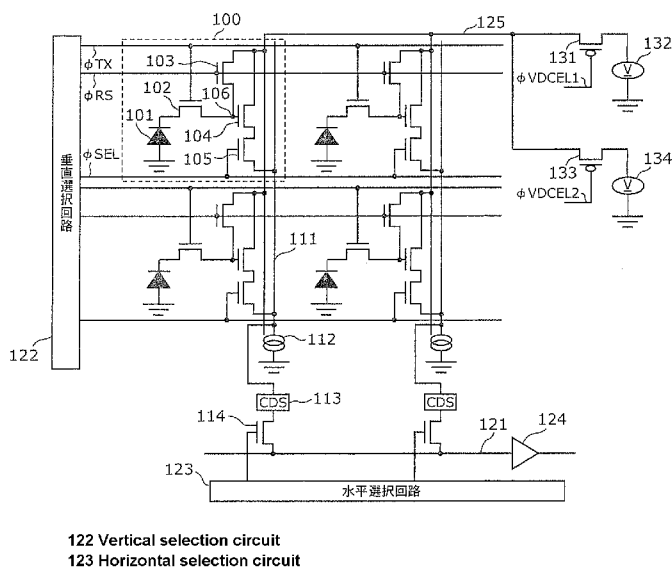
(10) 国際公開番号  
WO 2011/105018 A1

- (51) 国際特許分類:  
H04N 5/365 (2011.01) H04N 5/3745 (2011.01)  
H01L 27/146 (2006.01)
  - (21) 国際出願番号: PCT/JP2011/000757
  - (22) 国際出願日: 2011年2月10日(10.02.2011)
  - (25) 国際出願の言語: 日本語
  - (26) 国際公開の言語: 日本語
  - (30) 優先権データ:  
特願 2010-040897 2010年2月25日(25.02.2010) JP
  - (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
  - (72) 発明者; および
  - (75) 発明者/出願人 (米国についてのみ): 阿部 豊 (ABE, Yutaka). 藤中 洋 (FUJINAKA, Hiroshi).
  - (74) 代理人: 新居 広守 (NIJ, Hiromori); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).
  - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
  - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告 (条約第21条(3))

(54) Title: SOLID-STATE IMAGING DEVICE AND CAMERA SYSTEM

(54) 発明の名称: 固体撮像装置及びカメラシステム

[図1]



(57) Abstract: Disclosed are a solid-state imaging device and camera system that can prevent deterioration in output linearity and prevent an increase in fixed pattern noise even in low-light conditions, and which are provided with a unit cell (100), a column signal line (111), a first current source (112), and a power supply unit. The power supply unit has a pixel power source line (125) that is connected to a reset transistor (103) and a read transistor (104). When a floating diffusion (FD) part (106) is reset, an electric potential is supplied via the pixel power source line (125), said electric potential being lower than the electric potential when a signal voltage is outputted from the unit cell (100) to the column signal line (111).

(57) 要約: 本発明は、光照射量が少ない場合でも出力線arityの劣化及び固定パターンノイズの増加を抑えることが可能な固体撮像装置及びカメラシステムを提供することを目的とするものであって、単位セル(100)と、列信号線(111)と、第1の電流源(112)と、電源供給部とを備え、電源供給部は、リセットトランジスタ(103)及び読み出しトランジスタ(104)に共通に接続された画素電源線(125)を有し、FD部(106)をリセットする時に、単位セル(100)から列信号線(111)に信号電圧を出力する時の電源電位よりも低い電源電位を、画素電源線(125)を介して供給する。

WO 2011/105018 A1

## 明 細 書

**発明の名称**： 固体撮像装置及びカメラシステム

### 技術分野

[0001] 本発明は、固体撮像装置及びカメラシステムに関するものである。

### 背景技術

[0002] 近年、CCD型イメージセンサに代わる固体撮像装置としてMOS型イメージセンサが注目されている。これは、MOS型イメージセンサがCMOSプロセスで製造できるため既存の設備を利用でき、安定供給が可能であること、及び高速読み出し可能なため高速化・高解像度化できることなど、多くの利点を有しているためである。

[0003] 一般的なMOS型の固体撮像装置の構成及び駆動方法について、例えば特許文献1に開示されている。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2008-067344号公報

### 発明の概要

#### 発明が解決しようとする課題

[0005] 一般的な固体撮像装置について、図13及び図14を用いて説明する。図13は、一般的な固体撮像装置の全体構成を示す図である。

[0006] この固体撮像装置には、単位セル100が複数配列されている。なお、図13では図の簡略化のために、単位セル100が2行×2列で配列されているが、これに限定されず、任意の数の単位セル100が行方向及び列方向に配置されうる。

[0007] 複数の単位セル100には、それぞれ光電変換素子（画素）としてのフォトダイオード101、転送トランジスタ102、FD（フローティングディフュージョン）部106、リセットトランジスタ103、読み出しトランジスタ104、及び選択トランジスタ105が配置されている。

- [0008] 複数の単位セル100には、列信号線111、読み出しトランジスタ104の負荷となる第1の電流源112、CDS (Correlated Double Sampling) 回路113、水平選択トランジスタ114、水平信号線121、水平選択回路123及び増幅回路124が接続されている。
- [0009] 列信号線111は、第1の電流源112を介してグランドに接続される。列信号線111は、単位セル100の選択時（信号読み出し時）には、読み出しトランジスタ104及び第1の電流源112と共にソースフォロア回路を構成する。読み出しトランジスタ104の出力は、CDS回路113に出力される。
- [0010] 固体撮像装置に入射した光は、フォトダイオード101で信号電荷に変換される。フォトダイオード101で発生した信号電荷は、転送パルス $\phi_{TX}$ に応じて転送トランジスタ102により転送され、FD部106に一時的に蓄積される。選択パルス $\phi_{SEL}$ に応じて選択トランジスタ105で選択された単位セル100の信号電荷は電圧に変換され、列信号線111を経てCDS回路113に出力される。さらに、水平選択回路123によって水平選択トランジスタ114を選択的に導通して、水平信号線121に信号電圧を出力させる列信号線111が選択され、信号電圧は増幅回路124を経て外部に出力される。FD部106に蓄積された電荷の除去（リセット）は、リセットパルス $\phi_{RS}$ に応じてリセットトランジスタ103で行われ、FD部106は画素電源線125を介して接続された電圧源126が供給するリセット電位にリセットされる。また、垂直選択回路122は、転送トランジスタ102、選択トランジスタ105、及びリセットトランジスタ103に対応する駆動パルスを供給して駆動を行う。
- [0011] 次に固体撮像装置の動作について説明する。図14は、図13の固体撮像装置の動作タイミングを示すタイミングチャートである。図14において、横軸は時間、縦軸は各信号の電位を表す。リセットパルス $\phi_{RS}$ は、所定の行のリセットトランジスタ103を共通に制御するパルス信号を表している。転送パルス $\phi_{TX}$ は、所定の行の転送トランジスタ102を共通に制御す

るパルス信号を表している。選択パルス $\phi_{SEL}$ は、所定の行の選択トランジスタ105を共通に制御するパルス信号を表している。電位 $V_{fd}$ は所定の単位セル100のFD部106の電位、電位 $V_i$ は所定の単位セル100と接続された列信号線111の電位を表している。以下、所定の単位セル100を例にして動作タイミングを説明するが、他の単位セル100についても同様に動作させることができる。

- [0012] 時刻 $t_0$ では、選択パルス $\phi_{SEL}$ の電位は“L”レベルに設定され、リセットパルス $\phi_{RS}$ の電位は“H”レベルに設定される。このとき、転送パルス $\phi_{TX}$ は“L”レベルであり、フォトダイオード101とFD部106とは電氣的に遮断されている。この状態では、選択トランジスタ105はオフ状態であり、読み出しトランジスタ104の出力は、列信号線111には読み出されない。また、リセットトランジスタ103はオン状態であり、FD部106の電位は、リセットレベルに設定される。
- [0013] 時刻 $t_1$ では、選択パルス $\phi_{SEL}$ の電位が“H”レベルに変化し、リセットパルス $\phi_{RS}$ の電位が“L”レベルに変化する。この状態では、リセットトランジスタ103はオフ状態となり、選択トランジスタ105はオン状態となる。その結果、読み出しトランジスタ104は、リセットレベルを列信号線111に出力する動作を開始する。
- [0014] 時刻 $t_2$ では、転送パルス $\phi_{TX}$ の電位が“H”レベルに変化し、転送トランジスタ102がオン状態となる。その結果、フォトダイオード101の信号電荷（電子）がFD部106に転送される。読み出しトランジスタ104のゲートの電位は、画素に入射する光の量に比例して低下し、これに伴って列信号線111の電位が低下する。
- [0015] 時刻 $t_3$ では、転送パルス $\phi_{TX}$ の電位が“L”レベルに変化し、転送トランジスタ102がオフ状態となり、フォトダイオード101の信号電荷（電子）の転送を終了する。
- [0016] 時刻 $t_4$ では、選択パルス $\phi_{SEL}$ の電位が“L”レベルに変化し、リセットパルス $\phi_{RS}$ の電位が“H”レベルに変化して、選択トランジスタ105

はオフ状態となり、FD部106の電位が再びリセットレベルに設定される。

[0017] CDS回路113からは、FD部106を画素電源線125の電位にリセットした時の列信号線111の電位と、光照射量に応じた電子がフォトダイオード101からFD部106に転送された時の列信号線111の電位との差分に応じた電位が出力される。

[0018] 各列のCDS回路113からの出力は、水平選択回路123によって制御されている水平選択トランジスタ114を介して列毎に順次水平信号線121に読み出され、増幅回路124で増幅されて出力される。

[0019] 以上の動作を、単位セル100の行ごとに順次行うことで、XY方向にアレイ状に配列された各画素の信号が出力され、2次元の画像データが生成される。

[0020] しかしながら、上記固体撮像装置は、光照射量が少ない時に出力リニアリティの劣化を引き起こすことがあり、これが固定パターンノイズによる画質劣化に繋がる。その理由を以下に説明する。

[0021] 画素電源線125の電位を $V_{dd}$ とすると、FD部106をリセットした時のFD部106の電位 $V_{fdrst}$ は

[0022] [数1]

$$V_{fdrst} = V_{dd} \quad (1)$$

[0023] である。

[0024] 読み出しトランジスタ104が飽和領域で動作していると、読み出しトランジスタ104のドレイン・ソース間を流れる電流量 $I_{ds}$ は

[0025] [数2]

$$I_{ds} = \frac{1}{2} \beta (V_{fd} - V_l - V_{th})^2 \quad (2)$$

[0026] で示される。ここで、 $V_{fd}$ はFD部106の電位、 $V_l$ は列信号線111の電位、 $V_{th}$ は読み出しトランジスタ104のしきい値電圧、 $\beta$ は読み出しトランジスタ104のトランスコンダクタンス係数である。

[0027] 読み出しトランジスタ 104 のソース・ドレイン間を流れる電流は、定電流源（第 1 の電流源 112）で一定の値に決められており、定電流源の電流値を  $I_{bias}$  とすると、FD 部 106 をリセットした時の列信号線 111 の電位  $V_{1rst}$  は、

[0028] [数3]

$$V_{1rst} = V_{dd} - V_{th} - \sqrt{\frac{2I_{ds}}{\beta}} \quad (3)$$

[0029] であらわされる。

[0030] 次に、フォトダイオード 101 で発生した電子を FD 部 106 に転送すると、FD 部 106 の電位は電子の数に応じて変化する。この時の FD 部 106 の電位  $V_{fdsig}$  は

[0031] [数4]

$$V_{fdsig} = V_{dd} - \frac{qN}{C} \quad (4)$$

[0032] であらわされる。ここで、 $N$  はフォトダイオード 101 で発生した電子の数、 $q$  は電子一つあたりの電荷量、 $C$  は FD 部 106 の容量である。この時の列信号線 111 の電位  $V_{1sig}$  は、

[0033] [数5]

$$V_{1sig} = V_{dd} - \frac{qN}{C} - V_{th} - \sqrt{\frac{2I_{ds}}{\beta}} \quad (5)$$

[0034] となる。

[0035] ここで、式 (3) 及び式 (5) は、読み出しトランジスタ 104 が飽和領域で動作しているとした時の値である。読み出しトランジスタ 104 が飽和領域ではなくリニア領域で動作しているとする、読み出しトランジスタ 104 のソース・ドレイン間を流れる電流  $I_{ds}$  は

[0036] [数6]

$$I_{ds} = \frac{1}{2} \beta (V_{gs} - V_t - V_{th} - \frac{V_{ds} - V_t}{2}) \times (V_{ds} - V_t) \quad (6)$$

[0037] で示される。これより、読み出しトランジスタ 104 がリニア領域にある時の、FD部 106 をリセットした時の列信号線 111 の電位  $V_{l2rst}$  及びフォトダイオード 101 で発生した電子を FD部 106 に転送した時の列信号線 111 の電位  $V_{l2sig}$  を求めると、

[0038] [数7]

$$V_{l2sig} = V_{dd} - V_{th} - \sqrt{V_{th}^2 + \frac{2I_{th}}{\beta}} \quad (7)$$

[0039] 及び

[0040] [数8]

$$V_{l2sig} = V_{dd} - \frac{qN}{C} - V_{th} - \sqrt{\left(V_{th} + \frac{qN}{C}\right)^2 + \frac{2I_{th}}{\beta}} \quad (8)$$

[0041] となる。

[0042] トランジスタが飽和領域で動作するかりニア領域で動作するかは、トランジスタのゲート電圧、ドレイン電圧及びしきい値電圧によって決まり、

[0043] [数9]

$$V_{gs} > V_{th} + V_{ds} \quad (9)$$

[0044] を満たす時はリニア領域、

[0045] [数10]

$$V_{gs} \leq V_{th} + V_{ds} \quad (10)$$

[0046] を満たす時は飽和領域で動作する。

[0047] 式(1)、式(4)、式(9)及び式(10)より、FD部 106 をリセットした時に読み出しトランジスタ 104 が飽和領域で動作していれば、フォトダイオード 101 で発生した電子を転送した後も読み出しトランジスタ 104 は飽和領域で動作する。電子はマイナスの電荷を持っており、フォトダイオード 101 で発生した電子が転送された後の FD部 106 の電位は、FD部 106 をリセットした時の電位から低くなるためである。しかしながら、FD部 106 をリセットした時に読み出しトランジスタ 104 がリニア

領域で動作していれば、電子を転送した後の読み出しトランジスタ 104 は、フォトダイオード 101 で発生する電子の量が少ない時はリニア領域で動作し、多い時は飽和領域で動作することになる。

[0048] 一般的な固体撮像装置は、CDS回路 113 にて、FD部 106 をリセットした後の列信号線 111 の電位と、フォトダイオード 101 で発生した電子を転送した後の列信号線 111 の電位との差分をCDS回路 113 から出力する。従って、FD部 106 をリセットした時に読み出しトランジスタ 104 が飽和領域で動作している時のCDS回路 113 からの出力電位  $V_{o1}$  は、式 (3) 及び式 (5) より

[0049] [数11]

$$V_{o1} = \frac{qN}{C} + V_{bias} \quad (11)$$

[0050] となる。ここで、 $V_{bias}$  は任意の基準電位である。

[0051] また、FD部 106 をリセットした時に読み出しトランジスタ 104 がリニア領域で動作していれば、その時のCDS回路 113 からの出力電圧  $V_{o2}$  は、式 (3)、式 (7)、式 (8)、式 (9) 及び式 (10) より、

[0052] [数12]

$$V_{o2} = \frac{qN}{C} - \sqrt{V_{th}^2 + \frac{2I_{ds}}{\beta}} + \sqrt{\left(\frac{qN}{C} + V_{th}\right)^2 + \frac{2I_{ds}}{\beta}} + V_{bias}, \frac{qN}{C} < -V_{th} \quad (12)$$

[0053] [数13]

$$V_{o2} = \frac{qN}{C} - \sqrt{V_{th}^2 + \frac{2I_{ds}}{\beta}} + \sqrt{\frac{2I_{ds}}{\beta}} + V_{bias}, \frac{qN}{C} \geq -V_{th} \quad (13)$$

[0054] となる。

[0055] ここで、式 (11) を基に、FD部 106 をリセットした時に読み出しトランジスタ 104 が飽和領域で動作する場合の、フォトダイオード 101 での発生電子数に対するCDS回路 113 の出力電位  $V_{o1}$  をグラフ化したものを図 15 に示す。また、式 (12) を基に、FD部 106 をリセットした時に読み出しトランジスタ 104 がリニア領域で動作する場合の、フォトダイオ



ード101での発生電子数に対するCDS回路113の出力電位 $V_{o2}$ をグラフ化したものを図16に示す。

- [0056] 図16より、FD部106をリセットした時に読み出しトランジスタ104がリニア領域で動作する場合、読み出しトランジスタ104が飽和領域で動作するくらいまで発生電子数が多くなると、発生電子数に対してCDS回路113の出力電位の増加が非線形となり、固体撮像装置の出力リニアリティが劣化することが分かる。また、リニア領域におけるトランジスタの特性は、一般的にトランジスタ毎のばらつきが大きいいため、単位セル100ごとに出力がばらつく固定パターンノイズも増加してしまう。
- [0057] 読み出しトランジスタ104は、その $1/f$ ノイズが固体撮像装置の $S/N$ に大きな影響を与えることから、 $1/f$ ノイズ低減のために、ゲート酸化膜厚を薄くしたり、埋め込みチャネル型にしたりするが、この影響でしきい値電圧 $V_{th}$ が低くなり、 $0V$ 以下になることも多い。また、低消費電力化のために電源電圧を下げる場合でも、読み出しトランジスタ104の基板バイアス効果が小さくなるため、しきい値電圧 $V_{th}$ は低くなる。また、実際のトランジスタは、式(9)を満たす場合でもゲート電位がドレイン電位としきい値電圧 $V_{th}$ とを足した値に近い領域ではドレイン・ソース間電流は、ドレイン・ソース間電圧にも依存するようになる。
- [0058] 以上より、図13の固体撮像装置のように、FD部106のリセット電位と読み出しトランジスタ104のドレイン電位とが同電位であることは、読み出しトランジスタ104をリニア領域で動作させ、固体撮像装置の出力リニアリティの劣化及び固定パターンノイズの増加を引き起こすことがあると言える。
- [0059] そこで、本発明は、かかる問題点に鑑みてなされたものであり、光照射量が少ない場合でも出力リニアリティの劣化及び固定パターンノイズの増加を抑えることが可能な固体撮像装置及びカメラシステムを提供することを目的とする。

**課題を解決するための手段**

- [0060] 上記目的を達成するために、本発明の一態様に係る固体撮像装置は、アレイ状に配列された複数の単位セルと、前記単位セルの列に対応して設けられ、対応する列の前記単位セルに共通に接続された列信号線と、前記列信号線に接続された電流源と、前記単位セルに電源電位を供給するための電源供給部とを備え、前記単位セルは、フォトダイオードと、前記フォトダイオードで発生した信号電荷を一時的に保持するためのFD（フローティングディフュージョン）部と、前記フォトダイオードと前記FD部との間に設けられ、前記フォトダイオードから前記FD部に電荷を転送するための転送トランジスタと、前記FD部と接続され、前記FD部の電位をリセットするためのリセットトランジスタと、ゲートが前記FD部に接続され、前記FD部の電位に応じた信号電圧を読み出すための読み出しトランジスタと、前記読み出しトランジスタと前記列信号線との間に設けられ、前記単位セルから前記列信号線に信号電圧を出力するための選択トランジスタとを有し、前記電源供給部は、前記リセットトランジスタ及び前記読み出しトランジスタに共通に接続された画素電源線を有し、前記FD部をリセットする時に、前記単位セルから前記列信号線に前記信号電圧を出力する時の電源電位よりも低い電源電位を、前記画素電源線を介して供給することを特徴とする。
- [0061] 本態様によれば、フォトダイオードの蓄積電子数が少ない場合においても読み出しトランジスタが飽和領域で動作するように、FD部のリセット電位を読み出しトランジスタのドレイン電位よりも低くすることが出来る。その結果、光照射量が少ない場合でも、読み出しトランジスタを飽和領域で動作させ、リニアリティの劣化及び固定パターンノイズの増加を抑えることが可能となる。
- [0062] ここで、前記電源供給部は、さらに、前記画素電源線に電源電位を供給するための電源と、前記電源と前記電源線との間に設けられたスイッチと、前記画素電源線と前記電源との間に、前記スイッチと並列になるように設けられた抵抗とを備えてもよい。
- [0063] 一般的にMOSプロセスにおいて抵抗は非常に小さな面積で生成可能であ

るため、チップサイズの小型化が可能となる。

[0064] また、本発明の一態様に係る固体撮像装置は、アレイ状に配列された複数の単位セルと、前記単位セルの列に対応して設けられ、対応する列の前記単位セルに共通に接続された列信号線と、前記列信号線に接続された電流源と、前記単位セルに電源電位を供給するための電源供給部とを備え、前記単位セルは、フォトダイオードと、前記フォトダイオードで発生した信号電荷を一時的に保持するためのFD（フローティングディフュージョン）部と、前記フォトダイオードと前記FD部との間に設けられ、前記フォトダイオードから前記FD部に電荷を転送するための転送トランジスタと、前記FD部と接続され、前記FD部の電位をリセットするためのリセットトランジスタと、ゲートが前記FD部に接続され、前記FD部の電位に応じた信号電圧を読み出すための読み出しトランジスタとを有し、前記電源供給部は、前記リセットトランジスタ及び前記読み出しトランジスタに共通に接続された画素電源線を有し、少なくとも3つの電源電位を1つの前記単位セルに供給し、前記電源供給部は、前記FD部をリセットする時に、前記単位セルから前記列信号線に前記信号電圧を出力する時の電源電位よりも低い電源電位を、前記画素電源線を介して供給することを特徴とする。

[0065] 本態様によれば、単位セルが選択トランジスタを有しない3トランジスタの構成を持つ場合において、光照射量が少ない場合のリニアリティの劣化及び固定パターンノイズの増加を抑えることが可能となる。

[0066] ここで、前記電源供給部は、さらに、前記画素電源線に電源電位を供給するための電源と、前記電源と前記電源線との間に設けられたスイッチと、前記画素電源線と前記電源との間に、前記スイッチと並列になるように設けられた抵抗とを備えてもよい。

[0067] 本態様によれば、チップサイズの小型化が可能となる。

[0068] また、本発明の一態様に係るカメラシステムは、上記固体撮像装置を備えることを特徴とする。

[0069] 本態様によれば、光照射量が少ない場合のリニアリティの劣化及び固定パ

ターンノイズの増加を抑えることが可能となる。

### 発明の効果

[0070] 本発明の第1側面によると、読み出しトランジスタのしきい値電圧によらずFD部をリセットした時の読み出しトランジスタの動作領域を飽和領域にすることができ、フォトダイオードの蓄積電荷数が少ない場合においてもリニアリティの劣化及び固定パターンノイズの増加が抑制される。

[0071] 本発明の第2側面によると、高S/Nを実現する固体撮像装置において、構成する素子を増加させることなく、読み出しトランジスタのしきい値電圧によらずFD部をリセットした時の読み出しトランジスタの動作領域を飽和領域にすることができ、チップサイズを増加させることなく、フォトダイオードの蓄積電子数が少ない場合においてもリニアリティの劣化及び固定パターンノイズの増加が抑制される。

### 図面の簡単な説明

[0072] [図1]図1は、本発明における第1の実施形態の固体撮像装置の全体構成を示す図である。

[図2]図2は、本発明における第1の実施形態の固体撮像装置の動作タイミングチャートである。

[図3]図3は、本発明における第1の実施形態の変形例の固体撮像装置の全体構成を示す図である。

[図4]図4は、本発明における第1の実施形態の変形例の固体撮像装置の動作タイミングチャートである。

[図5]図5は、本発明における第2の実施形態の固体撮像装置の全体構成を示す図である。

[図6]図6は、本発明における第2の実施形態の固体撮像装置の動作タイミングチャートである。

[図7]図7は、本発明における第3の実施形態の固体撮像装置の全体構成を示す図である。

[図8]図8は、本発明における第3の実施形態の比較例の固体撮像装置の全体

構成を示す図である。

[図9] 図9は、本発明における第3の実施形態の比較例の固体撮像装置の動作タイミングチャートである。

[図10] 図10は、アナログーデジタル変換動作を示すタイミングチャートである。

[図11] 図11は、本発明における第3の実施形態の固体撮像装置の動作タイミングチャートである。

[図12] 図12は、本発明における第4の実施形態の撮像装置の全体構成を示す図である。

[図13] 図13は、一般的な固体撮像装置の全体構成を示す図である。

[図14] 図14は、一般的な固体撮像装置の動作タイミングチャートである。

[図15] 図15は、CDS回路の出力電位とフォトダイオードで発生した電子数との関係を示す図である。

[図16] 図16は、CDS回路の出力電位とフォトダイオードで発生した電子数との関係を示す図である。

### 発明を実施するための形態

[0073] 以下、本発明の実施の形態における固体撮像装置及びカメラシステムについて、図面を参照しながら説明する。

[0074] (第1の実施形態)

図1は、本発明における第1の実施形態の固体撮像装置の全体構成を示す図である。図1中、図13と同様の構成要素については、同じ符号を付与している。

[0075] 本実施形態の固体撮像装置は、XY方向にアレイ状に配列された複数の単位セル100と、列信号線111と、第1の電流源112と、CDS回路113と、水平選択トランジスタ114と、水平信号線121と、垂直選択回路122と、水平選択回路123と、増幅回路124と、画素電源線125と、第1の電源切り替えトランジスタ131と、第1の電圧源132と、第2の電源切り替えトランジスタ133と、第2の電圧源134とを備える。

- [0076] 単位セル100は、光電変換素子（画素）としてのフォトダイオード101と、フォトダイオード101で発生した信号電荷（電子）が転送され、フォトダイオード101で発生した信号電荷を一時的に保持しておくためのFD部106と、フォトダイオード101とFD部106との間に設けられ、フォトダイオード101からFD部106に電子を転送するための転送トランジスタ102と、FD部106と接続され、FD部106の電位をリセット（初期化）するためのリセットトランジスタ103と、ゲートがFD部106に接続され、FD部106の電位に応じた電圧信号を読み出すための読み出しトランジスタ（増幅トランジスタ）104と、読み出しトランジスタ104と列信号線111との間に設けられ、読み出しトランジスタ104の出力を選択し、単位セル100から列信号線111に電圧信号を出力するための選択トランジスタ105とを有する。
- [0077] 列信号線111は、単位セル100の列に対応して設けられ、対応する列の単位セル100に共通に接続される。
- [0078] 第1の電流源112は、列信号線111に接続されている。
- [0079] CDS回路113は、列信号線111に接続されている。CDS回路113は、列信号線111毎に設けられ、対応する列信号線111における任意の異なる二つのタイミングにおける電位差、つまりリセット動作時の電位（FD部106がリセット電位にある時の列信号線111への出力電位）と信号出力動作時の電位（FD部106に信号電荷が転送されている時の列信号線111への出力電位）との差に応じた信号を出力する。
- [0080] 水平選択トランジスタ114は、CDS回路113に接続されている。
- [0081] 水平信号線121は、各列の水平選択トランジスタ114に共通に接続されている。
- [0082] 垂直選択回路122は、単位セル100のトランジスタを制御する。
- [0083] 水平選択回路123は、水平選択トランジスタ114を制御する。
- [0084] 増幅回路124は、水平信号線121に接続されている。
- [0085] 画素電源線125は、単位セル100のリセットトランジスタ103及び

読み出しトランジスタ 104 に共通に接続され、単位セル 100 に電源電位を供給する。画素電源線 125 は、FD 部 106 をリセットする時（リセット動作時）に、単位セル 100 から列信号線 111 に信号電圧を出力する時（信号出力動作時）の電源電位よりも低い電源電位を供給する。言い換えると、画素電源線 125、第 1 の電源切り替えトランジスタ 131、第 1 の電圧源 132、第 2 の電源切り替えトランジスタ 133、及び第 2 の電圧源 134 により構成される電源供給部は、リセット動作時に信号出力動作時の電源電位（グラウンド電位と異なる電源電位）よりも低い電源電位（グラウンド電位と異なる電源電位）を、画素電源線 125 を介して単位セル 100 に供給する。

[0086] 第 2 の電源切り替えトランジスタ 133 は、第 2 の電圧源 134 と画素電源線 125 との間に設けられたスイッチであり、画素電源線 125 及び第 2 の電圧源 134 に接続されている。

[0087] 第 1 の電源切り替えトランジスタ 131 は、第 1 の電圧源 132 と画素電源線 125 との間に設けられたスイッチであり、画素電源線 125 及び第 1 の電圧源 132 に接続されている。

[0088] 第 1 の電圧源 132 は、画素電源線 125 にグラウンド電位と異なる電源電位を供給する。

[0089] 第 2 の電源切り替えトランジスタ 133 は、第 2 の電圧源 134 と画素電源線 125 との間に設けられたスイッチであり、画素電源線 125 及び第 2 の電圧源 134 に接続されている。

[0090] 第 2 の電圧源 134 は、画素電源線 125 にグラウンド電位と異なる電源電位を供給する。第 1 の電圧源 132 及び第 2 の電圧源 134 は、異なる電源電位の電源であり、第 2 の電圧源 134 が画素電源線 125 に供給する電源電位は、第 1 の電圧源 132 が画素電源線 125 に供給する電源電位よりも低く設定されている。

[0091] なお、図 1 の固体撮像装置は、CDS 回路 113 毎に対応して設けられ、対応する CDS 回路 113 の出力信号を A/D 変換（アナログーデジタル変

換)する列A/D変換回路を備えている場合もある。すなわち、図1の固体撮像装置は、列毎に増幅回路(カラムアンプ)を持つ構成、列毎にAD変換回路を持ち、デジタル信号で外部出力を行う構成、及びアナログ信号のまま外部出力を行う構成のいずれかを用いることが出来る。

[0092] また、図1の単位セル100は、画素、転送トランジスタ、FD部、リセットトランジスタ、増幅トランジスタ及び選択トランジスタを有する構造、いわゆる1画素1セル構造とともに、複数の画素を1つの単位セル内に含み、さらに、FD部、リセットトランジスタ、増幅トランジスタ及び選択トランジスタのいずれか、あるいは、すべてを1つの単位セル内で共有する構造、いわゆる多画素1セル構造を用いることが出来る。すなわち、図1の単位セル100では、一つの画素に対応してリセットトランジスタ、読み出しトランジスタ及び選択トランジスタがひとつずつ設けられているが、隣接する複数の画素でリセットトランジスタ、読み出しトランジスタ及び選択トランジスタが共有化され、実質的に1画素あたりのトランジスタ数を少なくすることが出来る。

[0093] また、図1の固体撮像装置は、画素が半導体基板の表面、すなわち、トランジスタのゲート端子及び配線が形成された面と同じ面側に形成される構造とともに、画素が半導体基板の裏面、すなわちトランジスタのゲート端子及び配線が形成された面に対して裏面側に形成される、いわゆる、裏面照射型イメージセンサ(裏面照射型固体撮像装置)の構造を用いることも出来る。

[0094] 図2は、図1に示す固体撮像装置の動作タイミングチャートである。

[0095] 図2において、横軸は時間、縦軸は各信号の電位を表す。リセットパルス $\phi_{RS}$ は、所定の行のリセットトランジスタ103を共通に制御するパルス信号を表している。転送パルス $\phi_{TX}$ は、所定の行の転送トランジスタ102を共通に制御するパルス信号を表している。選択パルス $\phi_{SEL}$ は、所定の行の選択トランジスタ105を共通に制御するパルス信号を表している。電位 $V_{fd}$ は所定の単位セル100のFD部106の電位、電位 $V_l$ は所定の単位セル100と接続された列信号線111の電位を表している。電源パルス $\phi$



VDC EL 1は、第1の電源切り替えトランジスタ131を制御するパルス信号を表している。電源パルスφVDC EL 2は、第2の電源切り替えトランジスタ133を接続するパルス信号を表している。電位 $V_{ddpx}$ 、 $V_{ddrd}$ 及び $V_{ddrs}$ はそれぞれ、画素電源線125の電位、第1の電源電位、及び第2の電源電位を表している。電位 $V_{fdrst2}$ 及び $V_{fdsig2}$ はそれぞれ、リセットされた時のFD部106の電位、及びフォトダイオード101で発生した電子が転送された時のFD部106の電位である。

[0096] まず、選択パルスφSELが“H”レベルになると、選択パルスφSELと接続された選択トランジスタ105が全てオンする。

[0097] 次にリセットパルスφRSが“H”レベルになることで、リセットパルスφRSが接続されたリセットトランジスタ103が全てオンし、該当する行のFD部106の電位 $V_{fd}$ は画素電源線125の電位 $V_{ddpx}$ にリセットされるが、この時、電源パルスφVDC EL 1及びφVDC EL 2をそれぞれ“H”レベル、“L”レベルとしているので、画素電源線125の電位 $V_{ddpx}$ は第2の電源電位 $V_{ddrs}$ であり、FD部の電位 $V_{fdrst2}$ は、

[0098] [数14]

$$V_{fdrst2} = V_{ddrs} \quad (14)$$

[0099] となる。

[0100] 次にリセットパルスφRSを“L”レベルにした後に、φVDC EL 1を“L”レベル、φVDC EL 2を“H”レベルへと切り替え、画素電源線125の電位 $V_{ddpx}$ は第1の電源電位 $V_{ddrd}$ となる。

[0101] 次に転送パルスφTXが“H”レベルになると、転送パルスφTXに接続された転送トランジスタ102が全てオンし、該当する行のフォトダイオード101で発生した電子がFD部106に転送される。転送された電子の数をN、電子一つあたりの電荷量をq、FD部106の容量をCとすると、FD部106の電位 $V_{fdsig2}$ は

[0102] [数15]

$$V_{fdsig2} = V_{ddrd} - qN/C \quad (15)$$

[0103] で表される。

[0104] FD部106に転送された電気信号は、読み出しトランジスタ104と第1の電流源112とで構成されるソースフォロア回路で電圧信号として列信号線111に読み出される。そして、FD部106の電位 $V_{fd}$ を画素電源線125の電位 $V_{ddpx}$ にリセットした時の列信号線111の電位 $V_l$ と、光照射量に応じて蓄積された電子がFD部106に転送された時の列信号線の電位 $V_l$ との差分に応じた電位がCDS回路113から出力される。

[0105] 各列のCDS回路113からの出力は、水平選択回路123によって制御されている水平選択トランジスタ114を介して列毎に順次水平信号線121に読み出され、増幅回路124で増幅されて出力される。

[0106] 一般的な固体撮像装置に対し、第1の実施形態の固体撮像装置は、FD部106をリセットする時の画素電源線125の電位 $V_{ddpx}$ とFD部106の信号を読み出す時の画素電源線125の電位 $V_{ddpx}$ とを切り替えられるようにすることで、FD部106をリセットする時の画素電源線125の電位 $V_{ddpx}$ を低くしている。それにより、フォトダイオード101の蓄積電子数が少ない場合においても読み出しトランジスタ104が飽和領域で動作するように、FD部106のリセット電位を読み出しトランジスタ104のドレイン電位よりも低くすることが出来る。

[0107] 具体的には、式(9)、式(10)及び式(14)より、

[0108] [数16]

$$V_{ddrs} < V_{ddrd} + V_{th} \quad (16)$$

[0109] を満たすような第2の電源電位 $V_{ddrs}$ 及び第1の電源電位 $V_{ddrd}$ に設定することで、フォトダイオード101の蓄積電子数が少ない場合でも、読み出しトランジスタ104を飽和領域で動作させ、リニアリティの劣化及び固定パターンノイズの増加を抑えることが可能となる。

[0110] (第1の実施形態の変形例)

ここで、図1に示す構成では2つの電圧源を用いて、画素電源線125に供給する電位を切り替えているが、第1の電源電位 $V_{ddrd}$ を供給する電圧源の

みを用いて画素電源線 125 に供給する電位を切り替えることも可能である。その構成の固体撮像装置を、本発明における第 1 の実施形態の変形例として図 3 に示す。

[0111] 図 3 は、本発明における第 1 の実施形態の変形例の固体撮像装置の全体構成を示す図である。図 3 中、図 1 と同様の構成要素については、同じ符号を付与している。

[0112] 本変形例の固体撮像装置は、XY 方向にアレイ状に配列された複数の単位セル 100 と、列信号線 111 と、第 1 の電流源 112 と、CDS 回路 113 と、水平選択トランジスタ 114 と、水平信号線 121 と、垂直選択回路 122 と、水平選択回路 123 と、増幅回路 124 と、画素電源線 125 と、第 1 の電源切り替えトランジスタ 131 と、第 1 の電圧源 132 と、第 2 の電源切り替えトランジスタ 133 と、第 2 の電流源 141 と、トランジスタ 142 とを備える。

[0113] 単位セル 100 は、フォトダイオード 101 と、フォトダイオード 101 で発生した信号電荷（電子）が転送され、フォトダイオード 101 で発生した信号電荷を一時的に保持しておくための FD 部 106 と、フォトダイオード 101 と FD 部 106 との間に設けられ、フォトダイオード 101 から FD 部 106 に電子を転送するための転送トランジスタ 102 と、FD 部 106 と接続され、FD 部 106 の電位をリセットするためのリセットトランジスタ 103 と、ゲートが FD 部 106 に接続され、FD 部 106 の電位に応じた電圧信号を読み出すための読み出しトランジスタ 104 と、読み出しトランジスタ 104 と列信号線 111 との間に設けられ、読み出しトランジスタ 104 の出力を選択し、単位セル 100 から列信号線 111 に電圧信号を出力するための選択トランジスタ 105 とを有する。

[0114] 列信号線 111 は、単位セル 100 の列に対応して設けられ、対応する列の選択トランジスタ 105 に共通に接続される。

[0115] 第 1 の電流源 112 は、列信号線 111 に接続されている。

[0116] CDS 回路 113 は、列信号線 111 に接続されている。CDS 回路 11

3は、列信号線111毎に設けられ、対応する列信号線111における任意の異なる二つのタイミングにおける電位差に応じた信号を出力する。

- [0117] 水平選択トランジスタ114は、CDS回路113に接続されている。
- [0118] 水平信号線121は、各列の水平選択トランジスタ114に共通に接続されている。
- [0119] 垂直選択回路122は、単位セル100のトランジスタを制御する。
- [0120] 水平選択回路123は、水平選択トランジスタ114を制御する。
- [0121] 増幅回路124は、水平信号線121に接続されている。
- [0122] 画素電源線125は、単位セル100のリセットトランジスタ103及び読み出しトランジスタ104に共通に接続され、単位セル100に電源電位を供給する。画素電源線125は、FD部106をリセットする時に、単位セル100から列信号線111に信号電圧を出力する時の電源電位よりも低い電源電位を供給する。言い換えると、画素電源線125、第1の電源切り替えトランジスタ131、第1の電圧源132、第2の電源切り替えトランジスタ133、第2の電流源141、及びトランジスタ142により構成される電源供給部は、リセット動作時に信号出力動作時の電源電位（グラウンド電位と異なる電源電位）よりも低い電源電位（グラウンド電位と異なる電源電位）を、画素電源線125を介して単位セル100に供給する。
- [0123] 第1の電源切り替えトランジスタ131は、第1の電圧源132と画素電源線125との間に設けられたスイッチであり、画素電源線125及び第1の電圧源132に接続されている。
- [0124] 第1の電圧源132は、画素電源線125にグラウンド電位と異なる電源電位を供給する。
- [0125] 第2の電源切り替えトランジスタ133は、画素電源線125に接続される。第2電位供給トランジスタ142のソース電位は第2の電源切り替えトランジスタ133に接続されている。
- [0126] トランジスタ142は、ゲート及びドレインに第1の電圧源132が接続され、第2の電流源141と対になってソースフォロア回路を成している。

[0127] 図4は、図3に示す固体撮像装置の動作タイミングチャートである。

[0128] 図4において、横軸は時間、縦軸は各信号の電位を表す。リセットパルス $\phi$ RSは、所定の行のリセットトランジスタ103を共通に制御するパルス信号を表している。転送パルス $\phi$ TXは、所定の行の転送トランジスタ102を共通に制御するパルス信号を表している。選択パルス $\phi$ SELは、所定の行の選択トランジスタ105を共通に制御するパルス信号を表している。電位 $V_{fd}$ は所定の単位セル100のFD部106の電位、電位 $V_i$ は所定の単位セル100と接続された列信号線111の電位を表している。電源パルス $\phi$ VDCEL1は、第1の電源切り替えトランジスタ131を制御するパルス信号を表している。電源パルス $\phi$ VDCEL2は、第2の電源切り替えトランジスタ133を制御するパルス信号を表している。電位 $V_{ddpx}$ 、 $V_{ddrd}$ 及び $V_{ddrs2}$ はそれぞれ、画素電源線125の電位、第1の電源電位、トランジスタ142のソース電位を表している。

[0129] 選択パルス $\phi$ SEL、リセットパルス $\phi$ RS、転送パルス $\phi$ TX、並びに電源パルス $\phi$ VDCEL1及び $\phi$ VDCEL2は、それぞれ図2に示す動作タイミングチャートと同じ信号であるが、図2中の第2の電源電位 $V_{ddrs}$ がトランジスタ142のソース電位 $V_{ddrs2}$ である。第2の電流源141の電流値を $I_{vdcel}$ 、トランジスタ142のしきい値電圧を $V_{th2}$ 、トランジスタ142のトランスコンダクタンス係数を $\beta_2$ とすると、トランジスタ142のソース電位 $V_{ddrs2}$ は、

[0130] [数17]

$$V_{ddrs2} = V_{ddrd} - V_{th2} - \sqrt{\frac{2I_{vdcel}}{\beta_2}} \quad (17)$$

[0131] である。従って、式(16)及び式(17)より、

[0132] [数18]

$$-V_{th2} - \sqrt{\frac{2I_{vdcel}}{\beta_2}} < V_{ib} \quad (18)$$

[0133] を満たすパラメータに設定することで、フォトダイオード101での発生電

子数が少ない場合でも、読み出しトランジスタ 104 を飽和領域で動作させ、リニアリティの劣化や固定パターンノイズの増加を抑えることが可能となる。

[0134] 以上の通り、第 1 の電源電位  $V_{ddrd}$  を供給する電圧源のみを用いて画素電源線 125 に供給する電位を切り替える構成においても、リニアリティの劣化及び固定パターンノイズの増加を抑えることが可能である。

[0135] なお、第 1 の電源電位  $V_{ddrd}$  を供給する電圧源を用いて第 1 の電源電位  $V_{ddrd}$  と異なる電位  $V_{ddrs2}$  を生成する方法は図 3 に示す回路以外にも多数考えられ、いずれも第 1 の実施形態と同様の効果を得ることができ、本変形例はその方法を特定するものではない。

[0136] (第 2 の実施形態)

図 5 は、本発明における第 2 の実施形態の固体撮像装置の全体構成を示す図である。図 5 中、図 1 と同様の構成要素については、同じ符号を付与している。以下、第 1 の実施形態との違いを中心に説明し、それ以外の部分は第 1 の実施形態と同じである。

[0137] 本実施形態の固体撮像装置は、XY 方向にアレイ状に配列された複数の単位セル 100 と、列信号線 111 と、第 1 の電流源 112 と、CDS 回路 113 と、水平選択トランジスタ 114 と、水平信号線 121 と、垂直選択回路 122 と、水平選択回路 123 と、増幅回路 124 と、画素電源線 125 と、電圧切り替えトランジスタ 151 と、電圧源 152 と、電圧降下用抵抗 153 とを備える。

[0138] 単位セル 100 は、フォトダイオード 101 と、フォトダイオード 101 で発生した信号電荷（電子）が転送され、フォトダイオード 101 で発生した信号電荷を一時的に保持しておくための FD 部 106 と、フォトダイオード 101 と FD 部 106 との間に設けられ、フォトダイオード 101 から FD 部 106 に電子を転送するための転送トランジスタ 102 と、FD 部 106 と接続され、FD 部 106 の電位をリセットするためのリセットトランジスタ 103 と、ゲートが FD 部 106 に接続され、FD 部 106 の電位に応

じた電圧信号を読み出すための読み出しトランジスタ 104 と、読み出しトランジスタ 104 と列信号線 111 との間に設けられ、読み出しトランジスタ 104 の出力を選択し、単位セル 100 から列信号線 111 に電圧信号を出力するための選択トランジスタ 105 とを有する。

- [0139] 列信号線 111 は、単位セル 100 の列に対応して設けられ、対応する列の選択トランジスタ 105 に共通に接続されている。
- [0140] 第 1 の電流源 112 は、列信号線 111 に接続されている。
- [0141] CDS 回路 113 は、列信号線 111 に接続されている。CDS 回路 113 は、列信号線 111 毎に設けられ、対応する列信号線 111 における任意の異なる二つのタイミングにおける電位差に応じた信号を出力する。
- [0142] 水平選択トランジスタ 114 は、CDS 回路 113 に接続されている。
- [0143] 水平信号線 121 は、各列の水平選択トランジスタ 114 に共通に接続されている。
- [0144] 垂直選択回路 122 は、単位セル 100 のトランジスタを制御する。
- [0145] 水平選択回路 123 は、水平選択トランジスタ 114 を制御する。
- [0146] 増幅回路 124 は、水平信号線 121 に接続されている。
- [0147] 画素電源線 125 は、単位セル 100 のリセットトランジスタ 103 及び読み出しトランジスタ 104 に共通に接続され、単位セル 100 に電源電位を供給する。画素電源線 125 は、FD 部 106 をリセットする時に、単位セル 100 から列信号線 111 に信号電圧を出力する時の電源電位よりも低い電源電位を供給する。言い換えると、画素電源線 125、電圧切り替えトランジスタ 151、電圧源 152、及び電圧降下用抵抗 153 により構成される電源供給部は、リセット動作時に信号出力動作時の電源電位（グラウンド電位と異なる電源電位）よりも低い電源電位（グラウンド電位と異なる電源電位）を、画素電源線 125 を介して単位セル 100 に供給する。
- [0148] 電圧切り替えトランジスタ 151 は、電圧源 152 と画素電源線 125 との間に設けられたスイッチであり、画素電源線 125 及び電圧源 152 に接続されている。

- [0149] 電圧源 152 は、画素電源線 125 にグランド電位と異なる電源電位を供給する。
- [0150] 電圧降下用抵抗 153 は、画素電源線 125 と電圧源 152 との間に、電圧切り替えトランジスタ 151 と並列になるよう挿入されている。
- [0151] 図 6 は、図 5 に示す固体撮像装置の動作タイミングチャートである。
- [0152] 図 6 において、横軸は時間、縦軸は各信号の電位を表す。リセットパルス  $\phi_{RS}$  は、所定の行のリセットトランジスタ 103 を共通に制御するパルス信号を表している。転送パルス  $\phi_{TX}$  は、所定の行の転送トランジスタ 102 を共通に制御するパルス信号を表している。選択パルス  $\phi_{SEL}$  は、所定の行の選択トランジスタ 105 を共通に制御するパルス信号を表している。電位  $V_{fd}$  は所定の単位セル 100 の FD 部 106 の電位、電位  $V_{\parallel}$  は所定の単位セル 100 と接続された列信号線 111 の電位を表している。電源パルス  $\phi_{VDCEL3}$  は、電圧切り替えトランジスタ 151 を制御するパルス信号を表している。電位  $V_{ddpx}$ 、 $V_{ddrd}$  及び  $V_{ddrs3}$  はそれぞれ、画素電源線 125 の電位、電圧源 152 が供給する電位、及び電源パルス  $\phi_{VDCEL3}$  が “H” レベルの時の画素電源線 125 の電位である。電位  $V_{fdrst3}$  及び  $V_{fdsig3}$  はそれぞれ、リセットされた時の FD 部 106 の電位、及びフォトダイオード 101 で発生した電子が転送された時の FD 部 106 の電位である。
- [0153] まず、選択パルス  $\phi_{SEL}$  が “H” レベルになると、選択パルス  $\phi_{SEL}$  が接続された選択トランジスタ 105 が全てオンする。
- [0154] 次にリセットパルス  $\phi_{RS}$  が “H” レベルになることで、リセットパルス  $\phi_{RS}$  が接続されたリセットトランジスタ 103 が全てオンし、該当する行の FD 部 106 は画素電源線 125 の電位にリセットされる。この時、電源パルス  $\phi_{VDCEL3}$  が “H” レベルであるため、電圧源 152 から画素電源線 125 へ流れ込む電流は電圧降下用抵抗 153 を通る。画素電源線 125 を流れる電流量は、第 1 の電流源 112 の電流量に、複数配列されている第 1 の電流源 112 の総数を乗じた値である。第 1 の電流源 112 の電流量を  $I_{bias}$ 、第 1 の電流源 112 の総数を  $K$  とすると、画素電源線 125 を流れ



る電流量  $I_{total}$  は、

[0155] [数19]

$$I_{total} = I_{bias} \times K \quad (19)$$

[0156] で表される。電圧降下用抵抗 153 の抵抗値を  $R$  とすると、抵抗による電圧降下で  $V_{ddrs3}$  は

[0157] [数20]

$$V_{ddrs3} = V_{ddrd} - R \times I_{total} \quad (20)$$

[0158] となる。従って、FD部 106 をリセットした時のFD部 106 の電位  $V_{fdrst3}$  は

[0159] [数21]

$$V_{fdrst3} = V_{ddrd} - R \times I_{bias} \times K \quad (21)$$

[0160] となる。

[0161] 次に転送パルス  $\phi_{TX}$  が “H” レベルになると、転送パルス  $\phi_{TX}$  が供給される転送トランジスタ 102 が全てオンし、該当する行のフォトダイオード 101 で発生した電子がFD部 106 に転送される。フォトダイオード 101 で発生した電子の数を  $N$ 、電子一つあたりの電荷量を  $q$ 、FD部 106 の容量を  $C$  とすると、FD部 106 の電位  $V_{fdsig3}$  は

[0162] [数22]

$$V_{fdsig3} = V_{ddrd} - R \times I_{bias} \times K - qN/C \quad (22)$$

[0163] で表される。

[0164] FD部 106 の電位は、読み出しトランジスタ 104 と第 1 の電流源 112 とで構成されるソースフォロア回路で列信号線 111 に読み出され、FD部 106 を画素電源線 125 の電位にリセットした時の列信号線 111 の電位と、光照射量に応じてフォトダイオード 101 で発生した電子がFD部 106 に転送された時の列信号線 111 の電位との差分に応じた電位がCDS回路 113 から出力される。

[0165] 各列のCDS回路113からの出力は、水平選択回路123によって制御されている水平選択トランジスタ114を介して列毎に順次水平信号線121に読み出され、増幅回路124で増幅されて出力される。

[0166] 一般的な固体撮像装置に対し、第2の実施形態の固体撮像装置は、電圧切り替えトランジスタ151と並列に電圧降下用抵抗153を挿入し、FD部106をリセットする時のみ電圧切り替えトランジスタ151をオフすることで、FD部106をリセットする時の画素電源線125の電位を低くしている。それにより、フォトダイオード101での発生電子数が少ない場合においても読み出しトランジスタ104が飽和領域で動作するように、FD部106のリセット電位を読み出しトランジスタ104のドレイン電位よりも低くすることが可能となる。具体的には式(16)及び式(21)より、

[0167] [数23]

$$R \times I_{bias} \times K < V_{th} \quad (23)$$

[0168] を満たすパラメータに、電圧降下用抵抗153の抵抗値、第1の電流源112の電流値、第1の電流源112の数、及び読み出しトランジスタ104のしきい値電圧を設定することで、蓄積電子数が少ない場合でも、読み出しトランジスタ104を飽和領域で動作させ、リニアリティの劣化及び固定パターンノイズの増加を抑えることが可能となる。

[0169] 一般的にMOSプロセスにおいて電圧降下用抵抗153は非常に小さな面積で生成可能であるため、蓄積電子数が少ない場合でもリニアリティの劣化及び固定パターンノイズの増加を抑えつつ、チップサイズの小型化が可能となる。

[0170] なお、MOSプロセスにおいて、電圧降下用抵抗153は、多結晶シリコン配線による抵抗、メタル配線による抵抗、トランジスタによる抵抗、及び拡散抵抗など様々な生成方法が考えられるが、本実施の形態における電圧降下用抵抗153はいずれの場合でも同様の効果を得ることができ、その方法は特定しない。

[0171] (第3の実施形態)

図7は、本発明における第3の実施形態の固体撮像装置の全体構成を示す図である。図7中、図1と同様の構成要素については、同じ符号を付与している。以下、第1の実施形態との違いを中心に説明し、それ以外の部分は第1の実施形態と同じである。

[0172] 本実施形態の固体撮像装置は、XY方向にアレイ状に配列された複数の単位セル200と、列信号線111と、第1の電流源112と、CDS回路113と、水平選択トランジスタ114と、コンパレータ115と、カウンタ116と、水平信号線121と、垂直選択回路122と、水平選択回路123と、増幅回路124と、画素電源線125と、スイッチ部160と、電圧源162と、電圧切り替えトランジスタ163と、RAMP波発生回路300と、クロックジェネレータ400とを備える。

[0173] 単位セル200は、フォトダイオード101と、フォトダイオード101で発生した信号電荷（電子）が転送され、フォトダイオード101で発生した信号電荷を一時的に保持しておくためのFD部106と、フォトダイオード101とFD部106との間に設けられ、フォトダイオード101からFD部106に電子を転送するための転送トランジスタ102と、FD部106と接続され、FD部106をリセットするためのリセットトランジスタ103と、ゲートがFD部106に接続され、FD部106の電位に応じた電圧信号を読み出すための読み出しトランジスタ104とを有する。

[0174] 列信号線111は、単位セル200の列に対応して設けられ、対応する列の読み出しトランジスタ104に共通に接続されている。

[0175] 第1の電流源112は、列信号線111に接続されている。

[0176] CDS回路113は、列信号線111に接続されている。CDS回路113は、列信号線111毎に設けられ、対応する列信号線111における任意の異なる二つのタイミングにおける電位差に応じた信号を出力する。

[0177] コンパレータ115は、CDS回路113とRAMP波発生回路300とに接続され、CDS回路113の出力電位とRAMP波発生回路300の出力電位との大小を比較する。

- [0178] カウンタ 116 は、コンパレータ 115 とクロックジェネレータ 400 とに接続されている。
- [0179] コンパレータ 115 及びカウンタ 116 は、列信号線 111 毎つまり CDS 回路 113 毎に設けられ、対応する CDS 回路 113 の出力信号をアナログ-デジタル変換する AD 変換回路を構成する。
- [0180] 水平選択トランジスタ 114 は、カウンタ 116 に接続されている。
- [0181] 水平信号線 121 は、各列の水平選択トランジスタ 114 に共通に接続されている。
- [0182] 垂直選択回路 122 は、単位セル 200 のトランジスタを制御する。
- [0183] 水平選択回路 123 は、水平選択トランジスタ 114 を制御する。
- [0184] 増幅回路 126 は、水平信号線 121 に接続されている。
- [0185] 画素電源線 125 は、単位セル 200 のリセットトランジスタ 103 及び読み出しトランジスタ 104 に共通に接続されている。画素電源線 125 は、FD 部 106 をリセットする時に、単位セル 200 から列信号線 111 に信号電圧を出力する時の電源電位よりも低い電源電位を供給する。画素電源線 125 は、3 つの電源電位を 1 つの単位セル 200 に供給する。言い換えると、画素電源線 125、スイッチ部 160、電圧源 162、及び電圧切り替えトランジスタ 163 により構成される電源供給部は、3 つの電源電位を 1 つの単位セル 200 に供給し、リセット動作時に信号出力動作時の電源電位（グラウンド電位と異なる電源電位）よりも低い電源電位（グラウンド電位と異なる電源電位）を、画素電源線 125 を介して単位セル 200 に供給する。
- [0186] 電圧源 162 は、画素電源線 125 にグラウンド電位と異なる電源電位を供給する。
- [0187] スイッチ部 160 は、行に対応して複数個設けられ、画素電源線 125 と電圧源 162 とをショートしたり切り離したりする。スイッチ部 160 は、異なる信号線により制御される第 1 の電圧源接続トランジスタ 161 及び第 2 の電圧源接続トランジスタ 164 から成る。

- [0188] 第1の電圧源接続トランジスタ161及び第2の電圧源接続トランジスタ164は、電圧源162と画素電源線125との間に設けられたスイッチである。
- [0189] 電圧切り替えトランジスタ163は、画素電源線125とグランドとの間に挿入されている。
- [0190] ここで、本実施形態の固体撮像装置の効果を説明するため、図7の構成に対し第2の電圧源接続トランジスタ164がなく、第1の電圧源接続トランジスタ160のみで構成された固体撮像装置を比較例として提示し、図7の固体撮像装置と比較例の固体撮像装置とを比較する。
- [0191] 図8は、比較例の固体撮像装置の全体構成を示す図である。図8中、図7と同様の構成要素については、同じ符号を付与している。
- [0192] 本比較例の固体撮像装置は、XY方向にアレイ状に配列された複数の単位セル200と、列信号線111と、第1の電流源112と、CDS回路113と、水平選択トランジスタ114と、コンパレータ115と、カウンタ116と、水平信号線121と、垂直選択回路122と、水平選択回路123と、増幅回路124と、画素電源線125と、スイッチ部160と、電圧源162と、電圧切り替えトランジスタ163と、RAMP波発生回路300と、クロックジェネレータ400とを備える。
- [0193] 単位セル200は、フォトダイオード101と、フォトダイオード101で発生した信号電荷（電子）が転送され、フォトダイオード101で発生した信号電荷を一時的に保持しておくためのFD部106と、フォトダイオード101からFD部106に電子を転送させるための転送トランジスタ102と、FD部106をリセットするためのリセットトランジスタ103と、FD部106の電圧信号を読み出すための読み出しトランジスタ104とを有する。
- [0194] 列信号線111は、単位セル200の列に対応して設けられ、対応する列の読み出しトランジスタ104に共通に接続されている。
- [0195] 第1の電流源112は、列信号線111に接続されている。

- [0196] CDS回路113は、列信号線111に接続されている。
- [0197] コンパレータ115は、CDS回路113とRAMP波発生回路300に接続され、CDS回路113の出力とRAMP波発生回路300の出力電位との大小を比較する。
- [0198] カウンタ116は、コンパレータ115とクロックジェネレータ400とに接続されている。
- [0199] 水平選択トランジスタ114は、カウンタ116に接続されている。
- [0200] 水平信号線121は、各列の水平選択トランジスタ114に共通に接続されている。
- [0201] 垂直選択回路122は、単位セル200のトランジスタを制御する。
- [0202] 水平選択回路123は、水平選択トランジスタ114を制御する。
- [0203] 増幅回路126は、水平信号線121に接続されている。
- [0204] 画素電源線125は、単位セル200のリセットトランジスタ103及び読み出しトランジスタ104に共通に接続されている。
- [0205] 電圧源162は、画素電源線125にグランド電位と異なる電源電位を供給する。
- [0206] スイッチ部160は、行に対応して複数個設けられ、画素電源線125と電圧源162とをショートしたり切り離したりする。スイッチ部160は、第1の電圧源接続トランジスタ161のみで構成されている。
- [0207] トランジスタ163は、画素電源線125とグランドの間に挿入されている。
- [0208] 図8の構成の固体撮像装置は、画素部の感度向上を目的に、画素部の開口率を上げるために選択トランジスタを除いた1セル3トランジスタ構成のMOS型イメージセンサとして広く用いられている。
- [0209] 図9は、図8の固体撮像装置の動作タイミングチャートである。
- [0210] 図9において、横軸は時間、縦軸は各信号の電位を表す。リセットパルスφRSは、所定の行のリセットトランジスタ103を共通に制御するパルス信号を表している。転送パルスφTXは、所定の行の転送トランジスタ10

2を共通に制御するパルス信号を表している。電位 $V_{fd}$ は所定の単位セル200のFD部106の電位、電位 $V_i$ は所定の単位セル200と接続された列信号線111の電位を表している。電源パルス $\phi_{VDCEL4}$ は、第1の電圧源接続トランジスタ161及びトランジスタ163を制御するパルス信号を表している。電位 $V_{ddpx}$ 、 $V_{ddrd}$ 及び $V_{gnd}$ はそれぞれ、画素電源線125の電位、電圧源161が供給する電位及び、グランド電位である。

[0211] まず、リセットパルス $\phi_{RS}$ が“H”レベルになることで、リセットパルス $\phi_{RS}$ が供給されるリセットトランジスタ103が全てオンし、該当する行のFD部106は画素電源線125の電位 $V_{ddpx}$ にリセットされる。

[0212] 次に転送パルス $\phi_{TX}$ が“H”レベルになると、転送パルス $\phi_{TX}$ が供給される転送トランジスタ102が全てオンし、該当する行のフォトダイオード101で発生した電子がFD部106に転送される。

[0213] FD部106の電位は、読み出しトランジスタ104と第1の電流源112とで構成されるソースフォロア回路で列信号線111に読み出され、FD部106を画素電源線125の電位にリセットした時の列信号線111の電位と、光照射量に応じて蓄積された電子がFD部106に転送された時の列信号線111の電位との差分に応じた電位がCDS回路113から出力される。

[0214] 各列のCDS回路113からの出力は、コンパレータ115及びカウンタ116にてデジタル信号に変換される。

[0215] ここで、アナログーデジタル変換動作タイミングの1例を図10に示す。

[0216] 図10において、横軸は時間、縦軸は各信号の電位、また、電位 $V_{CDS}$ はCDS回路113の出力電位、電位 $V_{ramp}$ はRAMP波発生回路300の出力信号、クロック $V_{clk}$ はクロックジェネレータ400の出力パルス信号、カウント値 $D_{out}$ はカウンタ116からの出力デジタル値を表す。

[0217] クロック $V_{clk}$ に同期して、電位 $V_{ramp}$ は線形に上昇し、時刻 $t_{10}$ で電位 $V_{ramp}$ が電位 $V_{CDS}$ と同電位となる。クロック $V_{clk}$ の出力開始時には、コンパレータ115の出力は“L”レベルであるが、電位 $V_{ramp}$ と電位 $V_{CDS}$ とが同電位になると

、“L”レベルから“H”レベルへと変化する。コンパレータ 115 の出力が“H”レベルになるとカウンタ 116 はカウントを停止する。

[0218] この時、カウンタ 116 が出力するカウント値  $D_{out}$  はクロック  $V_{clk}$  の出力開始からコンパレータ 115 が反転するまでに出力されたクロック数であり、CDS回路 113 の出力電位が高くなるのに応じてカウント値  $D_{out}$  も大きくなる。すなわち、カウント値  $D_{out}$  は、CDS回路 113 の出力電位をデジタル変換した値である。

[0219] 各列のカウンタ 116 からの出力は、水平選択回路 123 によって制御されている水平選択トランジスタ 114 を介して列毎に順次水平信号線 121 に読み出され、増幅回路 126 でバッファされて出力される。

[0220] FD部 106 の電位読み出しが完了した後、リセットパルス  $\phi_{RS}$  と電源パルス  $\phi_{V_{DCEL4}}$  を“H”レベルにしてFD部 106 をグランド電位  $V_{gnd}$  にすることで、ある任意の行の全ての読み出しトランジスタ 104 がオフし、ある任意の行は非選択状態となる。

[0221] この動作を、行ごとに順次行うことで、XY方向に配列された各画素の信号が出力され、2次元の画像データが生成される。

[0222] ここで、図8のMOS型イメージセンサにおける読み出しトランジスタ 104 の動作領域について考察してみると、FD部 106 のリセット電位が読み出しトランジスタ 104 のドレイン電圧と等しく、リニア領域で動作する可能性がある。従って、蓄積電子数が少ない時に、固定パターンノイズの増加や、出力リニアリティの劣化が起こりえる。

[0223] これに対して、図7に示された本実施形態の固体撮像装置は、スイッチ部 160 の電圧源接続トランジスタを第1の電圧源接続トランジスタ 161 と第2の電圧源接続トランジスタ 164 とに分割し、それぞれ電源パルス  $\phi_{V_{DCEL4}}$  及び  $\phi_{V_{DCEL5}}$  で制御する。

[0224] 図11に、本実施形態の固体撮像装置の動作タイミングチャートを示す。

[0225] 図11において、横軸は時間、縦軸は各信号の電位を表す。リセットパルス  $\phi_{RS}$  は、所定の行のリセットトランジスタ 103 を共通に制御するパル



ス信号を表している。転送パルスφTXは、所定の行の転送トランジスタ102を共通に制御するパルス信号を表している。電位V<sub>fd</sub>は所定の単位セル200のFD部106の電位、電位V<sub>l</sub>はある任意の単位セル200を含む列の列信号線111の電位を表している。電源パルスφVDCEL4は、第1の電圧源接続トランジスタ161及びトランジスタ163を制御するパルス信号、電源パルスφVDCEL5は、第2の電圧源接続トランジスタ164を制御するパルス信号を表している。電位V<sub>ddpx</sub>、V<sub>ddrd2</sub>、V<sub>gnd</sub>及びV<sub>ddrs4</sub>はそれぞれ、画素電源線125の電位、電源パルスφVDCEL4及びφVDCEL5がともに“L”レベルの時の画素電源線125の電位、グランド電位及び、電源パルスφVDCEL4が“L”レベルで、電源パルスφVDCEL5が“H”レベルの時の画素電源線125の電位である。電位V<sub>fdrst4</sub>及びV<sub>fdsig4</sub>はそれぞれ、リセットされた時のFD部106の電位、及びフォトダイオード101で発生した電子が転送された時のFD部106の電位である。

[0226] まず、リセットパルスφRSが“H”レベルになることで、リセットパルスφRSが接続されたリセットトランジスタ103が全てオンし、該当する行のFD部106は画素電源線125の電位にリセットされるが、この時、電源パルスφVDCEL5が“H”レベルとなっているため、画素電源線125を流れる電流は第1の電圧源接続トランジスタ161のみに流れる。第1の電圧源接続トランジスタ161のon抵抗値をR<sub>on1</sub>とし、第1の電流源112の電流量をI<sub>bias</sub>、第1の電流源112の総数をKとすると、電位V<sub>ddrs4</sub>は

[0227] [数24]

$$V_{ddrs4} = V_{ddrd} - R_{on1} \times I_{bias} \times K \quad (2.4)$$

[0228] となる。従って、FD部106をリセットした時のFD部106の電位V<sub>fdrst4</sub>は

[0229] [数25]

$$V_{fdrst4} = V_{ddrd} - R_{on1} \times I_{bias} \times K \quad (2.5)$$

[0230] である。

[0231] 次にφTXが“H”レベルになると、転送パルスφTXが供給される転送トランジスタ102が全てオンし、該当する行のフォトダイオード101で発生した電子がFD部106に転送される。蓄積された電子の数をN、電子一つあたりの電荷量をq、FD部106の容量をCとすると、FD部106の電位 $V_{fdsig4}$ は

[0232] [数26]

$$V_{fdsig4} = V_{dtd} - R_{on1} \times I_{bias} \times K - qN/C \quad (26)$$

[0233] で表される。

[0234] ここで読み出しトランジスタ104のドレイン電圧を求めると、FD部106のリセットが終わった後、電源パルスφVDCEL5は“L”レベルになるので、画素電源線125を流れる電流は、第1の電圧源接続トランジスタ161と第2の電圧源接続トランジスタ164との両方を流れる。従って、第2の電圧源接続トランジスタ164のon抵抗値を $R_{on2}$ とすると、電位 $V_{ddrd2}$ は

[0235] [数27]

$$V_{ddrd2} = V_{dtd} \times \frac{R_{on1} \times R_{on2}}{R_{on1} + R_{on2}} \times I_{bias} \times K \quad (27)$$

[0236] である。

[0237] FD部106の電位は、読み出しトランジスタ104と第1の電流源112とで構成されるソースフォロア回路で列信号線111に読み出され、FD部106を画素電源線125の電位にリセットした時の列信号線111の電位と、光照射量に応じてフォトダイオード101で発生した電子がFD部106に転送された時の列信号線111の電位との差分に応じた電位がCDS回路113から出力される。

[0238] 各列のCDS回路113からの出力は、例えば、図10に示したアナログーデジタル変換方法によりデジタル信号に変換される。

[0239] 各列のカウンタ116からの出力は、水平選択回路123によって制御さ

れている水平選択トランジスタ 114 を介して列毎に順次水平信号線 121 に読み出され、増幅回路 126 で増幅されて出力される。

[0240] 図 8 のような固体撮像装置に対し、本実施形態の固体撮像装置は、電圧源接続トランジスタを分割し、FD部 106 をリセットする時のみ電圧源 162 と画素電源線 125 との間の抵抗を高くすることで、FD部 106 をリセットする時の画素電源線 125 の電位を低くしている。それにより、フォトダイオード 101 での発生電子数が少ない場合においても読み出しトランジスタ 104 が飽和領域で動作するように、FD部 106 のリセット電位を読み出しトランジスタ 104 のドレイン電位よりも低くすることが可能となった。具体的には式 (16)、式 (26) 及び式 (27) より、

[0241] [数28]

$$\frac{R_{on1}^2}{R_{on3} + R_{iso2}} \times I_{ph} \times K < V_{th} \quad (28)$$

[0242] を満たすパラメータに、第 1 の電圧源接続トランジスタ 161 及び第 2 の電圧源接続トランジスタ 164 の  $\alpha_n$  抵抗値、読み出しトランジスタ 104 のドレイン・ソース間電流及びしきい値電圧、並びに第 1 の電流源 112 の数を設定することで、フォトダイオード 101 での発生電子数が少ない場合でも、読み出しトランジスタ 104 を飽和領域で動作させ、リニアリティの劣化及び固定パターンノイズの増加を抑えることが可能となる。

[0243] 本実施形態の固体撮像装置は、図 8 の固体撮像装置から電圧源接続スイッチを分割しているだけであり、チップサイズを増加させることなくリニアリティの劣化及び固定パターンノイズの増加を抑えることも可能となる。

[0244] (第 4 の実施形態)

図 12 は、本発明における第 4 の実施形態の撮像装置 (カメラシステム) の全体構成を示す図である。

[0245] 本実施形態の撮像装置は、大きく分けて固体撮像装置 201、光学系 240、DSP (Digital Signal Processor) 250、液晶画面等の画像表示デバイス 280 及び画像メモリ 290 から構成されている。

- [0246] 光学系240は、被写体からの光を集光して固体撮像装置201の画素配列上に画像イメージを形成するレンズ241を備えている。
- [0247] 固体撮像装置201は、本発明の第1～3の実施形態で説明した固体撮像装置である。固体撮像装置201は、フォトダイオード等の光感应素子及びMOSトランジスタ等を含む単位セルを2次元配列上に並べた撮像領域210と、撮像領域210の単位セルを行単位で選択し、単位セルのリセット及び信号読み出しを制御する垂直選択回路220と、垂直選択回路220に駆動パルスを供給するタイミング制御部230とを備えている。
- [0248] なお、固体撮像装置201は、各列に設けられ、撮像領域210から読み出された画素信号をA/D変換するA/D変換回路、A/D変換された画素信号を保持するカラムデジタルメモリ、及びカラムデジタルメモリの各列を選択して保持されているデジタル画素信号の読み出しを駆動する水平走査部を備えていてもよい。
- [0249] DSP250は、カメラシステム制御部260及び画像処理回路270を備えている。
- [0250] 画像処理回路270は、固体撮像装置201から出力されたデジタル画素信号を受けて、カメラ信号処理として必要な、ガンマ補正、色補間処理、空間補間処理、及びオートホワイトバランス等の処理を行う。また、画像処理回路270は、JPEG等の圧縮フォーマットへの変換、画像メモリ290への記録、及び画像表示デバイス280への表示用信号処理等を行う。
- [0251] カメラシステム制御部260は、ユーザI/F（図示せず）で指定された各種の設定に従って、光学系240、固体撮像装置201及び画像処理回路270の制御を行い、撮像装置の全体動作を統合するマイクロコンピュータ等である。ユーザI/Fは、例えば、ズーム倍率の変更及びリリースボタンなどのリアルタイム指示を入力として受け、カメラシステム制御部260は、レンズ241のズーム倍率変更、幕シャッタの走行及び固体撮像装置201のリセット走査の制御を行う。
- [0252] 以上、本発明の固体撮像装置について、実施形態に基づいて説明したが、

本発明は、この実施の形態に限定されるものではない。本発明の要旨を逸脱しない範囲内で当業者が思いつく各種変形を施したものも本発明の範囲内に含まれる。また、発明の趣旨を逸脱しない範囲で、複数の実施の形態における各構成要素を任意に組み合わせてもよい。

[0253] 例えば、第3の実施形態の固体撮像装置において、並列に接続された2つの電圧源接続トランジスタを介して画素電源線に1つの電圧源を接続し、画素電源線に2つの電源電圧を供給するとした。しかし、図1の構成のように、異なる電源電位を供給する2つの電圧源と共にそれらに対応する形で2つの電源切り替えトランジスタを設け、対応する電源切り替えトランジスタを介して画素電源線に電圧源を接続し、画素電源線に2つの電源電圧を供給してもよい。同様に、図5の構成のように、電圧切り替えトランジスタを介して画素電源線に1つの電圧源を接続し、更に電圧切り替えトランジスタに並列に電圧降下用抵抗を接続し、画素電源線に2つの電源電圧を供給してもよい。

[0254] また、上記実施形態の固体撮像装置において、電源供給部は、3つの電源電位を1つの単位セルに供給するとした。しかし、フォトダイオードの蓄積電子数が少ない場合においても読み出しトランジスタが飽和領域で動作するように、FD部のリセット電位を読み出しトランジスタのドレイン電位よりも低くすることが出来れば、3つの電源電位に限られず、少なくとも3つの電源電位つまり4以上の電源電位が単位セルに供給されてもよい。

### 産業上の利用可能性

[0255] 本発明は、固体撮像装置に利用でき、特にMOS型の固体撮像装置等に利用することができる。

### 符号の説明

[0256]       100、200     単位セル  
              101     フォトダイオード  
              102     転送トランジスタ  
              103     リセットトランジスタ

- 1 0 4 読み出しトランジスタ
- 1 0 5 選択トランジスタ
- 1 0 6 F D 部
- 1 1 1 列信号線
- 1 1 2 第 1 の電流源
- 1 1 3 C D S 回路
- 1 1 4 水平選択トランジスタ
- 1 1 5 コンパレータ
- 1 1 6 カウンタ
- 1 2 1 水平信号線
- 1 2 2、2 2 0 垂直選択回路
- 1 2 3 水平選択回路
- 1 2 4、1 2 6 増幅回路
- 1 2 5 画素電源線
- 1 3 1 第 1 の電源切り替えトランジスタ
- 1 3 2 第 1 の電圧源
- 1 3 3 第 2 の電源切り替えトランジスタ
- 1 3 4 第 2 の電圧源
- 1 4 1 第 2 の電流源
- 1 4 2 トランジスタ
- 1 5 1 電圧切り替えトランジスタ
- 1 5 2、1 6 2 電圧源
- 1 5 3 電圧降下用抵抗
- 1 6 0 スイッチ部
- 1 6 1 第 1 の電圧源接続トランジスタ
- 1 6 3 電圧切り替えトランジスタ
- 1 6 4 第 2 の電圧源接続トランジスタ
- 2 0 1 固体撮像装置

210	撮像領域
230	タイミング制御部
240	光学系
241	レンズ
250	DSP
260	カメラシステム制御部
270	画像処理回路
280	画像表示デバイス
290	画像メモリ
300	RAMP波発生回路
400	クロックジェネレータ

## 請求の範囲

[請求項1]

アレイ状に配列された複数の単位セルと、  
前記単位セルの列に対応して設けられ、対応する列の前記単位セル  
に共通に接続された列信号線と、  
前記列信号線に接続された電流源と、  
前記単位セルに電源電位を供給するための電源供給部とを備え、  
前記単位セルは、  
フォトダイオードと、  
前記フォトダイオードで発生した信号電荷を一時的に保持するた  
めのFD（フローティングディフュージョン）部と、  
前記フォトダイオードと前記FD部との間に設けられ、前記フォト  
ダイオードから前記FD部に電荷を転送するための転送トランジスタ  
と、  
前記FD部と接続され、前記FD部の電位をリセットするためのリ  
セットトランジスタと、  
ゲートが前記FD部に接続され、前記FD部の電位に応じた信号電  
圧を読み出すための読み出しトランジスタと、  
前記読み出しトランジスタと前記列信号線との間に設けられ、前記  
単位セルから前記列信号線に信号電圧を出力するための選択トランジ  
スタとを有し、  
前記電源供給部は、前記リセットトランジスタ及び前記読み出しト  
ランジスタに共通に接続された画素電源線を有し、前記FD部をリセ  
ットする時に、前記単位セルから前記列信号線に前記信号電圧を出力  
する時の電源電位よりも低い電源電位を、前記画素電源線を介して供  
給する  
固体撮像装置。

[請求項2]

前記固体撮像装置は、さらに、  
前記列信号線における任意の異なる二つのタイミングにおける電位



差に応じた信号を出力するCDS回路を、前記列信号線毎に備える  
請求項1に記載の固体撮像装置。

[請求項3]

前記電源供給部は、さらに、  
前記画素電源線に電源電位を供給するための異なる電源電位の第1の電源及び第2の電源と、  
前記第1の電源と前記電源線との間に設けられた第1のスイッチと、  
、  
前記第2の電源と前記電源線との間に設けられた第2のスイッチとを備える  
請求項1又は2に記載の固体撮像装置。

[請求項4]

前記電源供給部は、さらに、  
前記画素電源線に電源電位を供給するための電源と、  
前記電源と前記電源線との間に設けられたスイッチと、  
前記画素電源線と前記電源との間に、前記スイッチと並列になるように設けられた抵抗とを備える  
請求項1又は2に記載の固体撮像装置。

[請求項5]

前記固体撮像装置は、さらに、  
前記CDS回路の出力信号をアナログーデジタル変換するためのAD変換回路を、前記CDS回路毎に備える  
請求項2に記載の固体撮像装置。

[請求項6]

アレイ状に配列された複数の単位セルと、  
前記単位セルの列に対応して設けられ、対応する列の前記単位セルに共通に接続された列信号線と、  
前記列信号線に接続された電流源と、  
前記単位セルに電源電位を供給するための電源供給部とを備え、  
前記単位セルは、  
フォトダイオードと、  
前記フォトダイオードで発生した信号電荷を一時的に保持するため

のFD（フローティングディフュージョン）部と、

前記フォトダイオードと前記FD部との間に設けられ、前記フォトダイオードから前記FD部に電荷を転送するための転送トランジスタと、

前記FD部と接続され、前記FD部の電位をリセットするためのリセットトランジスタと、

ゲートが前記FD部に接続され、前記FD部の電位に応じた信号電圧を読み出すための読み出しトランジスタとを有し、

前記電源供給部は、前記リセットトランジスタ及び前記読み出しトランジスタに共通に接続された画素電源線を有し、少なくとも3つの電源電位を1つの前記単位セルに供給し、

前記電源供給部は、前記FD部をリセットする時に、前記単位セルから前記列信号線に前記信号電圧を出力する時の電源電位よりも低い電源電位を、前記画素電源線を介して供給する

固体撮像装置。

[請求項7]

前記固体撮像装置は、さらに、

前記列信号線における任意の異なる二つのタイミングにおける電位差に応じた信号を出力するCDS回路を、前記列信号線毎に備える

請求項6に記載の固体撮像装置。

[請求項8]

前記電源供給部は、さらに、

前記画素電源線に電源電位を供給するための異なる電源電位の第1の電源及び第2の電源と、

前記第1の電源と前記電源線との間に設けられた第1のスイッチと、

前記第2の電源と前記電源線との間に設けられた第2のスイッチとを備える

請求項6又は7に記載の固体撮像装置。

[請求項9]

前記電源供給部は、さらに、

前記画素電源線に電源電位を供給するための電源と、  
前記電源と前記電源線との間に設けられたスイッチと、  
前記画素電源線と前記電源との間に、前記スイッチと並列になるよ  
うに設けられた抵抗とを備える

請求項 6 又は 7 に記載の固体撮像装置。

[請求項10]

前記固体撮像装置は、さらに、

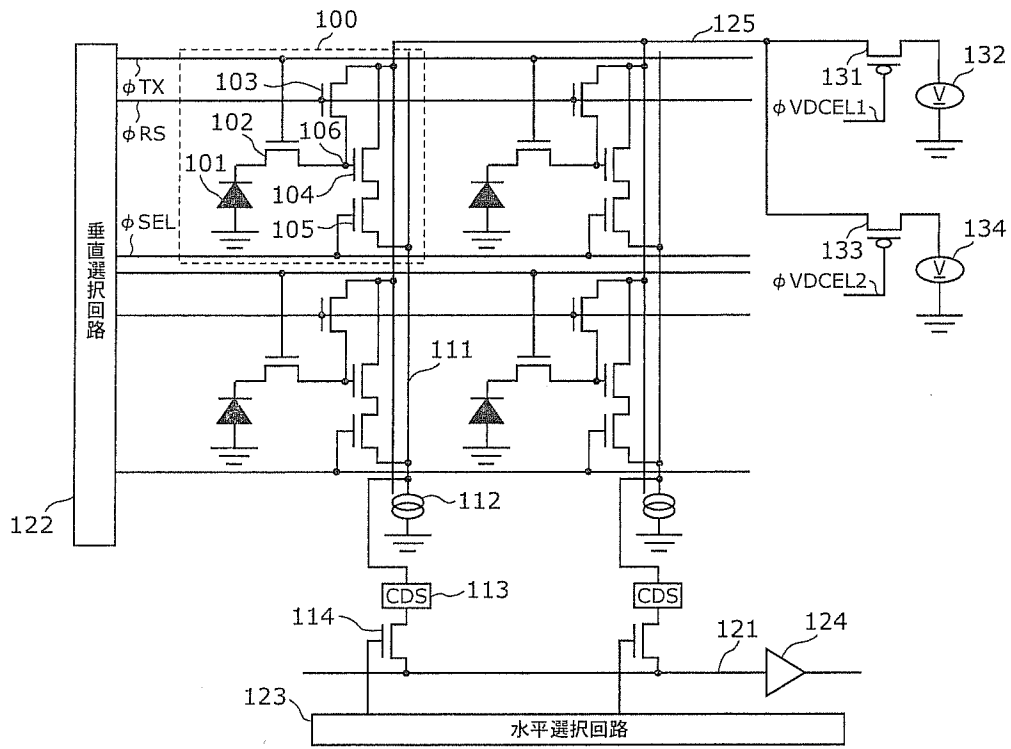
前記 C D S 回路の出力信号をアナログーデジタル変換するための A  
D 変換回路を、前記 C D S 回路毎に備える

請求項 7 に記載の固体撮像装置。

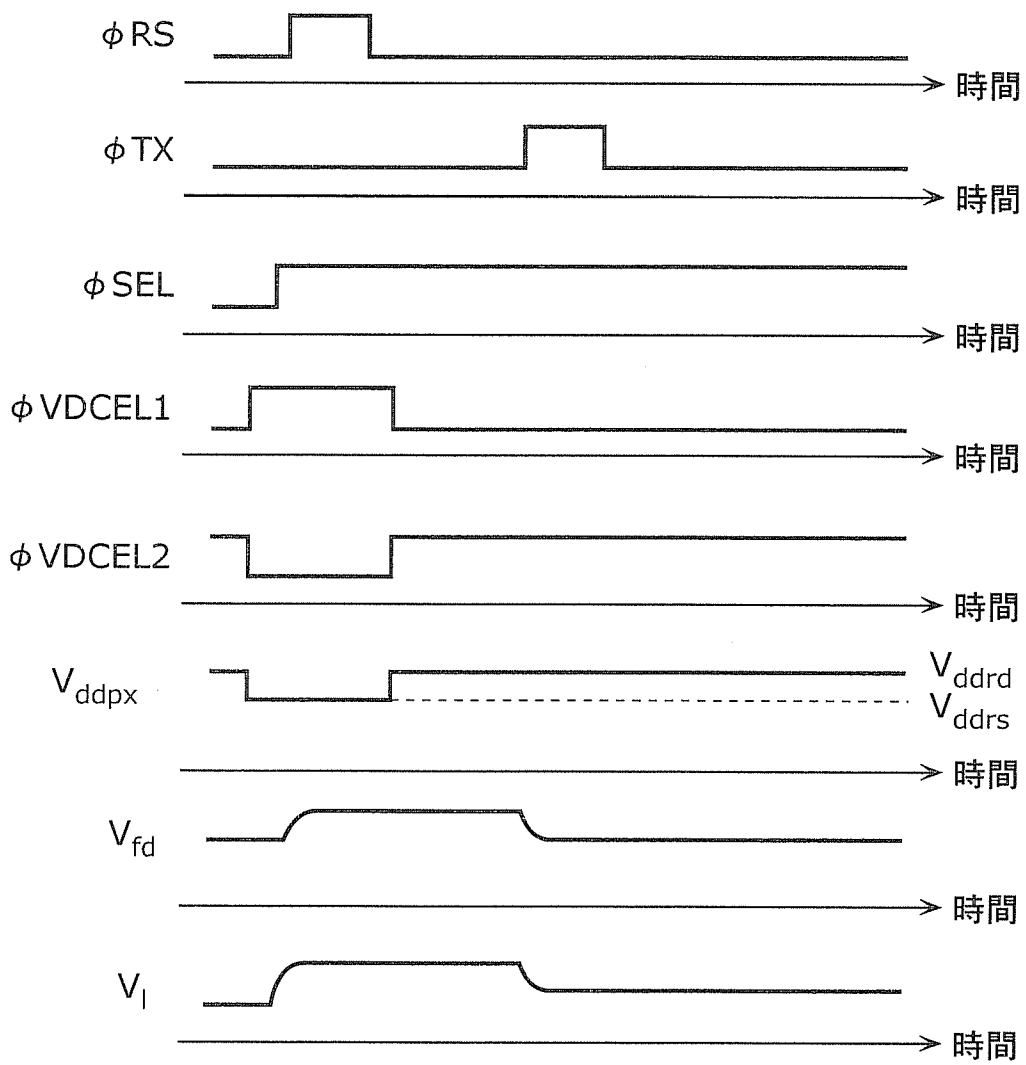
[請求項11]

請求項 1 ~ 1 0 のいずれか 1 項に記載の固体撮像装置を備える  
カメラシステム。

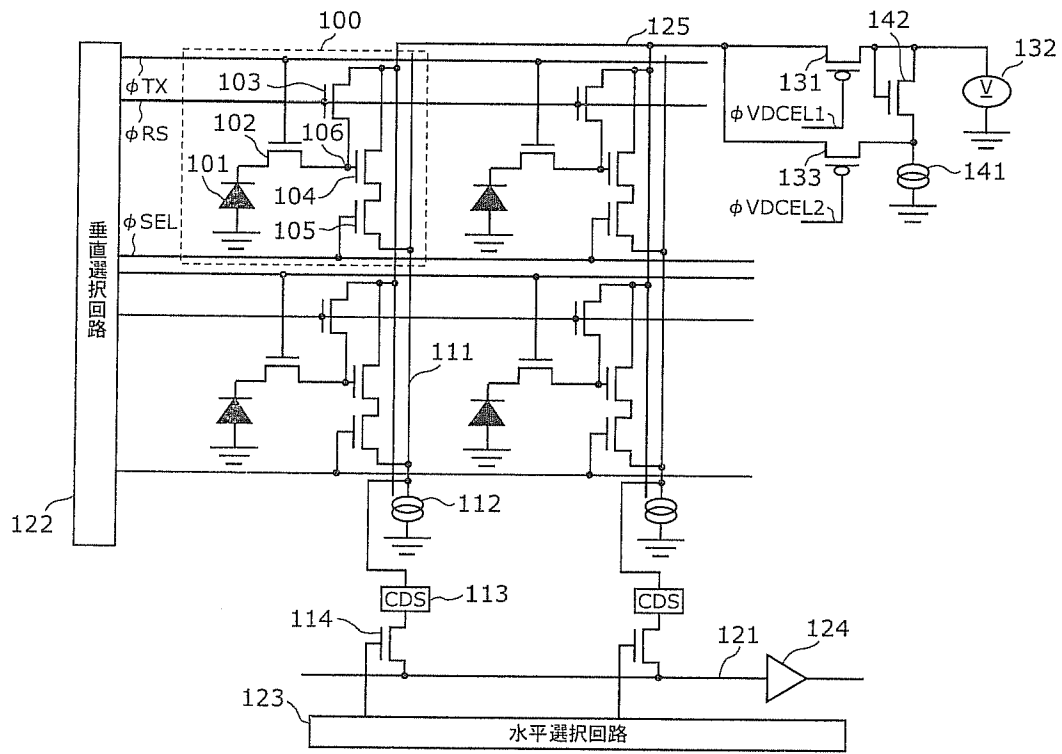
[図1]



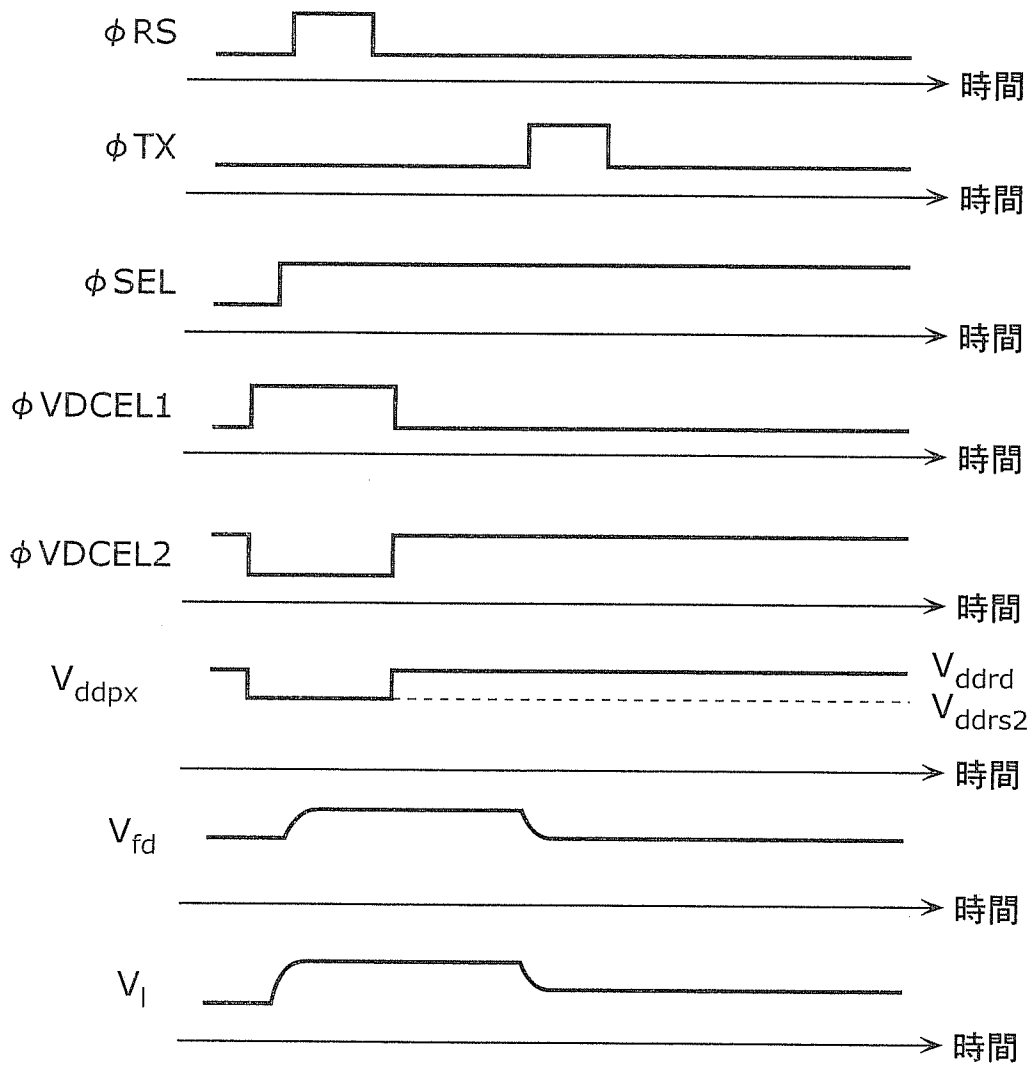
[図2]



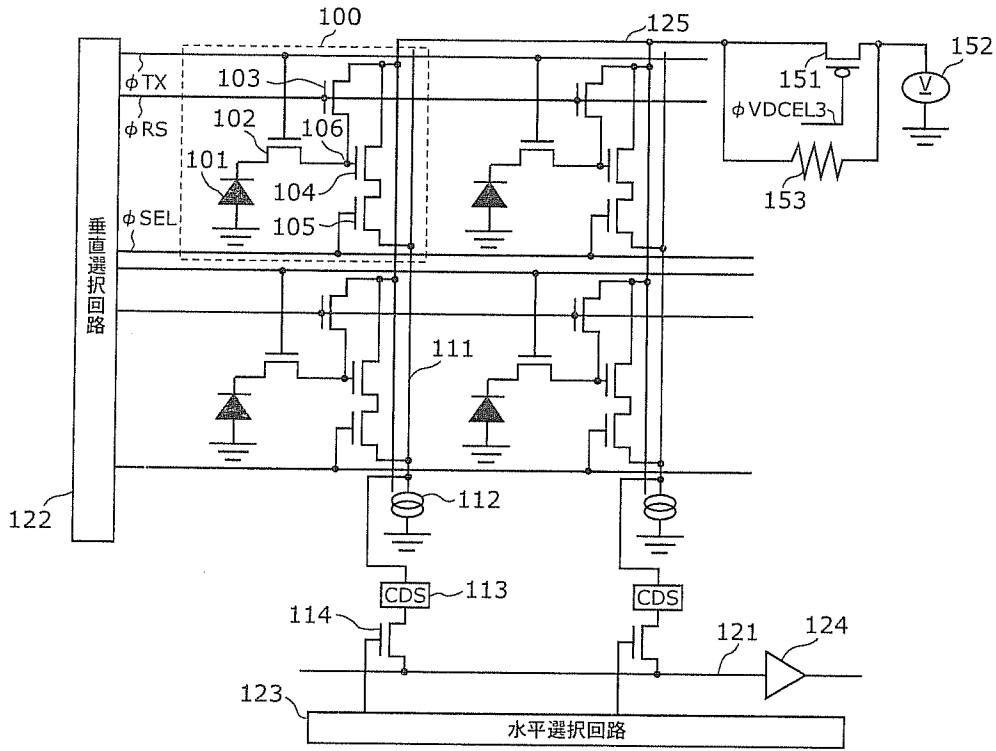
[図3]



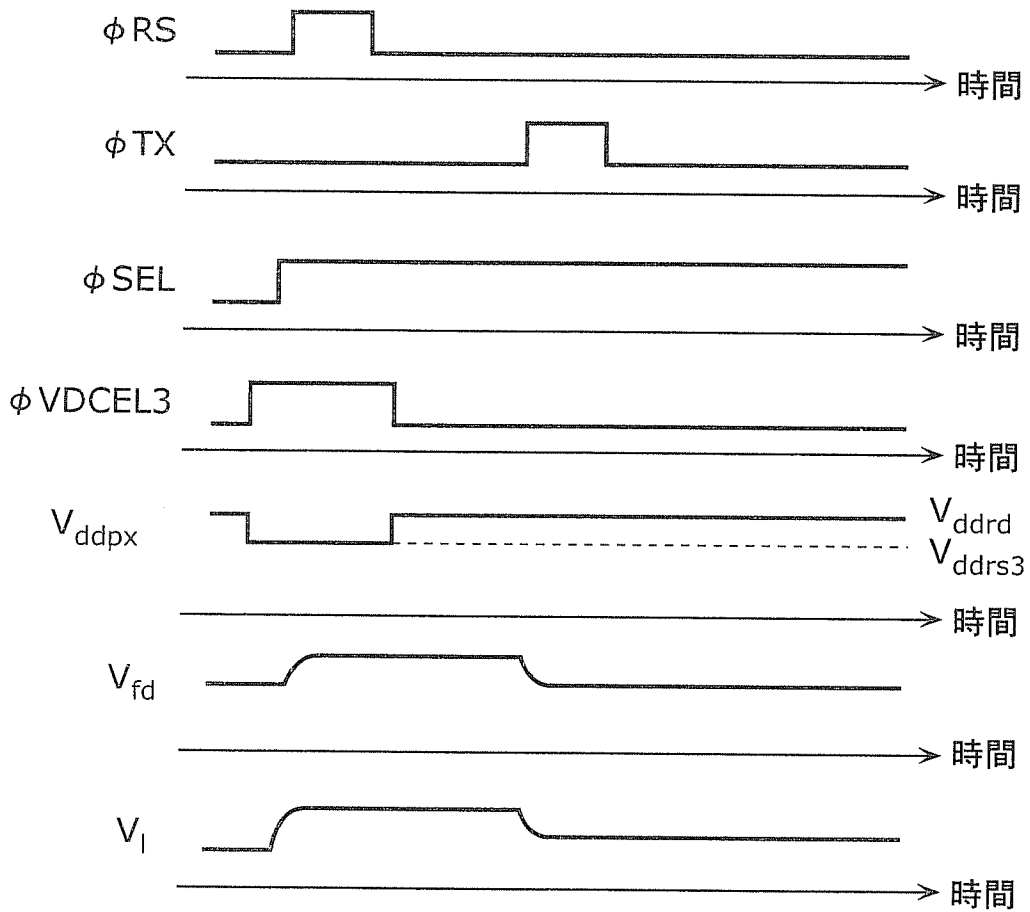
[図4]



[図5]

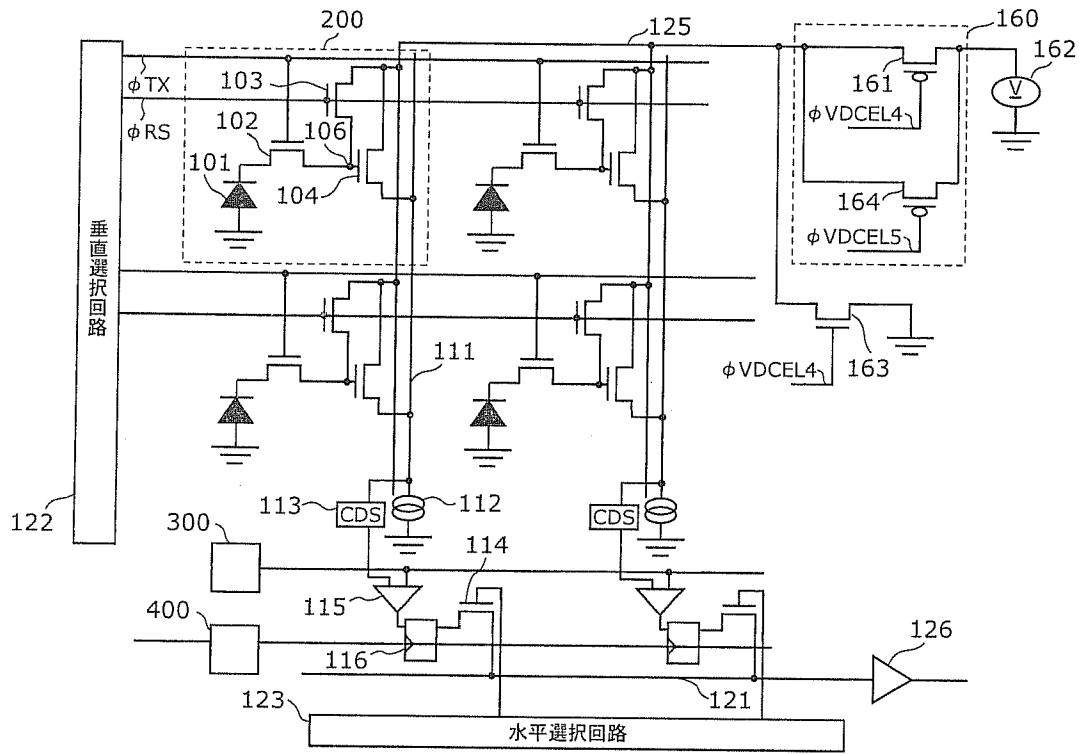


[図6]

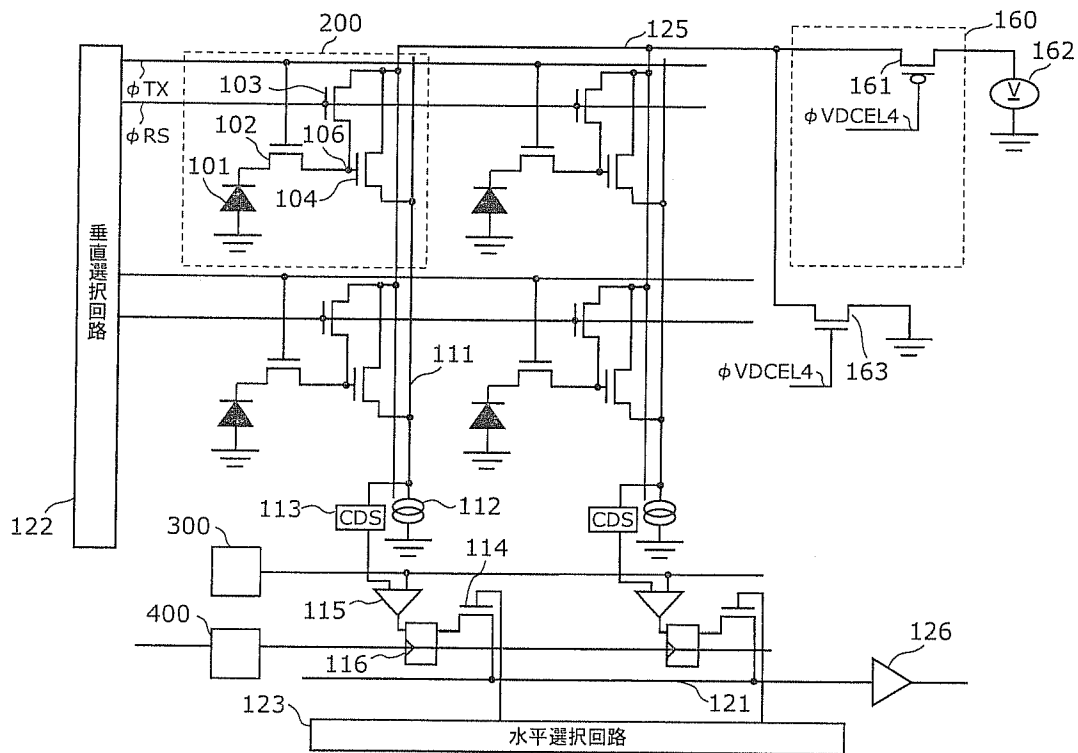




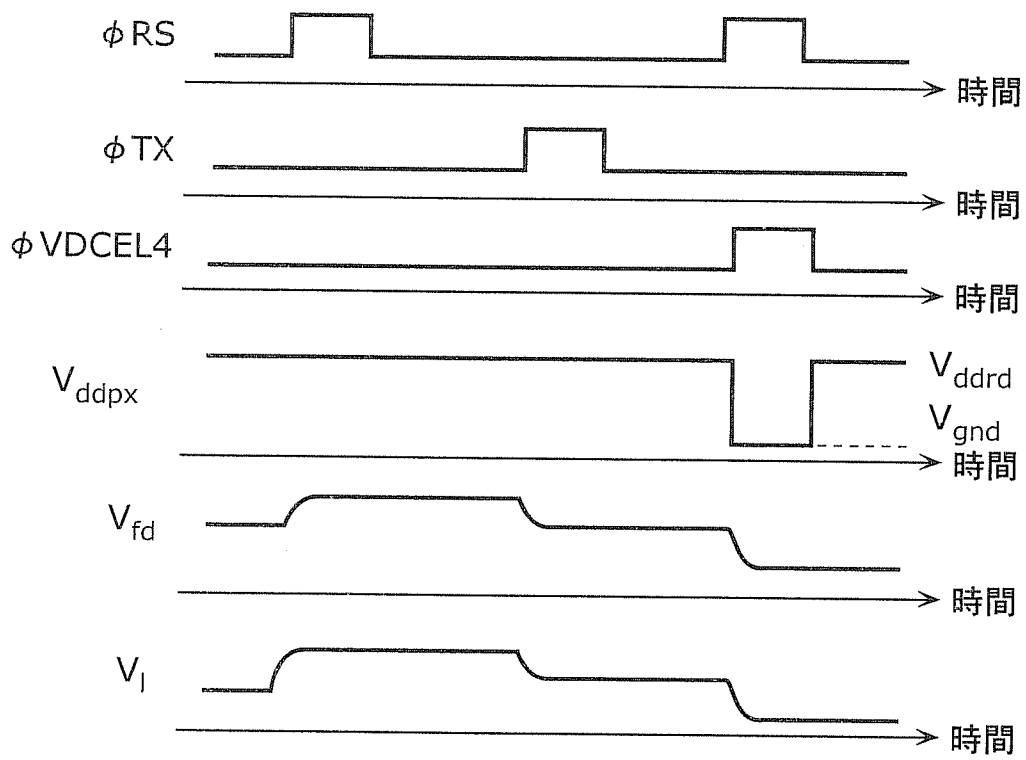
[図7]



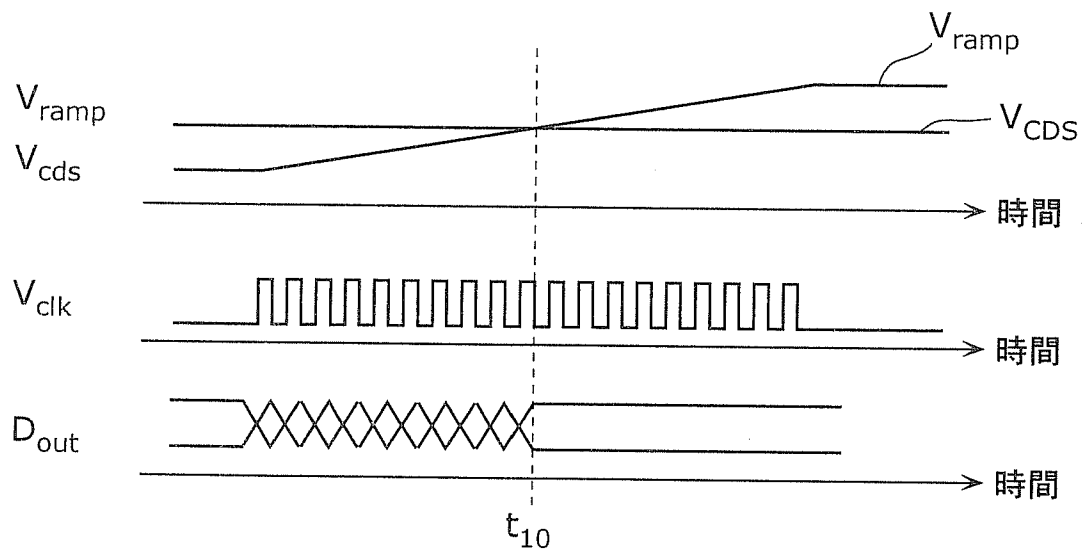
[図8]



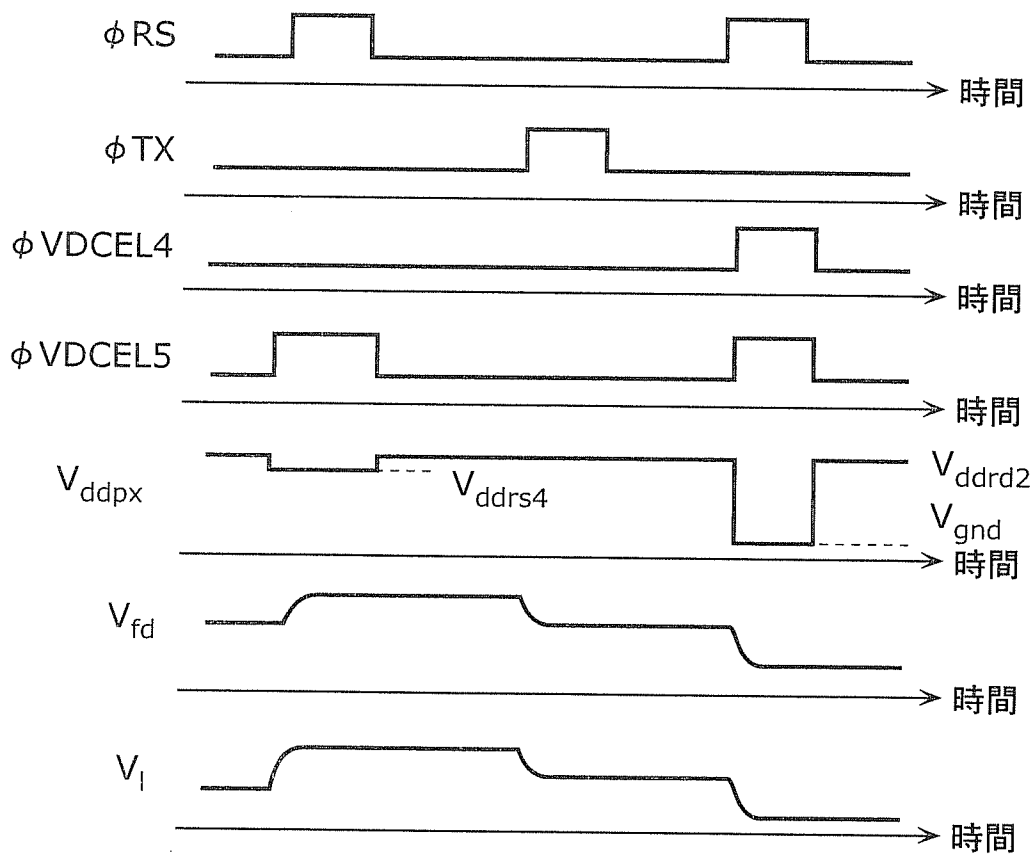
[図9]



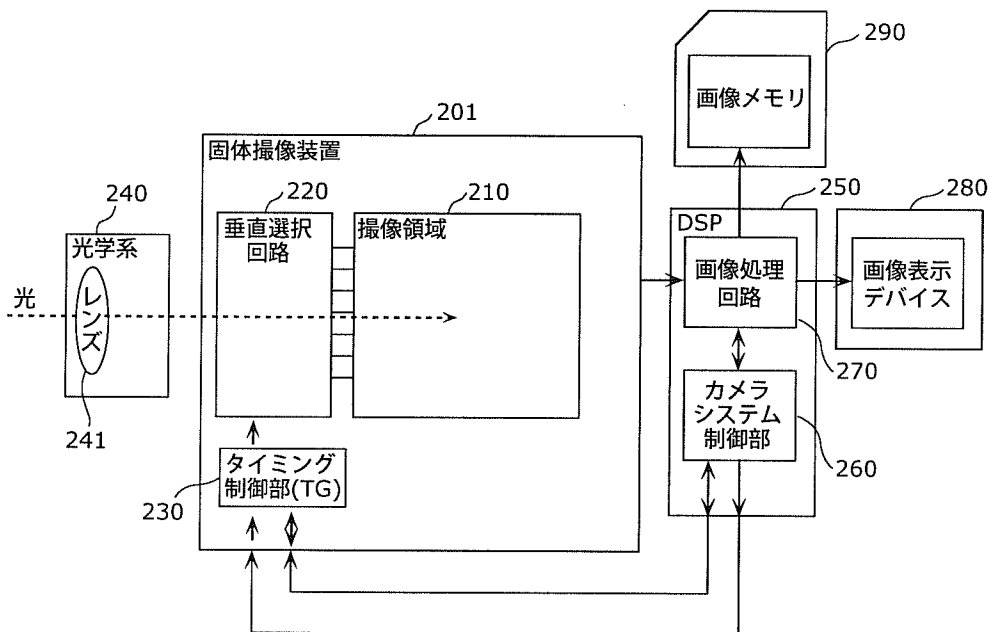
[図10]



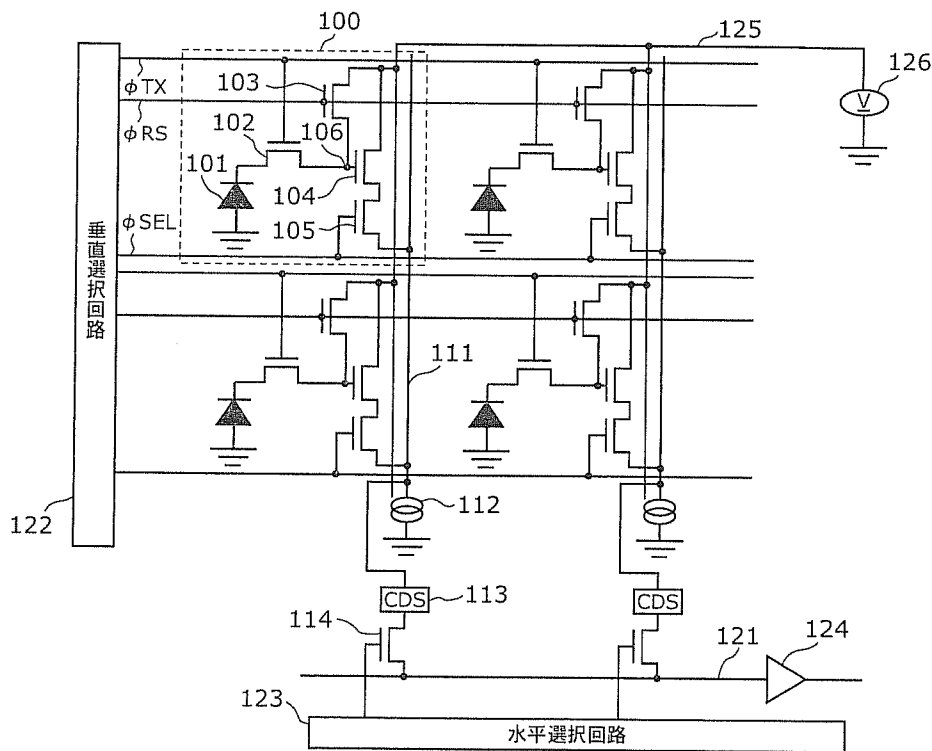
[図11]



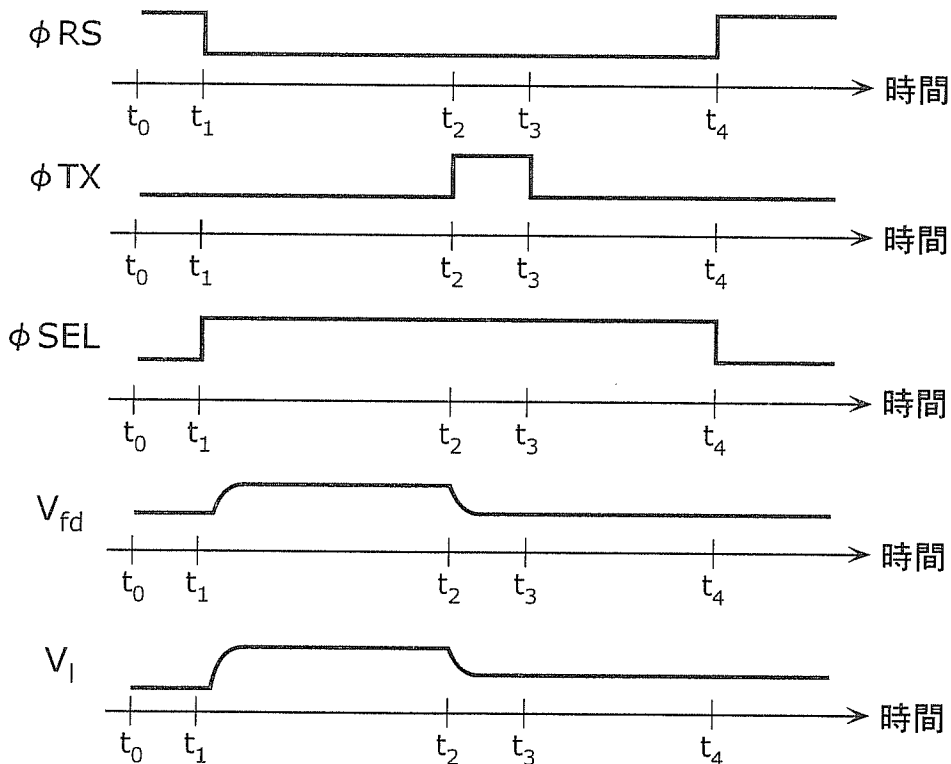
[図12]



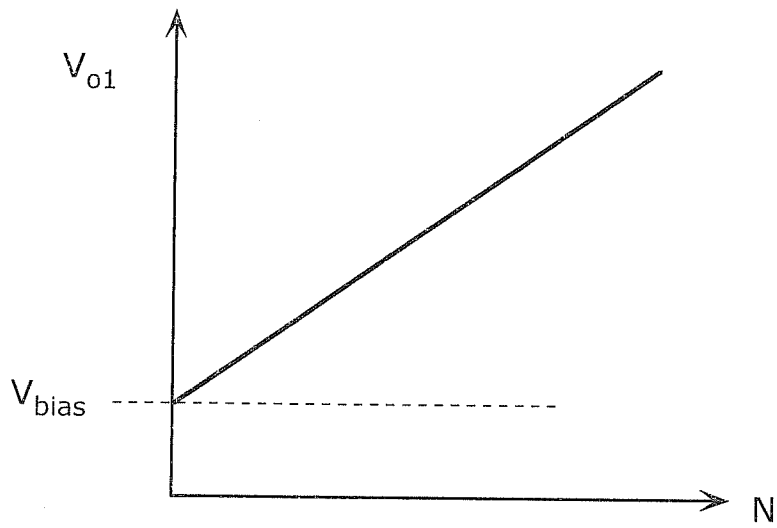
[図13]



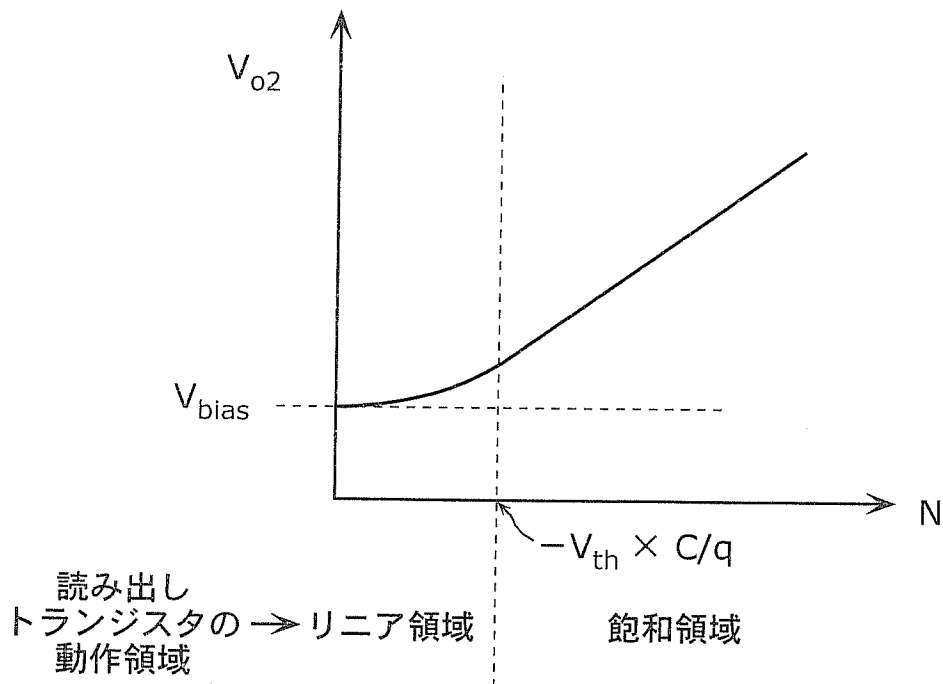
[図14]



[図15]



[図16]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/000757

## A. CLASSIFICATION OF SUBJECT MATTER

H04N5/365(2011.01)i, H01L27/146(2006.01)i, H04N5/3745(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/365, H01L27/146, H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-067484 A (Olympus Corp.), 15 March 2007 (15.03.2007), paragraphs [0035] to [0036], [0040]; fig. 4 to 6 (Family: none)	1-11
A	JP 2009-267971 A (Canon Inc.), 12 November 2009 (12.11.2009), paragraphs [0078], [0083]; fig. 2, 4 & US 2009/0268050 A1	1-11
E, A	JP 2010-045591 A (Canon Inc.), 25 February 2010 (25.02.2010), paragraphs [0022] to [0023]; fig. 1 to 4 (Family: none)	1-11

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
05 April, 2011 (05.04.11)Date of mailing of the international search report  
12 April, 2011 (12.04.11)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl. H04N5/365(2011.01)i, H01L27/146(2006.01)i, H04N5/3745(2011.01)i

B. 調査を行った分野  
 調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl. H04N5/365, H01L27/146, H04N5/3745

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2011年  
 日本国実用新案登録公報 1996-2011年  
 日本国登録実用新案公報 1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2007-067484 A (オリンパス株式会社) 2007. 03. 15, 段落【0035】 - 【0036】, 【0040】, 図 4-6 等 (ファミリーなし)	1-11
A	JP 2009-267971 A (キヤノン株式会社) 2009. 11. 12, 段落【0078】, 【0083】, 図 2, 4 等 & US 2009/0268050 A1	1-11
E, A	JP 2010-045591 A (キヤノン株式会社) 2010. 02. 25, 段落【0022】 - 【0023】, 図 1-4 等 (ファミリーなし)	1-11

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー  
 「A」特に関連のある文献ではなく、一般的な技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日  
 05. 04. 2011

国際調査報告の発送日  
 12. 04. 2011

国際調査機関の名称及びあて先  
 日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
 若林 治男  
 5P | 4190  
 電話番号 03-3581-1101 内線 3581