



(12) 发明专利

(10) 授权公告号 CN 109119426 B

(45) 授权公告日 2024. 04. 16

(21) 申请号 201811139601.5

H10B 43/20 (2023.01)

(22) 申请日 2018.09.28

H01L 23/367 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 109119426 A

(56) 对比文件

CN 107658315 A, 2018.02.02

US 2018175008 A1, 2018.06.21

CN 102881602 A, 2013.01.16

CN 104201157 A, 2014.12.10

CN 105702696 A, 2016.06.22

CN 107342291 A, 2017.11.10

US 2002003307 A1, 2002.01.10

US 2011127652 A1, 2011.06.02

US 2015179660 A1, 2015.06.25

US 9691782 B1, 2017.06.27

WO 2017177631 A1, 2017.10.19

(43) 申请公布日 2019.01.01

(73) 专利权人 长江存储科技有限责任公司

地址 430074 湖北省武汉市洪山区东湖开发区关东科技工业园华光大道18号7018室

(72) 发明人 胡斌 肖莉红

(74) 专利代理机构 北京成创同维知识产权代理有限公司 11449

专利代理师 范芳茗 刘静

审查员 李卓

(51) Int. Cl.

H10B 43/40 (2023.01)

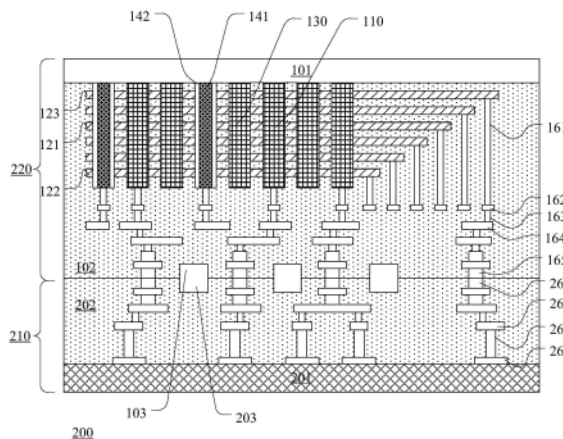
权利要求书2页 说明书10页 附图10页

(54) 发明名称

3D存储器件

(57) 摘要

本申请公开了一种3D存储器件,其特征在于,包括:CMOS电路,包括第一键合面,以及在第一键合面上暴露的第一外部焊盘;以及存储单元阵列,包括第二键合面,以及在第二键合面上暴露的第二外部焊盘,其中,CMOS电路的第一键合面与存储单元阵列的第二键合面彼此接触,第一外部焊盘与第二外部焊盘彼此键合,从而实现CMOS电路和存储单元阵列之间的电连接,CMOS电路还包括在第一键合面上形成的多个第一凹槽,和/或存储单元阵列还包括在第二键合面上形成的多个第二凹槽,多个第一凹槽和多个第二凹槽形成散热通道。本发明通过在CMOS电路和存储单元阵列的键合表面上提供散热通道,可以提高3D存储器件的良率和可靠性。



1. 一种3D存储器件,其特征在于,包括:

CMOS电路,包括第一键合面,以及在所述第一键合面上暴露的第一外部焊盘;以及存储单元阵列,包括第二键合面,以及在所述第二键合面上暴露的第二外部焊盘,其中,所述CMOS电路的第一键合面与所述存储单元阵列的第二键合面彼此接触,所述第一外部焊盘与所述第二外部焊盘彼此键合,从而实现所述CMOS电路和所述存储单元阵列之间的电连接,

所述CMOS电路还包括在所述第一键合面上刻蚀形成的多个第一凹槽,所述存储单元阵列还包括在所述第二键合面上刻蚀形成的多个第二凹槽,所述多个第一凹槽和所述多个第二凹槽形成散热通道,

所述CMOS电路和所述存储单元阵列分别包括各自的多个布线层,所述多个布线层横向延伸,所述多个第一凹槽从所述CMOS电路的第一键合面向内延伸至所述CMOS电路的布线层,所述多个第二凹槽从所述存储单元阵列的第二键合面向内延伸至所述存储单元阵列的布线层。

2. 根据权利要求1所述的3D存储器件,其特征在于,所述多个第一凹槽在所述第一键合面上横向延伸,从所述CMOS电路的第一侧壁到达第二侧壁,所述多个第二凹槽在所述第二键合面上横向延伸,从所述存储单元阵列的第一侧壁到达第二侧壁,

所述第一凹槽和所述第二凹槽与外界环境连通。

3. 根据权利要求2所述的3D存储器件,其特征在于,所述多个第一凹槽与所述多个第二凹槽彼此相连形成整体的空腔。

4. 根据权利要求2所述的3D存储器件,其特征在于,所述CMOS电路和所述存储单元阵列分别包括各自的多个导电通道,用于提供所述多个布线层彼此之间的电连接。

5. 根据权利要求2所述的3D存储器件,其特征在于,所述多个第一凹槽和所述多个第二凹槽填充有导热材料。

6. 根据权利要求4所述的3D存储器件,其特征在于,所述CMOS电路还包括:

半导体衬底;

位于所述半导体衬底中的多个晶体管;

位于所述半导体衬底上并且与所述多个晶体管相连接的多个接触焊盘;以及

位于所述半导体衬底上的绝缘层,

其中,所述多个布线层和所述多个导电通道位于所述绝缘层中,所述第一外部焊盘位于所述绝缘层上,所述第一键合面为所述绝缘层的自由表面,

所述多个接触焊盘经由所述多个布线层和所述多个导电通道连接至相应的第一外部焊盘。

7. 根据权利要求4所述的3D存储器件,其特征在于,所述存储单元阵列还包括:

半导体衬底;

位于所述半导体衬底中的公共源区;

位于所述半导体衬底上的栅叠层结构,所述栅叠层结构包括多个层面的栅极导体;

贯穿所述栅叠层结构的多个沟道柱;

位于所述栅叠层结构上的多个接触焊盘;以及

位于所述栅叠层结构上的绝缘层,

其中,所述多个沟道柱的第一端延伸至所述公共源区,第二端连接至相应的接触焊盘,所述多个层面的栅极导体分别连接至相应的接触焊盘,

所述多个布线层和所述多个导电通道位于所述绝缘层中,所述第二外部焊盘位于所述绝缘层上,所述第二键合面为所述绝缘层的自由表面,

所述多个接触焊盘经由所述多个布线层和所述多个导电通道连接至相应的第二外部焊盘。

8. 根据权利要求7所述的3D存储器件,其特征在于,所述多个沟道柱和所述多个层面的栅极导体形成存储晶体管 and 选择晶体管。

9. 根据权利要求7所述的3D存储器件,其特征在于,所述存储单元阵列还包括:贯穿所述栅叠层结构的多个假沟道柱,所述多个假沟道柱未与所述接触焊盘相连接。

10. 根据权利要求7所述的3D存储器件,其特征在于,所述存储单元阵列还包括:贯穿所述栅叠层结构的至少一个附加导电通道,所述至少一个附加导电通道的第一端延伸至所述公共源区,第二端连接至相应的接触焊盘。

3D存储器件

技术领域

[0001] 本发明涉及存储器技术领域,特别涉及一种3D存储器件。

背景技术

[0002] 存储器件的存储密度的提高与半导体制造工艺的进步密切相关。随着半导体制造工艺的特征尺寸越来越小,存储器件的存储密度越来越高。为了进一步提高存储密度,已经开发出三维结构的存储器件(即,3D存储器件)。3D存储器件包括沿着垂直方向堆叠的多个存储单元,在单位面积的晶片上可以成倍地提高集成度,并且可以降低成本。

[0003] 现有的3D存储器件主要用作非易失性的闪存。两种主要的非易失性闪存技术分别采用NAND和NOR结构。与NOR存储器件相比,NAND存储器件中的读取速度稍慢,但写入速度快,擦除操作简单,并且可以实现更小的存储单元,从而达到更高的存储密度。因此,采用NAND结构的3D存储器件获得了广泛的应用。

[0004] 在NAND结构的3D存储器件中,采用半导体衬底形成CMOS电路,采用叠层结构形成存储单元阵列,该叠层结构包括选择晶体管和存储晶体管的栅极导体,然后将CMOS电路和存储单元阵列彼此键合。在该3D存储器件中,采用大量金属布线提供CMOS电路与存储单元阵列之间的电连接,布线密度的增加将会影响3D存储器件的良率和可靠性。期望进一步改进3D存储器件的结构及其制造方法,以提高3D存储器件的良率和可靠性。

发明内容

[0005] 鉴于上述问题,本发明的目的在于提供一种3D存储器件,其中,在CMOS电路和存储单元阵列的键合表面上形成凹槽以提供散热通道,从而提高3D存储器件的良率和可靠性。

[0006] 根据本发明的实施例,提供一种3D存储器件,其特征在于,包括:CMOS电路,包括第一键合面,以及在所述第一键合面上暴露的第一外部焊盘;以及存储单元阵列,包括第二键合面,以及在所述第二键合面上暴露的第二外部焊盘,其中,所述CMOS电路的第一键合面与所述存储单元阵列的第二键合面彼此接触,所述第一外部焊盘与所述第二外部焊盘彼此键合,从而实现所述CMOS电路和所述存储单元阵列之间的电连接,所述CMOS电路还包括在所述第一键合面上形成的多个第一凹槽,和/或所述存储单元阵列还包括在所述第二键合面上形成的多个第二凹槽,所述多个第一凹槽和所述多个第二凹槽形成散热通道。

[0007] 优选地,所述多个第一凹槽在所述第一键合面上横向延伸,从所述CMOS电路的第一侧壁到达第二侧壁,所述多个第二凹槽在所述第二键合面上横向延伸,从所述存储单元阵列的第一侧壁到达第二侧壁。

[0008] 优选地,所述多个第一凹槽与所述多个第二凹槽彼此相连形成整体的空腔。

[0009] 优选地,所述CMOS电路和所述存储单元阵列分别包括各自的多个布线层,所述多个布线层横向延伸。

[0010] 优选地,所述CMOS电路和所述存储单元阵列分别包括各自的多个导电通道,用于提供所述多个布线层彼此之间的电连接。

[0011] 优选地,所述多个第一凹槽从所述CMOS电路的第一键合面向内延伸至所述CMOS电路的布线层,所述多个第二凹槽从所述存储单元阵列的第二键合面向内延伸至所述存储单元阵列的布线层。

[0012] 优选地,所述多个第一凹槽和所述多个第二凹槽填充有导热材料。

[0013] 优选地,所述CMOS电路还包括:半导体衬底;位于所述半导体衬底中的多个晶体管;位于所述半导体衬底上并且与所述多个晶体管相连接的多个接触焊盘;以及位于所述半导体衬底上的绝缘层,其中,所述多个布线层和所述多个导电通道位于所述绝缘层中,所述第一外部焊盘位于所述绝缘层上,所述第一键合面为所述绝缘层的自由表面,所述多个接触焊盘经由所述多个布线层和所述多个导电通道连接至相应的第一外部焊盘。

[0014] 优选地,所述存储单元阵列还包括:半导体衬底;位于所述半导体衬底中的公共源区;位于所述半导体衬底上的栅叠层结构,所述栅叠层结构包括多个层面的栅极导体;贯穿所述栅叠层结构的多个沟道柱;位于所述栅叠层结构上的多个接触焊盘;以及位于所述栅叠层结构上的绝缘层,其中,所述多个沟道柱的第一端延伸至所述公共源区,第二端连接至相应的接触焊盘,所述多个层面的栅极导体分别连接至相应的接触焊盘,所述多个布线层和所述多个导电通道位于所述绝缘层中,所述第二外部焊盘位于所述绝缘层上,所述第二键合面为所述绝缘层的自由表面,所述多个接触焊盘经由所述多个布线层和所述多个导电通道连接至相应的第二外部焊盘。

[0015] 优选地,所述多个沟道柱和所述多个层面的栅极导体形成存储晶体管和选择晶体管。

[0016] 优选地,所述存储单元阵列还包括:贯穿所述栅叠层结构的多个假沟道柱,所述多个假沟道柱未与所述接触焊盘相连接。

[0017] 优选地,所述存储单元阵列还包括:贯穿所述栅叠层结构的至少一个附加导电通道,所述至少一个附加导电通道的第一端延伸至所述公共源区,第二端连接至相应的接触焊盘。

[0018] 根据该实施例的3D存储器件,在CMOS电路和存储单元阵列至少之一的表面上形成凹槽,从而提供散热路径。在CMOS电路的工作期间以及存储单元阵列的工作期间产生大量的热量。由于CMOS电路和存储单元阵列的相对表面彼此键合,因此,热量集中于键合表面附近,并且经由散热路径释放。该热量的释放可以保持3D存储器件的工作温度符合要求,从而在3D存储器件利用隧穿原理写入数据时不会发生写入数据错误,以及避免过高的温度导致器件损坏。因此,根据该实施例的3D存储器件提高了良率和可靠性。

附图说明

[0019] 通过以下参照附图对本发明实施例的描述,本发明的上述以及其他目的、特征和优点将更为清楚,在附图中:

[0020] 图1a和1b分别示出3D存储器件的存储单元串的等效电路图和结构示意图。

[0021] 图2a和2b分别示出根据本发明第一实施例的3D存储器件的内部结构的透视图和整体透视图。

[0022] 图3示出根据本发明第一实施例的3D存储器件截面图。

[0023] 图4分别示出根据本发明第二实施例的3D存储器件截面图。

[0024] 图5分别示出根据本发明第三实施例的3D存储器件截面图。

[0025] 图6a至6g示出根据本发明第一实施例的3D存储器件制造方法的各个阶段的截面图。

具体实施方式

[0026] 以下将参照附图更详细地描述本发明。在各个附图中,相同的元件采用类似的附图标记来表示。为了清楚起见,附图中的各个部分没有按比例绘制。此外,可能未示出某些公知的部分。为了简明起见,可以在一幅图中描述经过数个步骤后获得的半导体结构。

[0027] 应当理解,在描述器件的结构时,当将一层、一个区域称为位于另一层、另一个区域“上面”或“上方”时,可以指直接位于另一层、另一个区域上面,或者在其与另一层、另一个区域之间还包含其它的层或区域。并且,如果将器件翻转,该一层、一个区域将位于另一层、另一个区域“下面”或“下方”。

[0028] 如果为了描述直接位于另一层、另一个区域上面的情形,本文将采用“直接在……上面”或“在……上面并与之邻接”的表述方式。

[0029] 在本申请中,术语“半导体结构”指在制造存储器件的各个步骤中形成的整个半导体结构的统称,包括已经形成的所有层或区域。在下文中描述了本发明的许多特定的细节,例如器件的结构、材料、尺寸、处理工艺和技术,以便更清楚地理解本发明。但正如本领域的技术人员能够理解的那样,可以不按照这些特定的细节来实现本发明。

[0030] 在NAND结构的3D存储器件中,采用半导体衬底形成CMOS电路,采用叠层结构形成存储单元阵列,该叠层结构提供选择晶体管和存储晶体管的栅极导体,然后将CMOS电路和存储单元阵列彼此键合。CMOS电路和存储单元阵列均包含布线层,其中采用大量金属布线提供CMOS电路和存储单元阵列之间的电连接。

[0031] 本申请的发明人发现,在CMOS电路的工作期间以及存储单元阵列的工作期间会产生大量的热量。由于CMOS电路和存储单元阵列的相对表面彼此键合,因此,CMOS电路和存储单元阵列的大量布线位于键合表面附近,使得热量集中于此处无法释放。该热量的累积导致3D存储器件的温度过高。3D存储器件利用隧穿原理写入数据,因此,3D存储器件对于环境温度比较敏感,过高的温度可能导致写入数据错误。在更严重的情形下,过高的温度可能导致CMOS电路和存储单元阵列之间的电连接断开,导致器件损坏。现有的3D存储器件在CMOS电路和存储单元阵列之间没有散热路径,从而影响了3D存储器件的良率和可靠性。

[0032] 本申请的发明人注意到上述影响3D存储器件的良率和可靠性的问题,因而提出进一步改进的3D存储器件及其制造方法。

[0033] 本发明可以各种形式呈现,以下将描述其中一些示例。

[0034] 图1a和1b分别示出3D存储器件的存储单元串的电回路和结构示意图。在该实施例中示出的存储单元串包括4个存储单元的情形。可以理解,本发明不限于此,存储单元串中的存储单元数量可以为任意多个,例如,32个或64个。

[0035] 如图1a所示,存储单元串100的第一端连接至位线BL,第二端连接至源极线SL。存储单元串100包括在第一端和第二端之间串联连接的多个晶体管,包括:第一选择晶体管Q1、存储晶体管M1至M4、以及第二选择晶体管Q2。第一选择晶体管Q1的栅极连接至串选择线SSL,第二选择晶体管Q2的栅极连接至地选择线GSL。存储晶体管M1至M4的栅极分别连接至

字线WL1至WL4的相应字线。

[0036] 如图1b所示,存储单元串100的第一选择晶体管Q1和第二选择晶体管Q2分别包括栅极导体122和123,存储晶体管M1至M4分别包括栅极导体121。栅极导体121、122和123与存储单元串100中的晶体管的堆叠顺序一致,相邻的栅极导体之间彼此采用层间绝缘层隔开,从而形成栅叠层结构。进一步地,存储单元串100包括沟道柱110。沟道柱110贯穿栅叠层结构。在沟道柱110的中间部分,栅极导体121与沟道层111之间夹有隧穿介质层112、电荷存储层113和阻挡介质层114,从而形成存储晶体管M1至M4。在沟道柱110的两端,栅极导体122和123与沟道层111之间夹有阻挡介质层114,从而形成第一选择晶体管Q1和第二选择晶体管Q2。

[0037] 在该实施例中,沟道层111例如由掺杂多晶硅组成,隧穿介质层112和阻挡介质层114分别由氧化物组成,例如氧化硅,电荷存储层113由包含量子点或者纳米晶体的绝缘层组成,例如包含金属或者半导体的微粒的氮化硅,栅极导体121、122和123由金属组成,例如钨。沟道层111用于提供控选择晶体管和存储晶体管的沟道区,沟道层111的掺杂类型与选择晶体管和存储晶体管的类型相同。例如,对于N型的选择晶体管和存储晶体管,沟道层111可以是N型掺杂的多晶硅。

[0038] 在该实施例中,沟道柱110的芯部为沟道层111,隧穿介质层112、电荷存储层113和阻挡介质层114形成围绕芯部侧壁的叠层结构。在替代的实施例中,沟道柱110的芯部为附加的绝缘层,沟道层111、隧穿介质层112、电荷存储层113和阻挡介质层114形成围绕芯部的叠层结构。

[0039] 在该实施例中,第一选择晶体管Q1和第二选择晶体管Q2、存储晶体管M1至M4使用公共的沟道层111和阻挡介质层114。在沟道柱110中,沟道层111提供多个晶体管的源漏区和沟道层。在替代的实施例中,可以采用彼此独立的步骤,分别形成第一选择晶体管Q1和第二选择晶体管Q2的半导体层和阻挡介质层以及存储晶体管M1至M4的半导体层和阻挡介质层。

[0040] 在写入操作中,存储单元串100利用FN隧穿效率将数据写入存储晶体管M1至M4中的选定存储晶体管。以存储晶体管M2为例,在源极线SL接地的同时,地选择线GSL偏置到大约零伏电压,使得对应于地选择线GSL的选择晶体管Q2断开,串选择线SSL偏置到高电压VDD,使得对应于串选择线SSL的选择晶体管Q1导通。进一步地,位线BIT2接地,字线WL2偏置于编程电压VPG,例如20V左右,其余字线偏置于低电压VPS1。由于只有选定存储晶体管M2的字线电压高于隧穿电压,因此,该存储晶体管M2的沟道区的电子,经由隧穿介质层112到达电荷存储层113,从而将数据转变成电荷存储于存储晶体管M2的电荷存储层113中。

[0041] 在读取操作中,存储单元串100根据存储晶体管M1至M4中的选定存储晶体管的导通状态判断电荷存储层中的电荷量,从而获得该电荷量表征的数据。以存储晶体管M2为例,字线WL2偏置于读取电压VRD,其余字线偏置于高电压VPS2。存储晶体管M2的导通状态与其阈值电压相关,即与电荷存储层中的电荷量相关,从而根据存储晶体管M2的导通状态可以判断数据值。存储晶体管M1、M3和M4始终处于导通状态,因此,存储单元串100的导通状态取决于存储晶体管M2的导通状态。控制电路根据位线BL和源极线SL上检测的电信号判断存储晶体管M2的导通状态,从而获得存储晶体管M2中存储的数据。

[0042] 图2a和2b分别示出根据本发明第一实施例的3D存储器件的内部结构的透视图和

整体透视图,图3示出根据本发明第一实施例的3D存储器件截面图。

[0043] 为了清楚起见,在图2a中仅示出3D存储器件的内部结构,其中未示出存储单元阵列的半导体衬底、以及CMOS电路和存储单元阵列中的绝缘层,在图2b中仅示出3D存储器的外部结构。

[0044] 在该实施例中示出的3D存储器件200包括堆叠的CMOS电路210和存储单元阵列220。

[0045] CMOS电路210包括半导体衬底201、位于半导体衬底201上的多个接触焊盘261、位于多个接触焊盘261上的多个布线层263、位于多个布线层263上的多个外部焊盘264、以及在垂直于半导体衬底201的表面的方向上提供互连的导电通道262。尽管未示出,然而可以理解,在半导体衬底201中形成有多个晶体管。多个布线层263彼此之间、以及多个布线层263与接触焊盘261和外部焊盘264之间采用层间绝缘层彼此隔开,并且采用贯穿层间绝缘层的导电通道262彼此电连接。在图2a中未示出层间绝缘层。

[0046] 在CMOS电路210中,接触焊盘261与半导体衬底201中的晶体管电连接,该接触焊盘261经由导电通道262连接至布线层263,然后布线层263经由导电通道262连接自外部焊盘264。该外部焊盘264提供CMOS电路210内部的晶体管与存储单元阵列220之间的电连接。

[0047] 存储单元阵列220包括4*3共计12个存储单元串,每个存储单元串包括4个存储单元,从而形成4*4*3共计48个存储单元的存储器阵列。可以理解,本发明不限于此,3D存储器件可以包括任意多个存储单元串,例如,1024个,每个存储单元串中的存储单元数量可以为任意多个,例如,32个或64个。

[0048] 存储单元阵列220包括半导体衬底101、位于半导体衬底101上的栅叠层结构、贯穿栅叠层结构的沟道柱110、位于栅叠层结构上的互连结构。该互连结构包括多个导电通道161、与多个导电通道161分别接触的多个接触焊盘162、位于多个接触焊盘162上的多个布线层164、位于多个布线层164上的多个外部焊盘165、以及在垂直于半导体衬底101的表面的方向上提供互连的导电通道163。栅叠层结构例如包括栅极导体121、122和123。栅叠层结构中的多个栅极导体例如形成台阶状,用于提供导电通道161延伸到达相应的栅极导体的空间。

[0049] 在存储单元阵列220中,存储单元串分别包括各自的沟道柱110,以及公共的栅极导体121、122和123。栅极导体121、122和123与存储单元串100中的晶体管的堆叠顺序一致,相邻的栅极导体之间彼此采用层间绝缘层隔开,从而形成栅叠层结构。在图2a中未示出层间绝缘层。

[0050] 在该实施例中,沟道柱110的内部结构如图1b所示,在此不再进行详细说明。沟道柱110贯穿栅叠层结构,并且排列成阵列。半导体衬底位于栅叠层结构上方,其中形成有公共源区(图中未示出)。沟道柱110的第一端共同连接至公共源区,沟道柱110的第二端经由导电通道和布线连接至相应的外部焊盘165。此处的导电通道和布线层的作用与位线BL相同。

[0051] 第一选择晶体管Q1的栅极导体122由栅线缝隙(gate line slit)151分割成不同的栅线。同一行的多个沟道柱110的栅线分别经由导电通道和布线连接至相应的外部焊盘165。为了清楚起见,在图中未示出栅极导体122与接触焊盘之间的一部分导电通道和布线层。此处的导电通道和布线层的作用与串选择线SSL相同。

[0052] 存储晶体管M1和M4的栅极导体121分别连接至相应的字线。如果存储晶体管M1和M4的栅极导体121由栅线缝隙151分割成不同的栅线,则同一层面的栅线分别经由导电通道和布线连接至相应的外部焊盘165。为了清楚起见,在图中未示出栅极导体121与接触焊盘之间的一部分导电通道和布线层。此处的导电通道和布线层的作用与字线WL1至WL4相同。

[0053] 第二选择晶体管Q2的栅极导体连接成一体。如果第二选择晶体管Q2的栅极导体123由栅线缝隙151分割成不同的栅线,则栅线分别经由导电通道和布线连接至相应的外部焊盘165。此处的导电通道和布线层的作用与地选择线GSL相同。

[0054] 优选地,在该实施例中还可以包括假沟道柱130,假沟道柱130与沟道柱110的内部结构可以相同,并且至少穿过栅叠层结构中的至少一部分栅极导体。然而,假沟道柱130未与外部焊盘165相连接,从而仅仅提供机械支撑作用,而没有用于形成选择晶体管和存储晶体管。因此,假沟道柱130没有形成有效的存储单元。

[0055] 优选地,在该实施例中还可以包括导电通道141和绝缘衬里142,导电通道141穿过栅叠层结构,并且与栅叠层结构之间由绝缘衬里142彼此绝缘。导电通道141的第一端延伸至栅叠层上方的半导体衬底中,到达公共源区,第二端连接至布线层。此处的导电通道和布线层的作用与源线GL相同。

[0056] 在形成CMOS电路210和存储单元阵列220之后,将二者彼此键合成3D存储器件200。CMOS电路210和存储单元阵列220彼此相对的表面为各自的键合表面。CMOS电路210和存储单元阵列220的大量布线位于各自的键合表面附近。

[0057] 参见图2b,根据该实施例的3D存储器件200,CMOS电路210的导电通道和布线层位于至少一个绝缘层202中,存储单元阵列220的导电通道和布线层位于至少一个绝缘层102中。CMOS电路210和存储单元阵列220的键合表面分别为绝缘层202和102彼此相对的表面。进一步地,CMOS电路210的外部焊盘264和存储单元阵列220的外部焊盘165分别在相应的键合表面上暴露,并且彼此相对设置。因此,在将CMOS电路210和存储单元阵列220彼此键合成3D存储器件200时,CMOS电路210的外部焊盘264和存储单元阵列220的外部焊盘165彼此接触,从而实现CMOS电路210与存储单元阵列220之间的电连接。

[0058] 进一步地,根据该实施例的3D存储器件200,在CMOS电路210和存储单元阵列220至少之一的键合表面形成有凹槽203和103。凹槽203和103在CMOS电路210和存储单元阵列220的键合表面上横向延伸,例如具有大致矩形或梯形的截面形状。在CMOS电路210和存储单元阵列220彼此键合形成的3D存储器件200中,凹槽203和103与外界环境连通,从而在CMOS电路和存储单元阵列之间提供散热路径。

[0059] 优选地,在CMOS电路210和存储单元阵列220的键合表面分别形成有凹槽203和103,并且彼此相对设置。因此,在将CMOS电路210和存储单元阵列220彼此键合成3D存储器件200时,CMOS电路210的凹槽203和存储单元阵列220的凹槽103彼此相连形成与外界环境连通的空腔,从而在CMOS电路和存储单元阵列之间提供散热路径。

[0060] 图4分别示出根据本发明第二实施例的3D存储器件截面图。

[0061] 在该实施例中示出的3D存储器件300包括堆叠的CMOS电路210和存储单元阵列220。以下仅仅详述第二实施例与第一实施例的不同之处。

[0062] 在CMOS电路210和存储单元阵列220的键合表面分别形成有凹槽323和313,并且彼此相对设置。凹槽323和313在CMOS电路210和存储单元阵列220的键合表面上横向延伸,以

及进一步沿着垂直于键合表面的方向延伸至布线层263和164,例如具有不规则的截面形状。在CMOS电路210和存储单元阵列220彼此键合形成的3D存储器件200中,凹槽323和313与外界环境连通,从而在CMOS电路和存储单元阵列之间提供散热路径。

[0063] 根据该实施例的3D存储器件,在CMOS电路和存储单元阵列至少之一的表面上形成延伸至布线层的凹槽,从而提供散热路径。在CMOS电路的工作期间以及存储单元阵列的工作期间产生大量的热量。由于CMOS电路和存储单元阵列的相对表面彼此键合,因此,热量集中于键合表面附近,并且经由散热路径释放。该热量的释放可以保持3D存储器件的工作温度符合要求,从而在3D存储器件利用隧穿原理写入数据时不会发生写入数据错误,以及避免过高的温度导致器件损坏。因此,根据该实施例的3D存储器件提高了良率和可靠性。

[0064] 图5分别示出根据本发明第三实施例的3D存储器件截面图。

[0065] 在该实施例中示出的3D存储器件400包括堆叠的CMOS电路210和存储单元阵列220。以下仅仅详述第三实施例与第一实施例的不同之处。

[0066] 在CMOS电路210和存储单元阵列220的键合表面分别形成有凹槽,并且彼此相对设置,以及在凹槽中填充导热材料423和413,例如铜、银、导热硅胶。导热材料423和413在CMOS电路210和存储单元阵列220的键合表面上横向延伸,优选地,经由导电通道到达布线层263和164。在CMOS电路210和存储单元阵列220彼此键合形成的3D存储器件200,导热材料423和413彼此接触形成整体,并且与外界环境连通,从而在CMOS电路和存储单元阵列之间提供散热路径。

[0067] 根据该实施例的3D存储器件,在CMOS电路和存储单元阵列至少之一的表面上形成凹槽,以及在凹槽中填充导热材料,优选地,经由导电通道到达布线层,从而提供散热路径。在CMOS电路的工作期间以及存储单元阵列的工作期间产生大量的热量。由于CMOS电路和存储单元阵列的相对表面彼此键合,因此,热量集中于键合表面附近,并且经由散热路径释放。该热量的释放可以保持3D存储器件的工作温度符合要求,从而在3D存储器件利用隧穿原理写入数据时不会发生写入数据错误,以及避免过高的温度导致器件损坏。因此,根据该实施例的3D存储器件提高了良率和可靠性。

[0068] 图6a至6g示出根据本发明第一实施例的3D存储器件制造方法的各个阶段的截面图,其中图6a至6d示出存储单元阵列的制造步骤,图6e和6f示出CMOS电路的制造步骤,图6g示出CMOS与存储单元阵列的键合。所述截面图沿着图2a中的AA线截取。

[0069] 该方法开始于已经在半导体衬底101上形成多个阱区的半导体结构,在该实施例中,半导体衬底101例如是单晶硅衬底。

[0070] 在该实施例中,为了便于对3D存储器件中的存储单元进行编程操作,在半导体衬底101中形成多个阱区。例如,半导体衬底101包括多个沟道柱的公共源区。

[0071] 如图6a所示,在半导体衬底101上形成绝缘叠层结构。

[0072] 该绝缘叠层结构包括堆叠的多个牺牲层152,相邻的牺牲层152由绝缘层102彼此隔开。在该实施例中,绝缘层102例如由氧化硅组成,牺牲层152例如由氮化硅组成。

[0073] 如下文所述,牺牲层152将置换成栅极导体121至123,栅极导体121一步连接至串选择线,栅极导体123一步连接至地选择线,栅极导体122一步连接至字线。为了形成从栅极导体121至123到达字线的导电通道,多个牺牲层152例如图案化为台阶状,即,每个牺牲层152的边缘部分相对于上方的牺牲层暴露以提供电连接区。在多个牺牲层152的图案化步骤

之后,可以采用绝缘层覆盖绝缘叠层结构。在图6a中将多个牺牲层152之间的层间绝缘层和覆盖绝缘叠层结构的层间绝缘层整体示出为绝缘层102。然而,本发明不限于此,可以采用多个独立的沉积步骤形成多个牺牲层152之间及其上方的多个层间绝缘层。

[0074] 进一步地,在绝缘叠层结构中形成沟道孔。在该实施例中,例如在半导体结构的表面上形成光致抗蚀剂掩模,然后进行各向异性蚀刻,在绝缘叠层结构中形成沟道孔。各向异性蚀刻可以采用干法蚀刻,如离子铣蚀刻、等离子蚀刻、反应离子蚀刻、激光烧蚀。例如,通过控制蚀刻时间,使得蚀刻在公共源区的下方附近停止,以及蚀刻在第一绝缘区域的下方附近停止。在蚀刻之后通过在溶剂中溶解或灰化去除光致抗蚀剂掩模。

[0075] 进一步地,在沟道孔中形成沟道柱110。沟道柱110的下部包括半导体层。进一步地,沟道柱110包括从其上部延伸至半导体层的沟道层。为了清楚起见,在图6a中未示出沟道柱110的内部结构。参见图1b,在沟道柱110的中间部分,沟道柱110包括依次堆叠在沟道层上的隧穿介质层、电荷存储层和阻挡介质层,在沟道柱110的两端,沟道柱110包括堆叠在沟道层或半导体层上的阻挡介质层。沟道柱110的下端与半导体衬底101中的公共源区相接触。在最终的3D存储器件中,沟道柱110的上端将与布线层相连接,从而形成有效的存储单元。所述沟道柱110的结构例如为ONOP(氧化物-氮化物-氧化物-多晶硅)。

[0076] 优选地,在沟道孔中形成假沟道柱130。假沟道柱130与沟道柱110的内部结构可以相同,并且至少穿过栅叠层结构中的至少一部分栅极导体。然而,在最终的3D存储器件中,假沟道柱130的上端未与布线层相连接,从而仅提供机械支撑作用,而没有用于形成选择晶体管和存储晶体管。

[0077] 优选地,在绝缘叠层结构中形成贯穿孔,以及在贯穿孔中形成导电通道141和绝缘衬里142。导电通道141穿过绝缘叠层结构,并且与绝缘叠层结构之间由绝缘衬里142彼此隔开。导电通道141的一端延伸至绝缘叠层结构下方的半导体衬底101中,到达公共源区,另一端将连接至布线层。

[0078] 如图6b所示,在绝缘叠层结构中,将牺牲层152替换成栅极导体121至123,形成栅叠层结构。

[0079] 在该步骤中,在绝缘叠层结构中形成栅线缝隙151(参见图2a),采用绝缘层102作为蚀刻停止层,经由栅线缝隙151通过蚀刻去除牺牲层152以形成空腔,以及采用金属层填充空腔以形成栅极导体121至123,其中,多个栅极导体121至123和绝缘层102交替堆叠。相应地,多个沟道柱110贯穿栅叠层结构。

[0080] 在形成栅线缝隙151时,可以采用各向异性蚀刻,例如采用干法蚀刻,如离子铣蚀刻、等离子蚀刻、反应离子蚀刻、激光烧蚀。例如,通过控制蚀刻时间,使得蚀刻在半导体衬底101的表面附近停止。在该实施例中,栅线缝隙151将栅极导体121至123分割成多条栅线。

[0081] 在形成空腔时,利用栅线缝隙151作为蚀刻剂通道,采用各向同性蚀刻去除绝缘叠层结构中的牺牲层152从而形成空腔。各向同性蚀刻可以采用选择性的湿法蚀刻或气相蚀刻。在湿法蚀刻中使用蚀刻溶液作为蚀刻剂,其中,将半导体结构浸没在蚀刻溶液中。在气相蚀刻中使用蚀刻气体作为蚀刻剂,其中,将半导体结构暴露于蚀刻气体中。

[0082] 在绝缘叠层结构中的绝缘层102和牺牲层152分别由氧化硅和氮化硅组成的情形下,在湿法蚀刻中可以采用磷酸溶液作为蚀刻剂,在气相蚀刻中可以采用C4F8、C4F6、CH2F2和O2中的一种或多种。在蚀刻步骤中,蚀刻剂充满栅线缝隙151。绝缘叠层结构中的牺牲层

152的端部暴露于栅线缝隙151的开口中,因此,牺牲层152接触到蚀刻剂。蚀刻剂由栅线缝隙151的开口逐渐向绝缘叠层结构的内部蚀刻牺牲层152。由于蚀刻剂的选择性,该蚀刻相对于绝缘叠层结构中的绝缘层102去除牺牲层152。

[0083] 在形成栅极导体121至123时,利用栅线缝隙151作为沉积物通道,采用原子层沉积(ALD),在栅线缝隙151和空腔中填充金属层。

[0084] 在该实施例中,金属层例如由钨组成。在原子层沉积中采用的前驱源例如是六氟化钨WF₆,采用的还原气体例如是硅烷SiH₄或乙硼烷B₂H₆。在原子层沉积的步骤中,利用六氟化钨WF₆与硅烷SiH₄的反应产物的化学吸附获得钨材料实现沉积过程。

[0085] 如图6c所示,在栅叠层结构上方,形成互连结构。

[0086] 该互连结构包括位于栅叠层结构上方的多个导电通道161、与多个导电通道161分别接触的多个接触焊盘162、位于多个接触焊盘162上的多个布线层164、位于多个布线层164上的多个外部焊盘165、以及在垂直于半导体衬底101的表面的方向上提供互连的导电通道163。

[0087] 在该步骤形成的半导体结构是存储单元阵列220,其中,栅叠层结构与沟道柱一起形成了选择晶体管和存储晶体管。在沟道柱110的中间部分,栅极导体121至123与沟道柱110内部的沟道层、隧穿介质层、电荷存储层和阻挡介质层一起,形成存储晶体管。在沟道柱110的两端,栅极导体121至123与沟道柱110内部的沟道层(或半导体层)和阻挡介质层一起,形成选择晶体管。

[0088] 栅叠层结构中的栅极导体121、122和123例如形成台阶状,用于提供导电通道161延伸到达相应的栅极导体的空间。存储单元阵列220的导电通道和布线层位于至少一个绝缘层102中。如上所述,在图中示出绝缘层102为单层,然而,绝缘层102可以实际上由多个层间绝缘层组成,包括用于隔开栅极导体121、122和123的多个层间绝缘层和用于隔开不同布线层的多个层间绝缘层。此外,接触焊盘162和外部焊盘165也可以位于单独的层间绝缘层上。

[0089] 进一步地,沟道柱110的第一端共同连接至半导体衬底101中的公共源区,沟道柱110的第二端经由导电通道161连接至接触焊盘162,然后经由导电通道和布线连接至相应的外部焊盘165。导电通道141的第一端延伸至半导体衬底101中的公共源区,第二端经由导电通道161连接至接触焊盘162,然后经由导电通道和布线连接至相应的外部焊盘165。

[0090] 存储单元阵列220的键合表面为绝缘层102的第一表面。在该步骤中,第一表面是暴露的自由表面。外部焊盘165的接触面在第一表面上露出。

[0091] 如图6d所示,在存储单元阵列220的绝缘层102表面形成凹槽103。

[0092] 在绝缘层102的第一表面上,例如,凹槽103位于外部焊盘165之间的区域中。优选地,凹槽103在绝缘层102的第一表面的长度方向或宽度方向上延伸,从绝缘层102的一个侧壁延伸至另一个侧壁,从而横向贯穿绝缘层102。

[0093] 在该步骤中,例如在绝缘层102的第一表面上形成光致抗蚀剂掩模,然后进行各向异性蚀刻,在绝缘层102中形成凹槽103。各向异性蚀刻可以采用干法蚀刻,如离子铣蚀刻、等离子蚀刻、反应离子蚀刻、激光烧蚀。例如,通过控制蚀刻时间,使得蚀刻在绝缘层102的表面内部一定距离处停止。在蚀刻之后通过在溶剂中溶解或灰化去除光致抗蚀剂掩模。

[0094] 如图6e所示,在半导体衬底201中形成CMOS电路的晶体管(未示出),以及在半导体

衬底201上形成互连结构。

[0095] 在该实施例中,半导体衬底201例如是单晶硅衬底。为了形成晶体管,在半导体衬底201中形成多个掺杂区。例如,半导体衬底201包括多个晶体管的源区和漏区。

[0096] 在该步骤形成的半导体结构是CMOS电路210,其中,在半导体衬底201中形成的多个晶体管的掺杂区经由互连结构提供外部电连接。

[0097] 互连结构包括位于半导体衬底201上的多个接触焊盘261、位于多个接触焊盘261上的多个布线层263、位于多个布线层263上的多个外部焊盘264、以及在垂直于半导体衬底201的表面的方向上提供互连的导电通道262。多个布线层260彼此之间、以及多个布线层260与接触焊盘261和外部焊盘264之间采用绝缘层202彼此隔开,并且采用绝缘层202中的导电通道262彼此电连接。

[0098] 如图6f所示,在CMOS电路210的绝缘层202表面形成凹槽203。

[0099] 在绝缘层202的第一表面上,例如,凹槽203位于外部焊盘264之间的区域中。优选地,凹槽203在绝缘层202的第一表面的长度方向或宽度方向上延伸,从绝缘层202的一个侧壁延伸至另一个侧壁,从而横向贯穿绝缘层202。

[0100] 在该步骤中,例如在绝缘层202的第一表面上形成光致抗蚀剂掩模,然后进行各向异性蚀刻,在绝缘层202中形成凹槽203。各向异性蚀刻可以采用干法蚀刻,如离子铣蚀刻、等离子蚀刻、反应离子蚀刻、激光烧蚀。例如,通过控制蚀刻时间,使得蚀刻在绝缘层202的表面内部一定距离处停止。在蚀刻之后通过在溶剂中溶解或灰化去除光致抗蚀剂掩模。

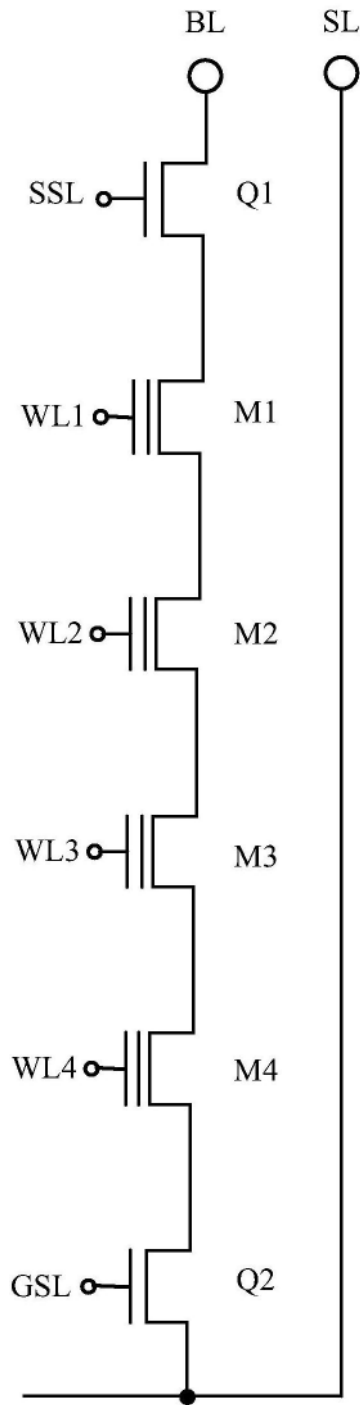
[0101] 如图6g所示,将CMOS电路210和存储单元阵列220彼此键合成3D存储器件200。

[0102] 在将CMOS电路210和存储单元阵列220彼此键合成3D存储器件200时,CMOS电路210的外部焊盘264和存储单元阵列220的外部焊盘165彼此接触,从而实现CMOS电路210与存储单元阵列220之间的电连接。

[0103] 在CMOS电路210和存储单元阵列220至少之一的键合表面形成有凹槽203和103。凹槽203和103在CMOS电路210和存储单元阵列220的键合表面上横向延伸,例如具有大致矩形或梯形的截面形状。在CMOS电路210和存储单元阵列220彼此键合形成的3D存储器件200中,凹槽203和103与外界环境连通,从而在CMOS电路和存储单元阵列之间提供散热路径。

[0104] 在以上的描述中,对于各层的构图、蚀刻等技术细节并没有做出详细的说明。但是本领域技术人员应当理解,可以通过各种技术手段,来形成所需形状的层、区域等。另外,为了形成同一结构,本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。另外,尽管在以上分别描述了各实施例,但是这并不意味着各个实施例中的措施不能有利地结合使用。

[0105] 以上对本发明的实施例进行了描述。但是,这些实施例仅仅是为了说明的目的,而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围,本领域技术人员可以做出多种替代和修改,这些替代和修改都应落在本发明的范围之内。



100

图1a

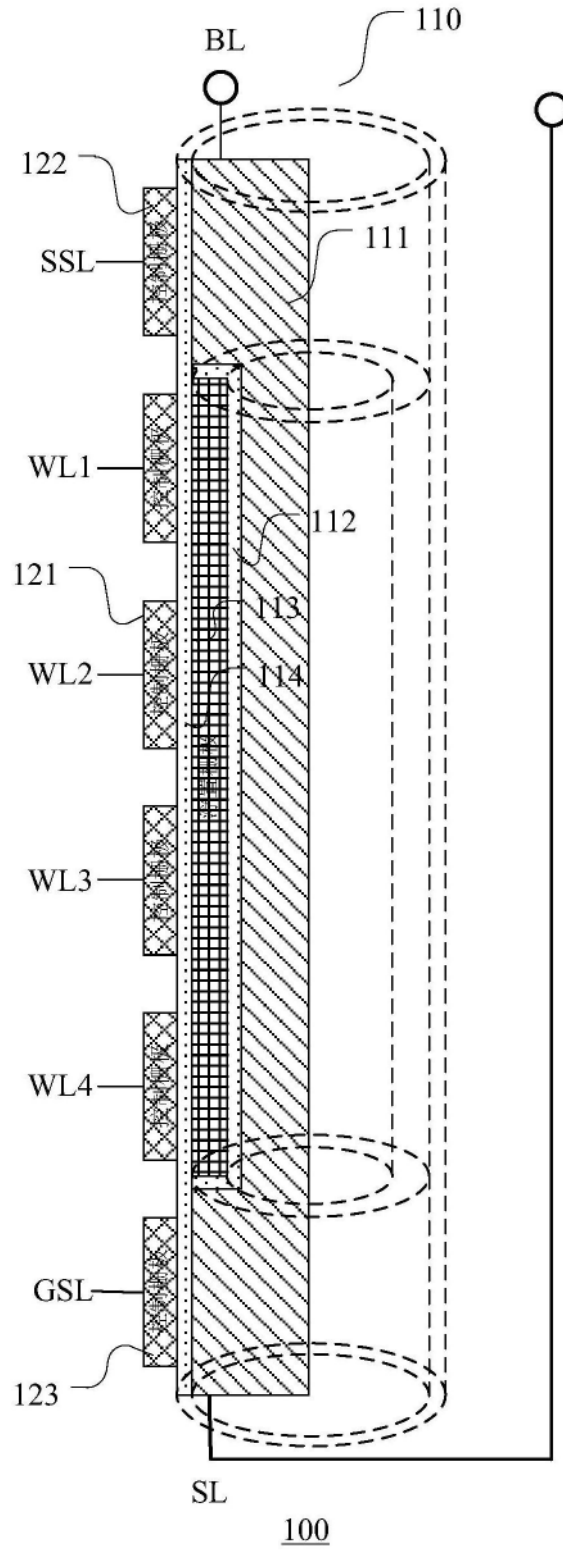


图1b

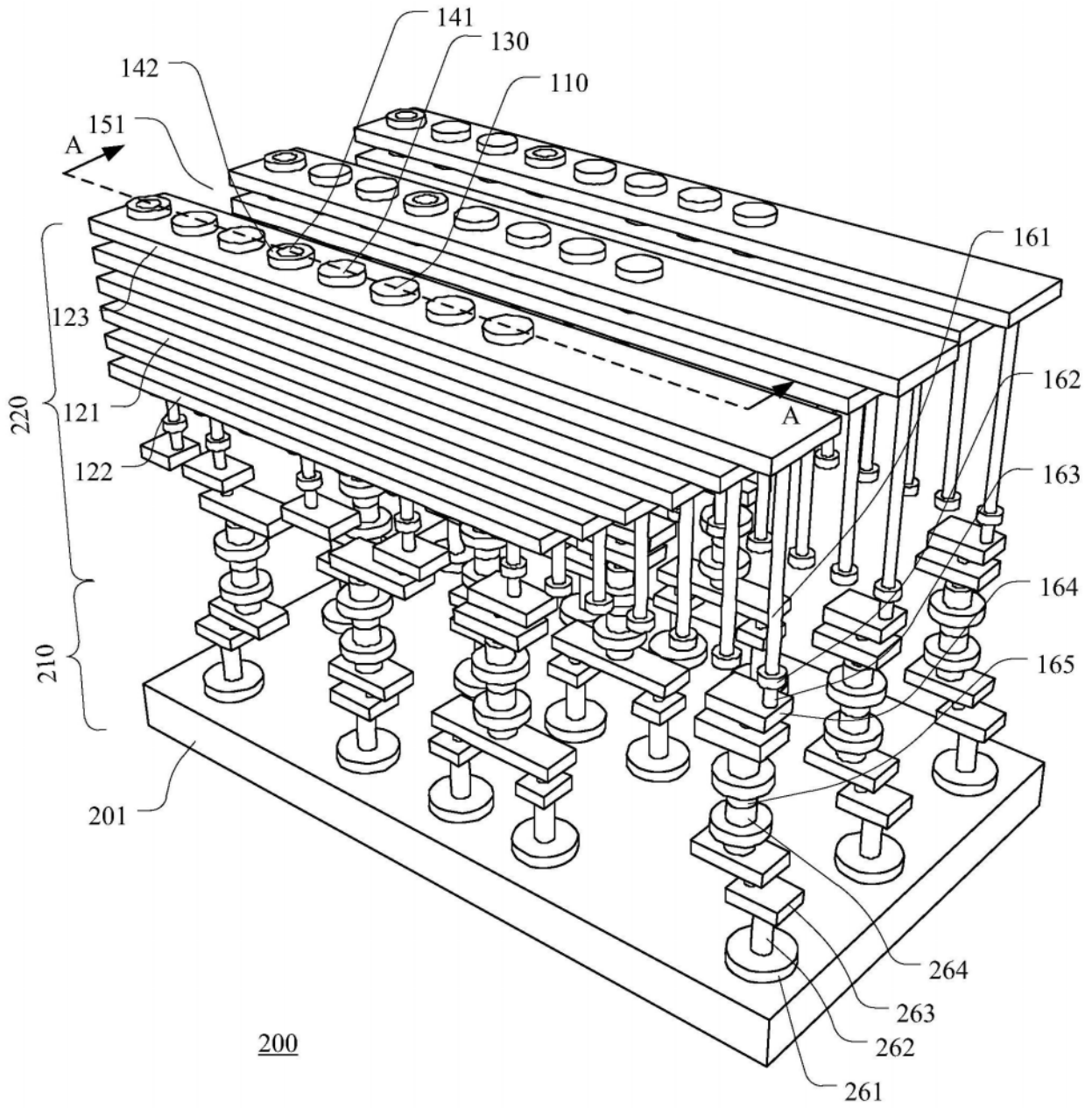


图2a

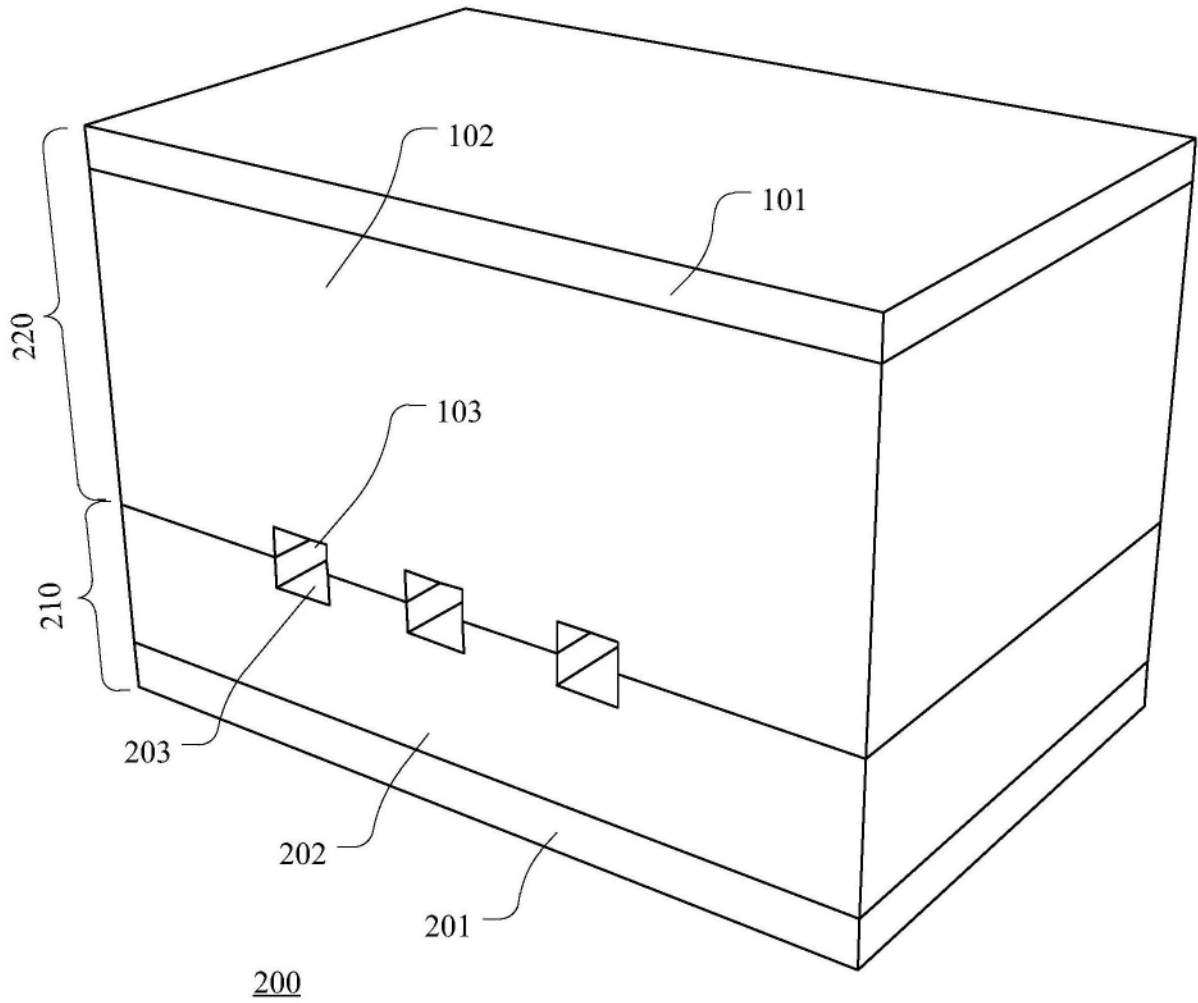


图2b

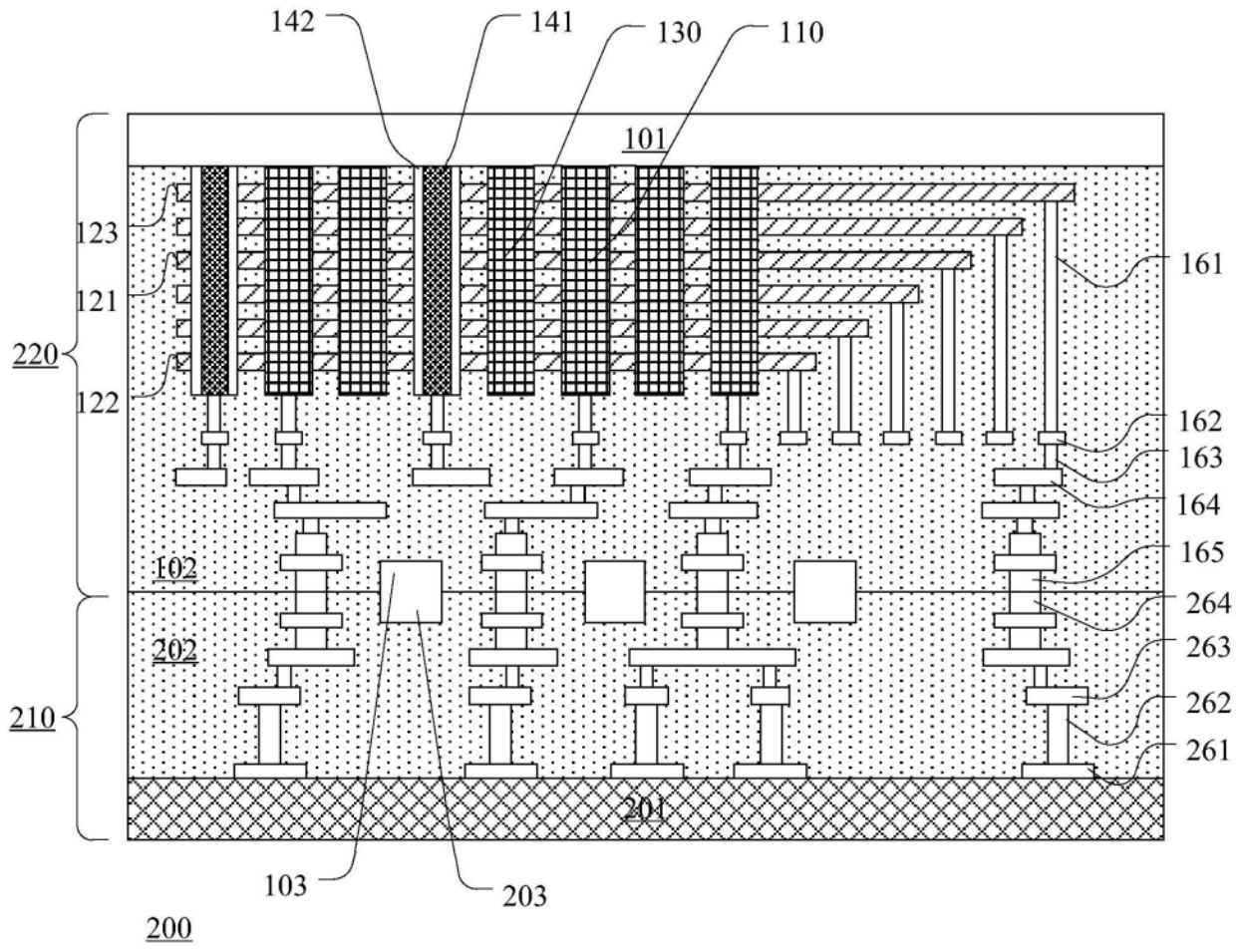


图3

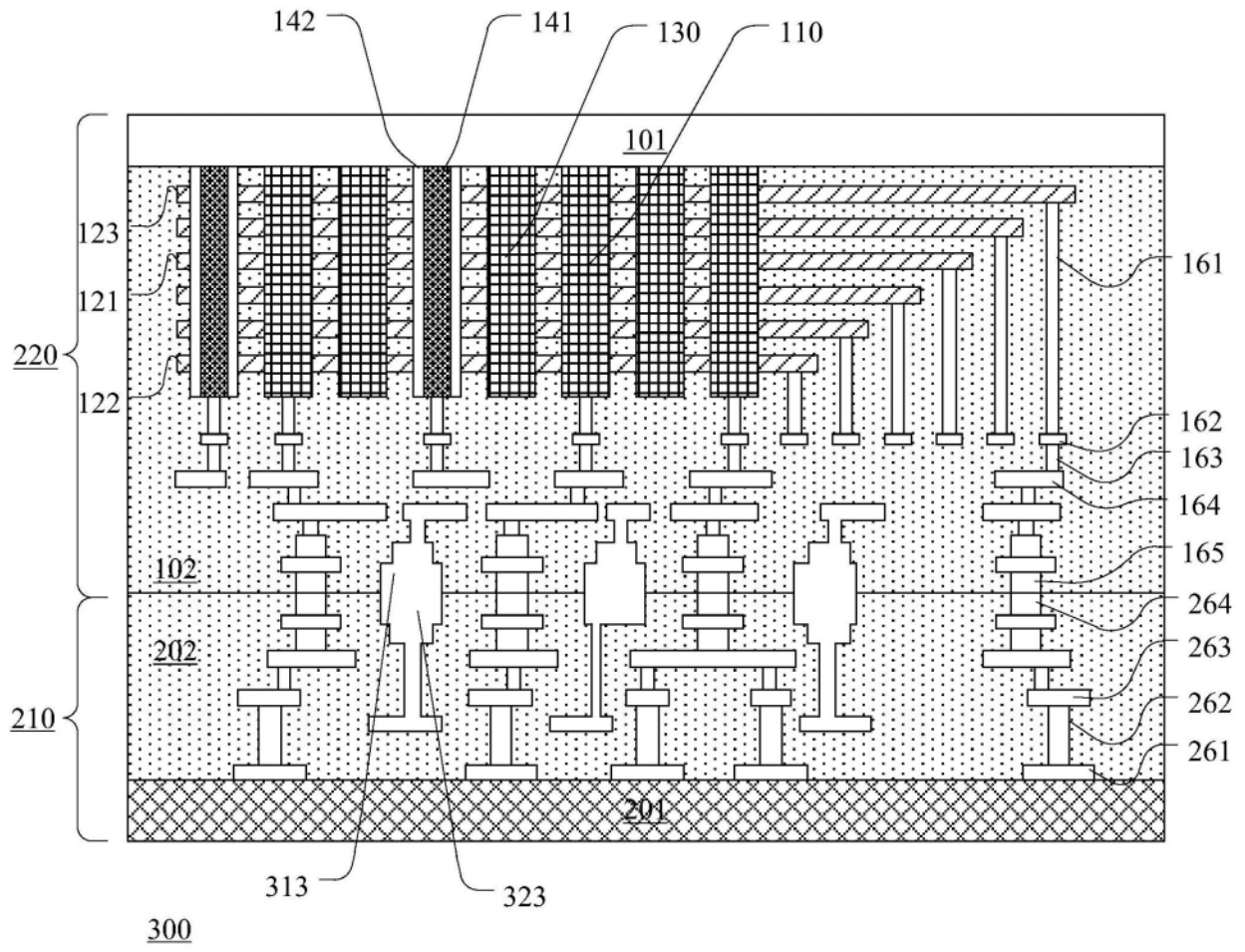


图4

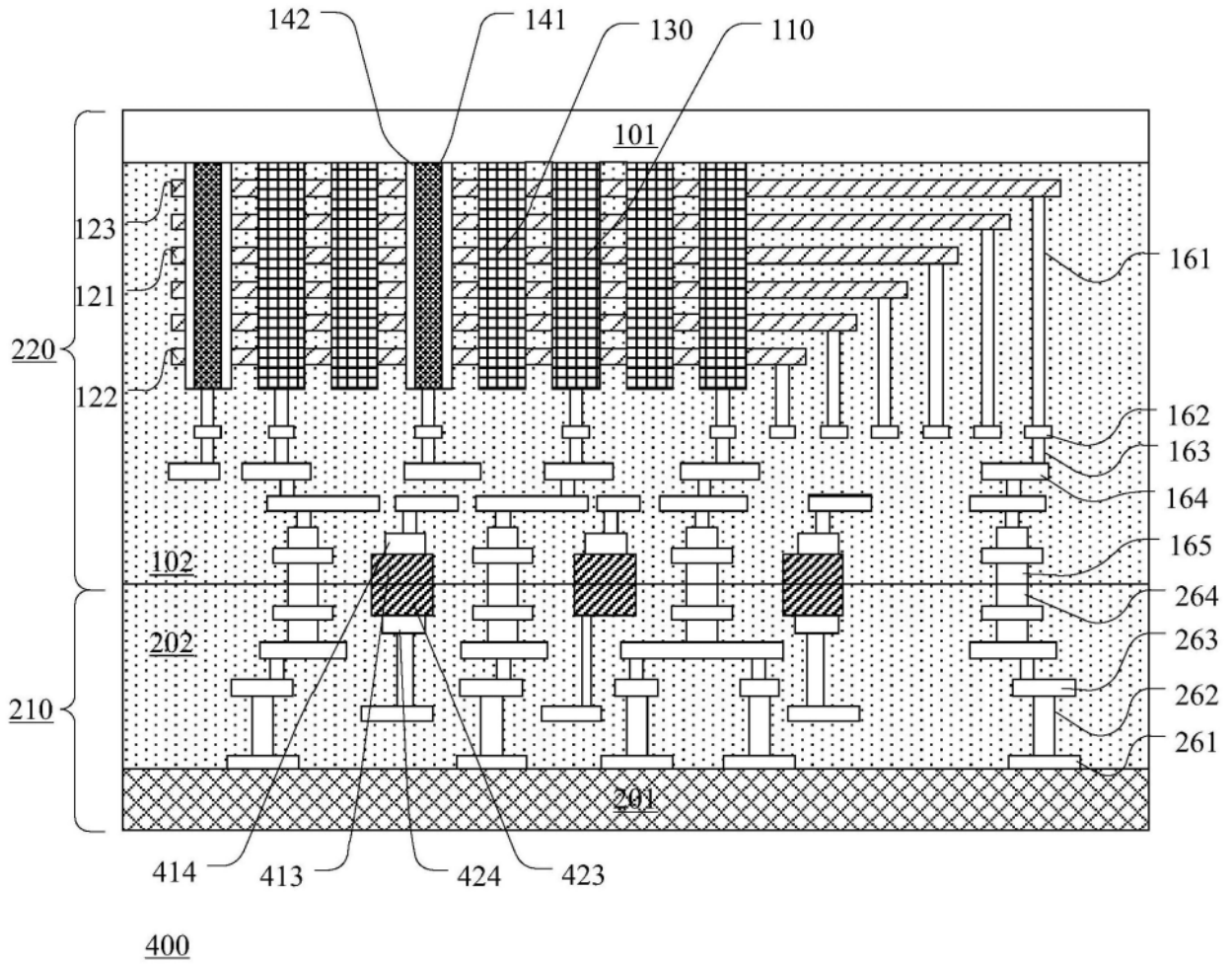


图5

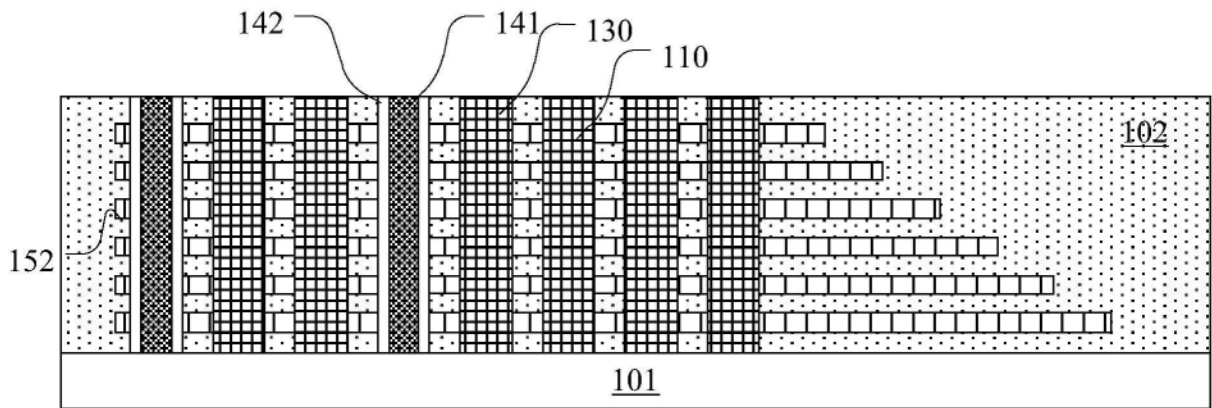


图6a

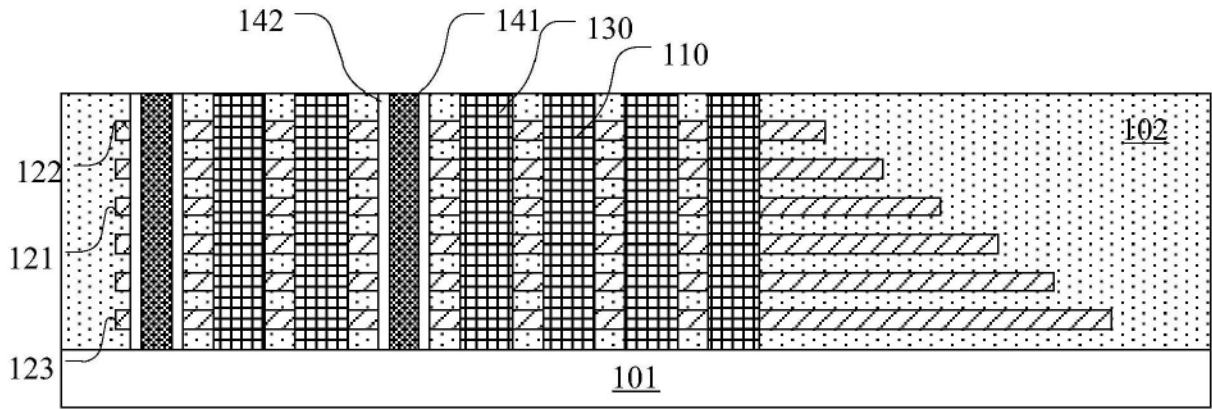


图6b

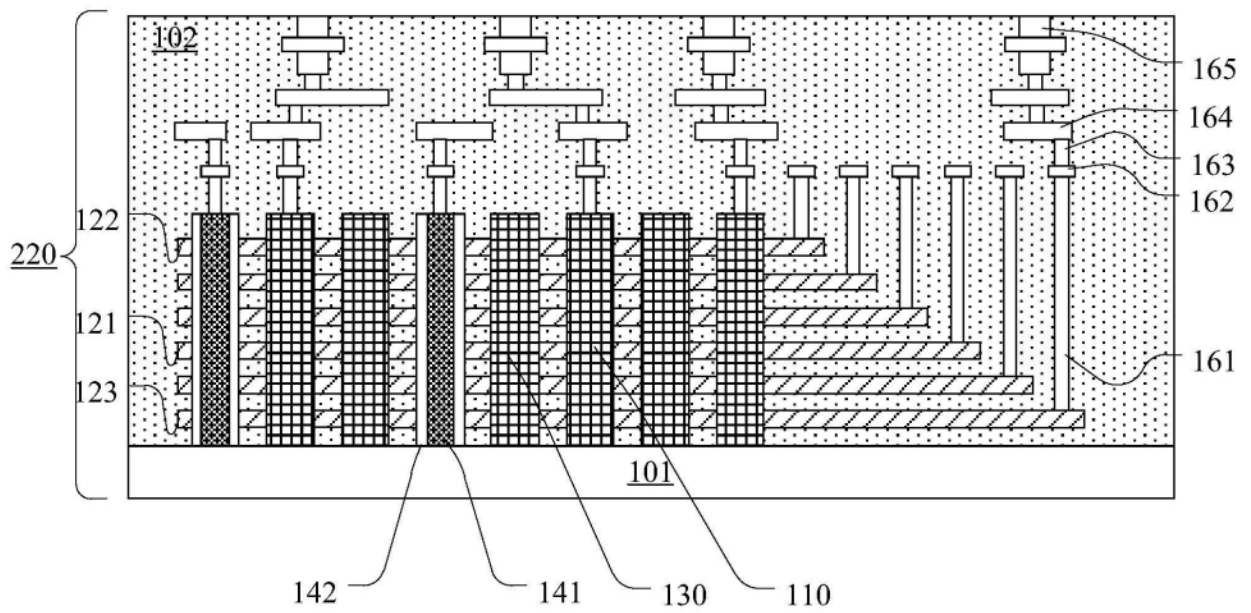


图6c

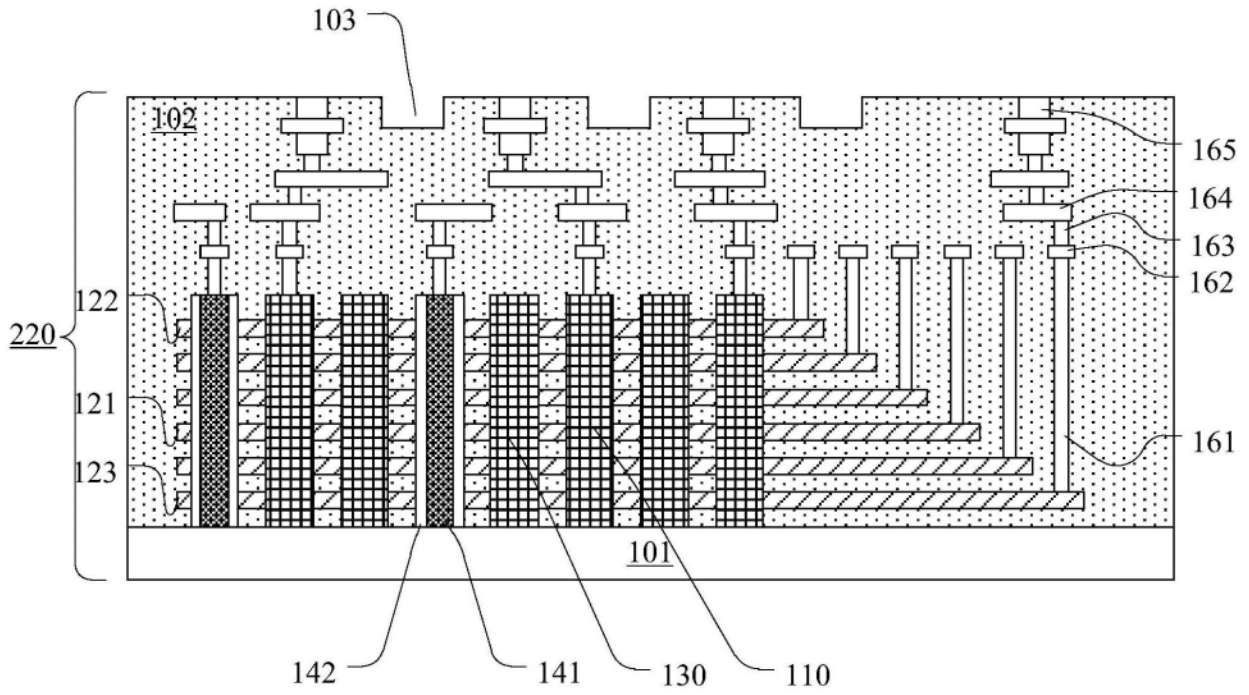


图6d

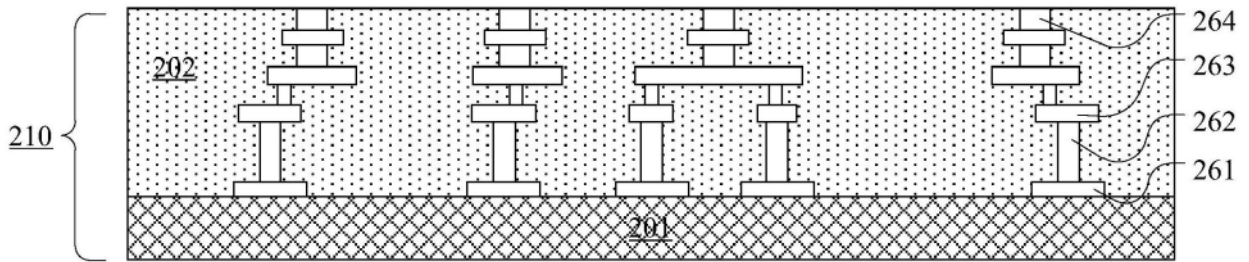


图6e

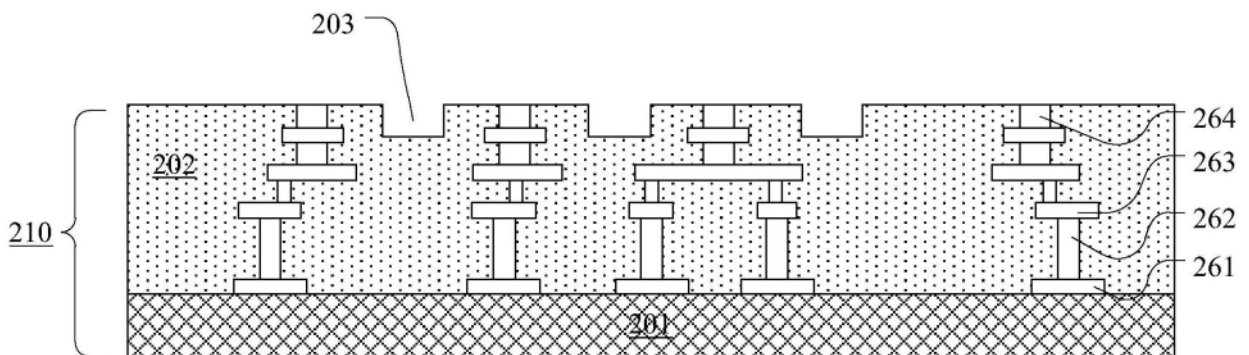


图6f

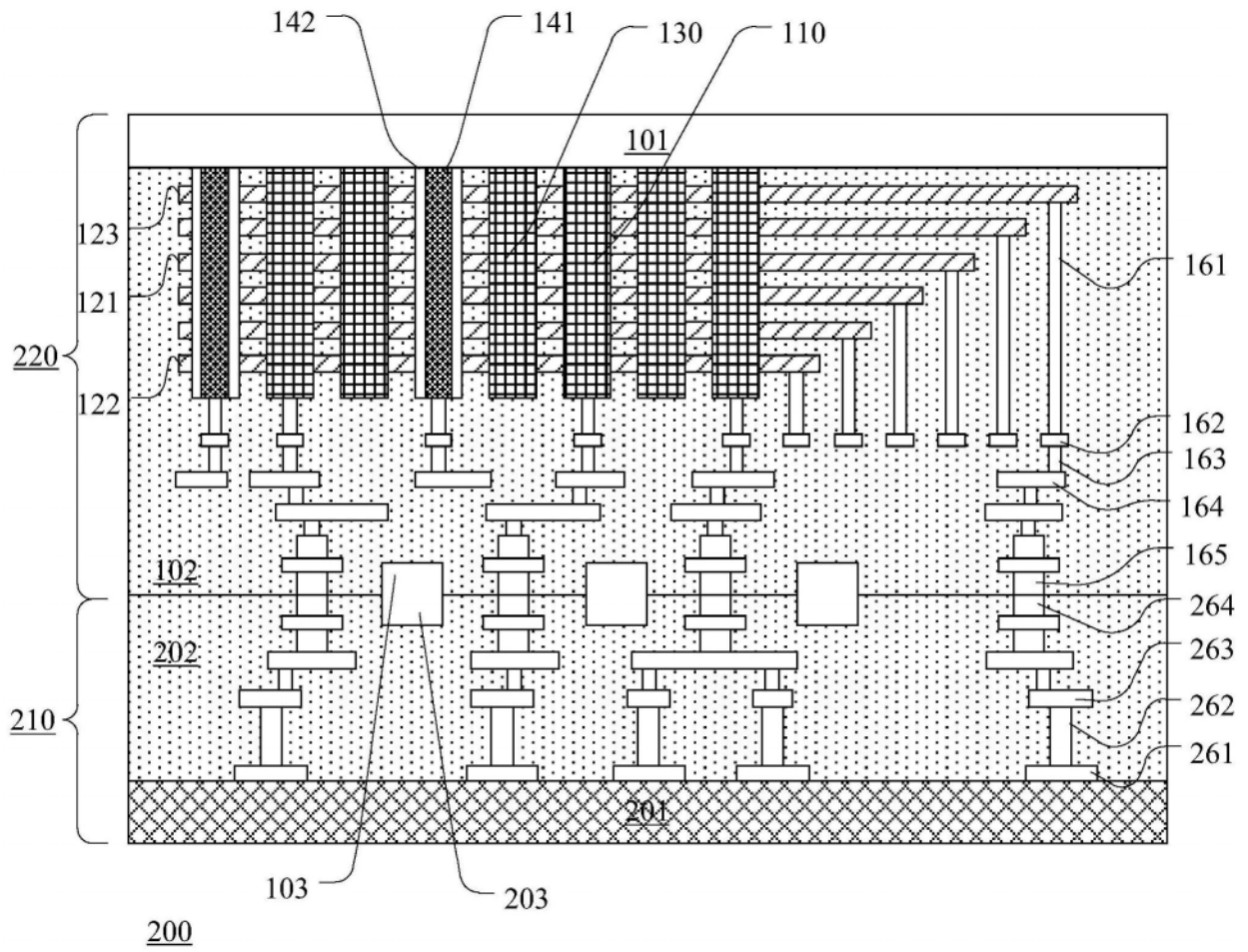


图6g