

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-129169

(P2004-129169A)

(43) 公開日 平成16年4月22日(2004.4.22)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
H03L 7/089	H03L 7/08	5J039
H03K 5/26	H03K 5/26	5J106
H03L 7/093	H03K 5/26	P
H03L 7/197	H03L 7/08	E
	H03L 7/18	A

審査請求 未請求 請求項の数 24 O L (全 30 頁)

(21) 出願番号 特願2002-294321 (P2002-294321)  
 (22) 出願日 平成14年10月7日 (2002.10.7)

(71) 出願人 399048294  
 米谷 昭彦  
 愛知県豊田市梅坪町2丁目7番地1号 カサヴェルデ301

(72) 発明者 米谷 昭彦  
 愛知県豊田市梅坪町2丁目7番地1 カサヴェルデ301

Fターム(参考) 5J039 JJ08 JJ14 JJ15 KK09 KK10  
 KK16 KK20 KK23  
 5J106 AA04 CC01 CC24 CC41 CC53  
 DD08 DD17 DD32 DD43 DD48  
 EE19 GG04 GG15 JJ02 KK26  
 LL02 PP03 QQ02 QQ08 QQ09  
 SS01

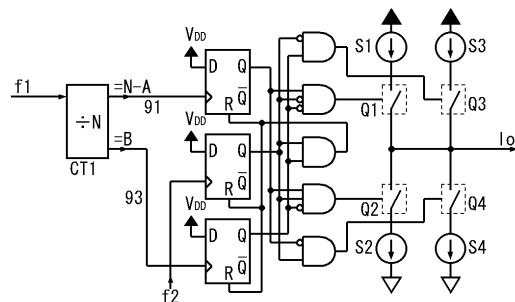
(54) 【発明の名称】 ゼロクロス歪フリー位相比較器およびそれを用いたPLL制御方式

(57) 【要約】

【課題】従来の位相比較器においては、位相差が0付近における入出力特性の線形性が十分によくなく、そのため分数PLLや - 技術を用いた非整数PLLに用いるとスプリアスの低減が十分でないといった問題をもっていた。また、分数PLLにおいては、位相比較器にオフセットを精度良く持たせることが容易ではなかった。

【解決手段】本発明では、位相差が0付近においても、チャージポンプが電流の吐き出しと吸い込みを両方ともある程度の時間動作させることにより、内部遅延に起因する位相比較器の非線形性を排除している。また、チャージポンプの吐き出しと吸い込みの電流の値や動作を行なう時間を変動させることにより、位相比較器にオフセットを精度良く持たせることを可能にし、分数PLL動作を実現する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 の信号の位相と第 2 の信号の位相を比較する位相比較器において、第 1 の信号が第 1 の位相に到達したことを検出する手段と第 1 の信号が第 2 の位相に到達したことを検出する手段と第 2 の信号が第 3 の位相に到達したことを検出する手段を持ち、第 1 の信号が第 1 の位相に到達してから第 1 の信号が第 2 の位相に到達するまでの間に第 2 の信号が第 3 の位相に到達したとき、前記位相比較器の出力は、第 1 の信号が第 1 の位相に到達してから第 2 の信号が第 3 の位相に到達するまでは第 1 の値の信号を出力し、第 2 の信号が第 3 の位相に達してから第 1 の入力第 2 の位相に達するまで第 2 の値の信号を出力し、その他の期間においてはゼロの値の信号を出力し、第 1 の信号が第 2 の位相に達してから第 1 の位相に達するまでの時間がゼロではないことを特徴とする多相信号を用いたゼロクロス歪フリー位相比較器。

10

## 【請求項 2】

請求項 1 の位相比較器において、第 1 の信号の第 1 の位相と第 2 の位相は等しくなく、第 1 の信号が第 2 の位相に到達してから第 1 の信号が第 1 の位相に到達する間に第 2 の信号が第 3 の位相に到達した場合において、第 2 の信号が第 3 の位相に到達してから第 1 の信号が第 1 の位相に到達するまで前記位相比較器の出力は第 3 の値の信号を出力する、または、第 1 の信号が第 2 の位相に到達してから第 2 の信号が第 3 の信号に到達するまで前記位相比較器の出力は第 4 の値の信号を出力することを特徴とするゼロクロス歪フリー位相比較器。

20

## 【請求項 3】

請求項 1 または請求項 2 に記載の位相比較器に対して、前記位相比較器の出力信号の平均がゼロであるときの前記出力信号を正負反転させた信号を前記位相比較器の出力に重畳することを特徴とするゼロクロス歪フリー位相比較器。

## 【請求項 4】

請求項 1 または請求項 2 または請求項 3 に記載の位相比較器と電圧制御発振器を有し、基準周波数信号を入力信号として持つ PLL 装置における PLL 制御方式において、第 1 の信号を前記基準周波数信号に係る信号とし、第 2 の信号を前記電圧制御発振器の出力信号に係る信号とすることを特徴とするゼロクロス歪フリー位相比較器を用いた PLL 制御方式。

30

## 【請求項 5】

請求項 1 または請求項 2 または請求項 3 に記載の位相比較器と電圧制御発振器を有し、基準周波数信号を入力信号として持つ PLL 装置における PLL 制御方式において、第 1 の信号を前記電圧制御発振器の出力信号に係る信号とし、第 2 の信号を前記基準周波数信号に係る信号とすることを特徴とするゼロクロス歪フリー位相比較器を用いた PLL 制御方式。

## 【請求項 6】

請求項 1 または請求項 2 または請求項 3 に記載の位相比較器において、第 1 の信号は第 3 の信号を第 1 のカウンタにより分周された信号であり、第 1 の信号が第 1 の位相に到達した事象の検知を第 1 のカウンタの値が第 1 の計数値になったことを検出することにより行ない、第 1 の信号が第 2 の位相に到達した事象の検知を第 1 のカウンタの値が第 2 の計数値になったことを検出することにより行なうことを特徴とするゼロクロス歪フリー位相比較器。

40

## 【請求項 7】

請求項 6 に記載の位相比較器と電圧制御発振器を有し、基準周波数信号を入力信号として持つ PLL 装置における PLL 制御方式において、第 1 の信号を前記電圧制御発振器の出力信号に係る信号とし、第 2 の信号を前記基準周波数信号に係る信号とし、前記位相比較器の出力信号における第 1 の値と第 2 の値の比を予め定められた値とし、第 1 のカウンタの分周数および第 1 の計数値および第 2 の計数値を必要に応じて予め設定した値に対して逐次変化させることにより前記位相比較器の位相オフセットを逐次変化させ、分数 PLL

50

動作を実現することを特徴とするゼロクロス歪フリー位相比較器を用いたPLL制御方式。

【請求項 8】

第1の信号の位相と第2の信号の位相を比較する位相比較器において、第1の信号が第1の位相に到達したことを検出する手段と第1の信号が第2の位相に到達したことを検出する手段と第2の信号が第3の位相に到達したことを検出する手段と第2の信号が第4の位相に到達したことを検出する手段を持ち、第1の信号が第1の位相に到達してから第1の信号が第2の位相に到達するまでの間に第2の信号が第3の位相に到達しかつ第1の信号が第1の位相に到達してから第2の信号が第3の位相に到達するまでの間に第2の信号が第4の位相に到達することがない場合、または、第2の信号が第3の位相に到達してから第2の信号が第4の位相に到達するまでの間に第1の信号が第1の位相に到達しかつ第2の信号が第3の位相に到達してから第1の信号が第1の位相に到達するまでの間に第1の信号が第2の位相に到達することがない場合、前記位相比較器の出力は、第1の信号が第1の位相に到達してから第2の信号が第4の位相に到達するまでは第1の値の信号を出力に重畳し、第2の信号が第3の位相に達してから第1の入力が第2の位相に達するまで第2の値の信号を出力に重畳し、その他の期間においてはゼロの値の信号を出力し、第1の信号の第1の位相と第2の位相は等しくなく、第2の信号の第3の位相と第4の位相は等しくなく、第1の信号が第2の位相に達してから第1の位相に達するまでの時間がゼロではなく、第2の信号が第4の位相に達してから第3の位相に達するまでの時間がゼロではないことを特徴とするゼロクロス歪フリー位相比較器。

10

20

【請求項 9】

請求項 8 に記載の位相比較器と電圧制御発振器を有し、基準周波数信号を入力信号として持つPLL装置におけるPLL制御方式において、第1の信号を前記基準周波数信号に係る信号とし、第4の信号を前記電圧制御発振器の出力信号に係る信号とし、前記位相比較器の出力信号における第1の値と第2の値の比を予め定められた値とし、前記位相比較器において第2の信号は第4の信号を第2のカウンタにより分周することにより生成され、第2の信号が第3の位相に到達したことを第2のカウンタの値が第3の計数値に等しくなったことを検出することにより検出し、第2の信号が第4の位相に到達したことを第2のカウンタの値が第4の計数値に等しくなったことを検出することにより検出し、第2のカウンタの分周数および第3の計数値および第4の計数値を必要に応じて予め設定した値に対して逐次変化させることにより前記位相比較器の位相オフセットを逐次変化させ、分数PLL動作を実現することを特徴とするゼロクロス歪フリー位相比較器を用いたPLL制御方式。

30

【請求項 10】

請求項 7 または請求項 9 に記載のPLL制御方式において、前記位相比較器の出力信号における第1の値と第2の値の比を1対-1とすることにより2をモジュロとする分数PLL動作を実現することを特徴とするゼロクロス歪フリー位相比較器を用いたPLL制御方式。

【請求項 11】

請求項 7 または請求項 9 に記載の分数PLL制御方式において、前記位相比較器の出力における第1の値と第2の値の比を3対-5または5対-3とし、モジュロの値を8とする分数PLL動作を実現することを特徴とするゼロクロス歪フリー位相比較器を用いたPLL制御方式。

40

【請求項 12】

請求項 7 または請求項 9 に記載の分数PLL制御方式において、前記位相比較器の出力における第1の値と第2の値の比を7対-9または9対-7とし、モジュロの値を16とする分数PLL動作を実現することを特徴とするゼロクロス歪フリー位相比較器を用いたPLL制御方式。

【請求項 13】

請求項 7 または請求項 9 または請求項 10 または請求項 11 または請求項 12 記載の分数

50

PLL動作を行なうPLL制御方式において、前記位相比較器の出力における第1の値と第2の値の比を調節する手段と、前記位相比較器の出力の1周期にわたる平均値に係る量を検出する手段を持ち、該PLL装置に整数PLL動作をさせながら互いに等価となる第1の計数値と第2の計数値の異なる組み合わせを交互に設定し、その際の前記検出した量の信号を基に前記位相比較器の出力における第1の値と第2の値の比をキャリブレーションする機能を有することを特徴とするPLL制御方式。

【請求項14】

請求項7または請求項9または請求項10または請求項11または請求項12記載の分数PLL動作を行なうPLL制御方式において、前記位相比較器の出力における第1の値と第2の値の比を調節する手段と、前記位相比較器の出力の1周期にわたる平均値に係る量 10  
を検出する手段と、前記検出した量と予め計算されたパターンとの内積をモジュロの値の整数倍の第1の信号の周期にわたってとる手段を持ち、前記内積の値または前記内積の値の符号に基づいて前記位相比較器の出力における第1の値と第2の値の比をキャリブレーションする機能を有するPLL制御方式。

【請求項15】

PLL制御方式において、請求項7に記載のPLL制御方式に対して、第1のカウンタの値が第5の計数値になってから第1のカウンタの値が第6の計数値になるまでの間に第2の信号が第3の位相に到達したときにおいて、第1のカウンタの値が第5の計数値になってから第2の信号が第3の位相に到達するまでの間、前記位相比較器の出力に対しある値を重畳する手段、または第1のカウンタの値が第5の計数値になってから第1のカウンタ 20  
の値が第6の計数値になるまでの間に第2の信号が第3の位相に到達したときにおいて、第2の信号が第3の位相に到達してから第1のカウンタの値が第6の計数値になるまでの間、前記位相比較器の出力に対しある値を重畳する手段、またはこれら2種類の手段を、一つまたは複数付加することを特徴とするPLL制御方式。

【請求項16】

PLL制御方式において、請求項9に記載のPLL制御方式に対して、第2の信号が第7の計数値になってから第1の信号が第2の位相に到達するまでの間、前記位相比較器の出力に対しある値を重畳する手段、または第1の信号が第1の位相に到達してから第2のカウンタの値が第7の計数値になるまでの間、前記位相比較器の出力に対しある値を重畳する手段、またはこれら2種類の手段を、一つまたは複数付加することを特徴とするPLL 30  
制御方式。

【請求項17】

請求項15または請求項16に記載のPLL制御方式において、前記位相比較器の出力信号の第1の値、第2の値、および前記位相比較器に重畳される一つまたは複数の信号の値である合計3つ以上の信号の値について、それらの信号の数を $n$ としたとき、それらの信号の絶対値の比が、 $2^0$ 、 $2^0$ 、 $2^1$ 、 $\dots$ 、 $2^{n-2}$ とすることを特徴とするゼロクロス歪フリー位相比較器を用いたPLL制御方式。

【請求項18】

分数PLL動作を実現するPLL制御方式において、請求項1に記載のM個の位相比較器とそれらの位相比較器の出力信号を合成する手段と電圧制御発振器を有し、基準周波数信号を入力信号として持ち、第1の信号を前記基準周波数信号に係る信号とし、第2の信号を前記電圧制御発振器の出力信号を分周した信号とし、それぞれの前記位相比較器に対する第2の信号の第3の位相を、互いに前記電圧制御発振器の出力信号のP周期（Pは自然数）ずれた位相である第5の位相と第6の位相の2種類とし、必要に応じてM個の前記位相比較器のうち必要な数だけの前記位相比較器に対して第3の位相として第5の位相を適用し、残りの前記位相比較器に対しては第3の位相として第6の位相を適用することを特徴とするゼロクロス歪フリー位相比較器を用いたPLL制御方式。

【請求項19】

分数PLL動作を実現するPLL制御方式において、請求項6に記載のM個の位相比較器とM個の前記位相比較器の出力信号を合成する手段と電圧制御発振器を有し、基準周波数 50

信号を入力信号として持ち、第1の信号を前記電圧制御発振器の出力信号に係る信号とし、第2の信号を前記基準周波数信号に係る信号とし、それぞれの前記位相比較器に対する第1の信号の第1の位相を、互いに前記電圧制御発振器の出力信号のP周期（Pは自然数）ずれた位相である第7の位相と第8の位相の2種類とし、それぞれの前記位相比較器に対する第1の信号の第2の位相を、互いに前記電圧制御発振器の出力信号のP周期ずれた位相である第9の位相と第10の位相である2種類とし、逐次必要に応じてM個の前記位相比較器のうちいくつかの前記位相比較器に対して第1の位相として第7の位相を適用し、第2の位相として第9の位相を適用し、残りの前記位相比較器に対しては第1の位相として第8の位相を適用し、第2の位相として第10の位相を適用し、M個の前記位相比較器とM個の前記位相比較器の出力信号を合成する手段とからなる一つの位相比較器の位相オフセットを逐次変化させることにより分数PLL動作を実現することを特徴とするゼロクロス歪フリー位相比較器を用いたPLL制御方式。

10

**【請求項20】**

分数PLL動作を実現するPLL制御方式において、請求項6に記載のM個の位相比較器とM個の前記位相比較器の位相比較器の出力信号を合成する手段と電圧制御発振器を有し、基準周波数信号を入力信号として持ち、第1の信号を前記電圧制御発振器の出力信号に係る信号とし、第2の信号を前記基準周波数信号に係る信号とし、それぞれの前記位相比較器に対する第1の信号の第1の位相を、互いに前記電圧制御発振器の出力信号のP周期（Pは自然数）ずれた位相である第7の位相と第8の位相の2種類とし、それぞれの前記位相比較器に対する第1の信号の第2の位相を、互いに前記電圧制御発振器の出力信号のP周期ずれた位相である第9の位相と第10の位相である2種類とし、逐次必要に応じてM個の前記位相比較器のうちいくつかの前記位相比較器に対して第1の位相として第7の位相を適用し、残りの前記位相比較器に対しては第1の位相として第8の位相を適用し、M個の前記位相比較器のうちいくつかの前記位相比較器に対して第2の位相として第9の位相を適用し、残りの前記位相比較器に対しては第2の位相として第10の位相を適用し、M個の前記位相比較器とM個の前記位相比較器の出力信号を合成する手段とからなる一つの位相比較器の位相オフセットを逐次変化させることにより分数PLL動作を実現することを特徴とするゼロクロス歪フリー位相比較器を用いたPLL制御方式。

20

**【請求項21】**

非整数PLL動作を実現するPLL制御方式において、請求項6に記載の第1の位相比較器と第2の位相比較器と、第1の位相比較器と第2の位相比較器の位相比較器の出力信号を合成する手段と、電圧制御発振器を有し、基準周波数信号を入力信号として持ち、第1の位相比較器と第2の位相比較器について、第1の信号を前記基準周波数信号に係る信号とし、第2の信号を前記電圧制御発振器の出力信号に係る信号とし、第1の位相比較器と第2の位相比較器に対する第2の信号の第3の位相を互いに前記電圧制御発振器の出力信号のP周期（Pは自然数）ずれた位相とし、第1の位相比較器の出力信号の第1の値と第2の値の比を保ちながら第1の位相比較器の出力信号の第1の値と第2の値を変化させる手段と、第2の位相比較器の出力信号の第1の値と第2の値の比を保ちながら第2の位相比較器の出力信号の第1の値と第2の値を変化させる手段を持ち、第1の位相比較器の出力信号の第1の値と第2の位相比較器の出力信号の第1の値の比を逐次必要な値に設定することにより、第1の位相比較器、第2の位相比較器、第1の位相比較器と第2の位相比較器の位相比較器の出力信号を合成する手段とからなる一つの位相比較器の位相オフセットを逐次変化させ、非整数PLL動作を実現することを特徴とするゼロクロス歪フリー位相比較器を用いたPLL制御方式。

30

40

**【請求項22】**

非整数PLL動作を実現するPLL制御方式において、請求項6に記載の第3の位相比較器と第4の位相比較器と、第3の位相比較器と第4の位相比較器の出力信号を合成する手段と、電圧制御発振器を有し、基準周波数信号を入力信号として持ち、第3の位相比較器と第4の位相比較器について、第1の信号を前記電圧制御発振器の出力信号に係る信号とし、第2の信号を前記基準周波数信号に係る信号とし、それぞれの前記位相比較器に対す

50

る第1の信号の第1の位相を、第11の位相および第11の位相から前記電圧制御発振器の出力信号のP周期（Pは自然数）遅れた位相である第12の位相とし、それぞれの前記位相比較器に対する第1の信号の第2の位相を、第13の位相および第13の位相から前記電圧制御発振器の出力信号のP周期遅れた位相である第14の位相とし、第3の位相比較器の出力信号の第1の値と第2の値の比を保ちながら第3の位相比較器の出力信号の第1の値と第2の値を変化させる手段と、第4の位相比較器の出力信号の第1の値と第2の値の比を保ちながら第4の位相比較器の出力信号の第1の値と第2の値を変化させる手段を持ち、第3の位相比較器の出力信号の第1の値と第4の位相比較器の出力信号の第1の値の比を逐次必要な値に設定することにより、第3の位相比較器、第4の位相比較器、第3の位相比較器と第4の位相比較器の位相比較器の出力信号を合成する手段からなる一つの位相比較器の位相オフセットを逐次変化させ、非整数PLL動作を実現することを特徴とするゼロクロス歪フリー位相比較器を用いたPLL制御方式。

10

#### 【請求項23】

請求項6に記載の位相比較器において、前記位相比較器の出力における第1の値および第2の値を外部から随時設定可能とし、第1の値と第2の値の比を変えることにより前記位相比較器の位相オフセットを可変させる機能を有することを特徴とするゼロクロス歪フリー位相比較器。

#### 【請求項24】

非整数PLL動作を実現するPLL制御方式において、請求項21に記載の位相比較器を用いることにより非整数PLL動作を実現することを特徴とするゼロクロス歪フリー位相比較器を用いたPLL制御方式。

20

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、指定した周波数の信号を発生させるのに用いるPLLおよびそのPLLに用いる位相比較器に関するものである。

##### 【0002】

##### 【従来の技術】

【特許文献1】特開平05-069658号公報

【特許文献2】特開平08-046498号公報

30

【特許文献3】特開2000-005873号公報

【特許文献4】特開2002-223164号公報

【非特許文献1】United States Patent 6,141,394

【非特許文献2】United States Patent 6,236,703

【非特許文献3】United States Patent 6,308,049

【非特許文献4】United States Patent 6,407,643

##### 【0003】

従来の技術においては、PLLにおける位相比較器として、図35に示すものが使われてきた。しかし、この方式の位相比較器では、位相の比較を行う二つの信号の位相差が小さいときのゼロクロス歪が生じていた。これは、片方の信号の位相が他方より進んでいるときは、対になっているチャージポンプの片方のみが動作し、その逆のときはチャージポンプの他方のみが動作するようになっているので、二つの信号の位相差が小さいときには、両方のチャージポンプが瞬時的に同時に動作したり、どちらのチャージポンプが働かないようなデッドバンドを持ってしまうからである。この様子を図36に示す。しかし、手法を用いて分数PLLを実現しようとする場合、この位相比較器の非線形性により、発生させる信号のスプリアスをあまり抑制できないといった問題を発生させてしまっていた。

40

##### 【0004】

また、場合によっては、分数PLLを実現させたいが、手法を用いることが適当でない場合などもある。このような場合、従来は電流注入法が用いられたり、DLL（遅延

50

ループロック)により多相信号を発生させる方法が用いられたりしてきた。しかし、電流注入法では、位相のずれを補償するための精度のよい電流注入が容易でないといった問題がある。また、DLLを用いた方法では、位相の精度の高い多相信号の生成が容易でないといった問題がある。どちらの方法にしても、扱う周波数が高くなるほどこれらの問題は顕著となる。

【0005】

【発明が解決しようとする課題】

本発明は、PLLにおける位相比較器の線形性を高めることを目的とする。すなわち、位相比較器の出力が二つの入力信号の位相差に精度良く比例するようにすることを目指す。

【0006】

また、分数PLLを実現するための精度の高い位相比較器を実現することを目的とする。すなわち、位相比較器の二つの入力信号と出力信号の関係において、入力信号位相差に精度良くオフセットを持たせることを目指す。

【0007】

【課題を解決するための手段】

位相比較器の線形性を高めるための手段として、1対のチャージポンプの両方が作動する二つの信号の位相差の範囲を広げることにより、二つの信号の位相差が小さいときの位相比較器の線形性を高くする。1対のチャージポンプの両方が作動する二つの信号の位相差の範囲を、そのどちらかの信号を得るために用いるカウンタを用いて設定することにより、その位相差の範囲を適切な値に容易に設定することができる。

【0008】

また、チャージポンプの出力の値を適切に設定し、上記の位相差の範囲を変化させることにより、位相比較器の入力信号位相差に対してオフセットを変化させることが可能になり、このことを用いて分数PLLを実現する。

【0009】

また、位相比較器とチャージポンプの複数の組を用い、各位相比較器に供給する信号位相差に一定の差を付け、それぞれのチャージポンプの出力電流の比を変化させることにより、全体としての位相比較器の位相オフセットを変化させ、非整数PLL動作を実現する。

【0010】

さらに、位相比較器のチャージポンプの正側のチャージポンプが働く時間と負側のチャージポンプが働く時間の合計時間を一定とし、正側のチャージポンプの電流と負側のチャージポンプの電流の比を変化させることにより、位相比較器の位相オフセットを変化させ、非整数PLL動作を実現する。

【0011】

【実施例】

第1の実施例

図1は、本発明第1の実施例である位相比較器のブロック図である。第3の信号 $f_1$ をカウンタCT1により分周した信号である第1の信号と第2の信号 $f_2$ との位相差に応じた信号を位相比較器出力 $I_o$ として出力するものであり、1周期あたりの位相比較器出力 $I_o$ の出力電荷が位相差の1次関数となるものである。

【0012】

第3の信号 $f_1$ は、カウンタCT1に入力される。このとき、カウンタCT1は0からカウントを行ない予め設定されている整数 $N-1$ までカウントアップされ、次の入力パルスによりカウント値は0にリセットされる。整数 $A$ 、 $B$ は予め設定されている正の整数であり、カウンタCT1のカウント値が $N-A$ であるときに第1の信号の第1の位相を示す信号 $\phi_1$ がHになり、他のときはLとなる。また、カウンタCT1のカウント値が $B$ であるときに第1の信号の第2の位相を示す信号 $\phi_2$ がHになり、他のときはLとなる。

【0013】

スイッチ $Q_1$ 、 $Q_2$ 、 $Q_3$ 、 $Q_4$ は電子的なスイッチである。定電流源 $S_1$ 、 $S_2$ 、 $S_3$ 、 $S_4$ は一定の電流を流そうとするものであり、スイッチ $Q_1$ 、 $Q_2$ 、 $Q_3$ 、 $Q_4$ がオン

10

20

30

40

50

となっているときにそれぞれ電流  $I_1$  ,  $I_2$  ,  $I_3$  ,  $I_4$  が流れて位相比較器出力  $I_o$  に出力される。ただし、電流  $I_1$  ,  $I_3$  は正であるとし、電流  $I_2$  ,  $I_4$  は負であるとする。また、出力  $I_o$  は吐き出し電流を正の電流とする。

【0014】

この位相比較器は、信号 9 1 の立ち上がりエッジから信号 9 3 の立ち上がりエッジの間に信号  $f_2$  が立ち上がると、信号 9 1 の立ち上がりエッジから信号  $f_2$  の立ち上がりエッジまでの間は出力  $I_o$  として電流  $I_1$  が流れ、信号  $f_2$  の立ち上がりエッジから信号 9 3 の立ち上がりエッジまでの間は出力  $I_o$  として電流  $I_2$  が流れる。この様子を図 2 に示す。

【0015】

信号 9 1 の立ち上がりエッジから信号 9 3 の立ち上がりエッジの間に信号  $f_2$  が立ち上がる場合においては、信号  $f_2$  が立ち上がるタイミングが  $T$  だけ遅れた場合、出力  $I_o$  として電流  $I_1$  が流れる時間が  $T$  だけ長くなり、出力  $I_o$  として電流  $I_2$  が流れる時間が  $T$  だけ短くなる。この事実は、この位相比較器に用いている論理回路の遅延時間にも依存せず、スイッチ  $Q_1$  ,  $Q_2$  ,  $Q_3$  ,  $Q_4$  の遅延時間にも依存しない。したがって、位相差が小さい範囲において、非常に線形性の高い位相比較器となっている。

【0016】

この位相比較器は、信号 9 1 の立ち上がりエッジよりも前に信号  $f_2$  が立ち上がると、信号  $f_2$  の立ち上がりエッジから信号 9 1 の立ち上がりエッジまでの間、出力  $I_o$  として電流  $I_4$  が流れる。また、信号 9 3 の立ち上がりエッジの後に信号  $f_2$  が立ち上がると、信号 9 3 の立ち上がりエッジの立ち上がりから信号  $f_2$  の立ち上がりエッジまでの間、出力  $I_o$  として電流  $I_3$  が流れる。この様子を図 3 に示す。電流  $I_3$  および電流  $I_4$  の絶対値を電流  $I_1$  および電流  $I_2$  の絶対値よりも十分に大きくすることにより、位相差が大きいときの位相比較器のゲインを位相差が小さいときのゲインに比べて十分に大きくすることができる。

【0017】

このようなゲインの位相差依存性は、この位相比較器を用いて PLL を構成する場合において、ロックアップ時間の短縮に大きな役割を果たすことができる。すなわち、位相差が小さいときには、位相比較器のゲインを小さくして、PLL によって発生する信号のスプリアスを抑えることができるし、位相差が大きいときには、位相差のゲインを大きくして、速いロックアップを計ることができる。このような位相比較器のゲインの変更に関しては、既に提案されている方法があるが、それらは外部から位相比較器のチャージポンプの電流を変更する指令を与えたり、ロックアップ検出手段を用いてチャージポンプの電流を変更したりしていた。しかし、本発明の第 1 の実施例においては、外部から位相比較器のゲインを設定する必要もなく、また、ロックアップ検出手段を用いて位相比較器のゲインを変更しなくても良く、位相差の大小に応じて自動的に位相比較器のゲインを変更しているといった利点を持っている。

【0018】

本発明の第 1 の実施例においては、第 1 の信号の第 1 の位相と第 2 の位相のタイミングを得るのに、第 3 の信号  $f_1$  をカウンタ  $CT_1$  により分周し、カウンタ  $CT_1$  のカウント値が特定の値になることを検出することにより行っていたが、第 1 の信号の第 1 の位相と第 2 の位相のタイミングを得る手段としてはこの方法に限るものではない。たとえば、第 1 の信号の立ち上がりエッジと立ち下がりエッジをそれぞれ第 1 の位相と第 2 の位相としても良い。また、第 3 の信号  $f_1$  をカウンタ  $CT_1$  により分周し、カウンタ  $CT_1$  のカウント値が特定の値になることを検出することにより第 1 の信号の第 1 の位相を検出し、その信号を第 3 の信号  $f_1$  をクロックとするシフトレジスタにより遅延させた信号を用いて第 1 の信号の第 2 の位相を検出してもよい。

【0019】 第 2 の実施例

図 4 は、本発明第 2 の実施例である位相比較器のブロック図である。第 3 の信号  $f_1$  をカウンタ  $CT_1$  により分周した信号と第 2 の信号  $f_2$  との位相差に応じた信号を位相比較器出力  $I_o$  として出力するものであり、1 周期あたりの位相比較器出力  $I_o$  の出力電荷が位



相差の1次関数となるものである。

【0020】

第3の信号f1は、カウンタCT1に入力される。このとき、カウンタCT1は0からカウントを行ない予め設定されている整数N-1までカウントアップされ、次の入力パルスによりカウント値は0にリセットされる。整数Aは予め設定されている正の整数であり、カウンタCT1のカウント値がN-Aであるときに第1の信号の第1の位相を示す信号91がHになり、他のときはLとなる。また、カウンタCT1のカウント値がAであるときに第1の信号の第2の位相を示す信号93がHになり、他のときはLとなる。カウンタCT1のカウント値がゼロであることを示す信号92は、カウント値が0であるときにHとなり、それ以外のときはLとなる。

10

【0021】

スイッチQ1, Q2, Q5, Q6は電子的なスイッチである。定電流源S1, S2, S5, S6は一定の電流を流そうとするものであり、スイッチQ1, Q2, Q5, Q6がオンとなっているときにそれぞれ電流I1, I2, I5, I6が流れて位相比較器出力Ioに出力される。ただし、電流I1, I5は正であるとし、電流I2, I6は負であるとする。また、出力Ioは吐き出し電流を正の電流とする。さらに、I5の値はI2の値の符号を変えたものに等しいものとし、I6の値はI1の値の符号を変えたものに等しいものとする。

【0022】

図5に、本発明第2の実施例の動作波形の例を示す。この位相比較器は、信号91の立ち上がりエッジから信号93の立ち上がりエッジの間に信号f2が立ち上がると、信号91の立ち上がりエッジから信号f2の立ち上がりエッジまでの間は出力Ioに電流I1が重畳され、信号f2の立ち上がりエッジから信号93の立ち上がりエッジまでの間は出力Ioに電流I2が重畳される。また、信号91の立ち上がりエッジから信号92が立ち上がりエッジまでの間は出力Ioに電流I6が重畳され、信号92の立ち上がりエッジから信号93の立ち上がりエッジまでの間は出力Ioに電流I5が重畳される。理想的な状態においては、信号f2と信号92が同時に立ち上がるときに、出力Ioの平均値が0となり、このような状況においては、どの瞬間においても電流が相殺されて出力Ioには電流が流れない。信号91の立ち上がりエッジから信号92の立ち上がりエッジの間に信号f2が立ち上がると、信号91の立ち上がりエッジから信号f2の立ち上がりエッジまでの間は出力Ioには電流は相殺されて出力されず、信号f2の立ち上がりエッジから信号92の立ち上がりエッジまでの間は出力Ioには電流I2+I6が出力され、信号92の立ち上がりエッジから信号93の立ち上がりエッジまでの間は出力Ioには電流は相殺されて出力されず、その他の期間においては、出力Ioには電流は出力されない。信号92の立ち上がりエッジから信号93の立ち上がりエッジの間に信号f2が立ち上がると、信号92の立ち上がりエッジから信号93の立ち上がりエッジまでの間は出力Ioには電流I1+I5が出力され、その他の期間においては、出力Ioには電流は出力されない。

20

30

【0023】

このように、本発明第2の実施例においては、位相比較器は従来の位相比較器と同様な動作を行うが、位相差が小さい場合の位相差と出力との線形性に関しては、本発明第1の実施例と同様、従来のものよりも高い線形性を得ることができる。また、本発明第1の実施例と比較すると、位相差が小さいときにおいて、出力Ioの実効値を小さくすることができるので、この位相比較器を用いてPLLを構成する際に、ループフィルタの設計の条件が緩和されるといった利点を持っている。

40

【0024】

本発明第2の実施例においては、信号f2が信号91より早く立ち上がったたり、信号f2が信号93より遅く立ち上がった場合などのような位相差が大きい場合における位相検出器のゲインの変更は行っていないが、本発明第1の実施例のように、位相差の大きさに応じて位相比較器のゲインが変わるようにしてもよい。

【0025】 第3の実施例

50

図6は本発明の第3の実施例におけるPLL装置のブロック図である。基準周波数信号 $f_r$ の周波数に対して外部から与えられた値を乗じた周波数の信号を電圧制御発振器出力信号 $f_v$ として得るものである。

【0026】

位相比較器PD2は本発明第2の実施例の位相比較器である。補償器CPは位相比較器出力 $I_o$ を入力とし、電圧信号を出力して電圧制御発振器VCOに供給するものであり、PLLの閉ループ系を安定化させるとともに、電圧制御発振器出力信号 $f_v$ のスプリアスを抑制し、短いロックアップ時間を実現させる役割を持っているループフィルタである。電圧制御発振器VCOは入力信号に応じた周波数の電圧制御発振器出力信号 $f_v$ を出力するものである。コントローラCR1は基準周波数信号 $f_r$ の1周期毎に位相比較器PD2に対してカウンタCT1の分周数Nを与える働きをするものである。周波数設定値Xは、電圧制御発振器出力信号 $f_v$ として基準周波数信号 $f_r$ の周波数の何倍の周波数の信号を発生させるかの指令値であり、その値は整数とは限らないものである。

10

【0027】

基準周波数信号 $f_r$ は位相比較器PD2の第2の信号 $f_2$ として入力され、電圧制御発振器出力信号 $f_v$ は位相比較器PD2の第3の信号 $f_1$ として入力されるので、電圧制御発振器出力信号 $f_v$ の周波数は基準周波数信号 $f_r$ に分周数Nの平均値を乗じた値となる。また、コントローラCR1は分周数Nを、その平均が周波数設定値Xに等しくなるように出力することにより、所望の周波数の電圧制御発振器出力信号 $f_v$ を得ることができる。

【0028】

周波数設定値Xが整数でない場合、電圧制御発振器出力信号 $f_v$ に含まれるスプリアスなるべく抑制するように、分周数Nを時系列信号として扱った場合の直流成分を除く低周波成分なるべく少なくなるように分周数Nの時系列を設定するわけであるが、位相比較器PD2の線形性が良くないと所望のスプリアス抑制特性が得られない。位相比較器PD2として本発明第2の実施例のものを用いることにより、位相比較器の高い線形性を確保し、所望のスプリアス抑制特性を得ることができる。分周数Nの時系列の設定の方法としては、技術を用いた量子化ノイズの周波数シェーピングの方法が知られている。

20

【0029】 第4の実施例

図7は本発明の第4の実施例におけるPLL装置のブロック図である。基準周波数信号 $f_r$ の周波数に対して外部から与えられた値を乗じた周波数の信号を電圧制御発振器出力信号 $f_v$ として得るものである。

30

【0030】

位相比較器PD2は本発明第2の実施例の位相比較器である。補償器CPは位相比較器出力 $I_o$ を入力とし、電圧信号を出力して電圧制御発振器VCOに供給するものであり、PLLの閉ループ系を安定化させるとともに、電圧制御発振器出力信号 $f_v$ のスプリアスを抑制し、短いロックアップ時間を実現させる役割を持っているループフィルタである。電圧制御発振器VCOは入力信号に応じた周波数の電圧制御発振器出力信号 $f_v$ を出力するものである。コントローラCR2はカウンタCT2の1周期毎にカウンタCT2の分周数Yを与える働きをするものである。周波数設定値Xは、電圧制御発振器出力信号 $f_v$ として基準周波数信号 $f_r$ の周波数の何倍の周波数の信号を発生させるかの指令値であり、その値は整数とは限らないものである。

40

【0031】

基準周波数信号 $f_r$ は位相比較器PD2の第3の信号 $f_1$ として入力され、電圧制御発振器出力信号 $f_v$ はカウンタCT2によってY分周されてから位相比較器PD2の第2の信号 $f_2$ として入力される。したがって、位相比較器PD2の内部において、基準周波数信号 $f_r$ をN分周した信号と電圧制御発振器出力信号 $f_v$ をY分周された信号の位相が比較されることになるので、分周数Nが一定のとき、電圧制御発振器出力信号 $f_v$ の周波数は基準周波数信号 $f_r$ に分周数Yの平均値を乗じ分周数Nで割った値となる。また、コントローラCR2は分周数Yを、その平均が周波数設定値Xに等しくなるように出力することにより、所望の周波数の電圧制御発振器出力信号 $f_v$ を得ることができる。

50

## 【0032】

周波数設定値  $X$  が整数でない場合、電圧制御発振器出力信号  $f_v$  に含まれるスプリアスをなるべく抑制するように、分周数  $Y$  を時系列信号として扱った場合の直流成分を除く低周波成分がなるべく少なくなるように分周数  $Y$  の時系列を設定するわけであるが、位相比較器  $PD2$  の線形性が良くないと所望のスプリアス抑制特性が得られない。位相比較器  $PD2$  として本発明第2の実施例のものを用いることにより、位相比較器の高い線形性を確保し、所望のスプリアス抑制特性を得ることができる。

## 【0033】 第5の実施例

本発明第5の実施例は、モジュロの値を2とするPLLによる信号発生装置である。基準周波数信号  $f_r$  の周波数に対して、2を分母とする分数倍の周波数の信号を発生させるものである。図8は本発明第5の実施例において用いられる位相比較器  $PD1$  のブロック図である。図9は本発明第5の実施例におけるPLL装置のブロック図である。

## 【0034】

図8に示す位相比較器  $PD1$  は、カウンタ  $CT1$  の分周数  $N$  と整数  $A, B$  の値を外部から逐次設定できるようになっている。この位相比較器は、信号  $91$  の立ち上がりエッジから信号  $93$  の立ち上がりエッジの間に信号  $f_2$  が立ち上がると、信号  $91$  の立ち上がりエッジから信号  $f_2$  が立ち上がりエッジまでの間は出力  $I_o$  として電流  $I_1$  が流れ、信号  $f_2$  の立ち上がりエッジから信号  $93$  の立ち上がりエッジまでの間は出力  $I_o$  として電流  $I_2$  が流れる。本発明第5の実施例においては、電流  $I_1$  と電流  $I_2$  の値が等しくなるようにする。すると、整数  $A$  の値を1増やすか整数  $B$  の値を1減ざると、その前の状態に対して、出力  $I_o$  の1周期にわたる平均がゼロとなる第3の信号  $f_1$  の位相がちょうど半周期早まり、逆に整数  $A$  の値を1減ざるか整数  $B$  の値を1増やすと、出力  $I_o$  の1周期にわたる平均がゼロとなる第3の信号  $f_1$  の位相がちょうど半周期遅くなる。ただし、整数  $A$  や整数  $B$  の値を変化させたときの信号  $91$  や信号  $93$  のタイミングの相対的变化に対する精度が必要とされるので、信号  $91$  や信号  $93$  は第3の信号  $f_1$  により同期を取っておくことが望ましい。

## 【0035】

図9において、周波数設定値  $X$  は2を分母とする分数である。位相比較器  $PD1$  は、第2の信号  $f_2$  として基準周波数信号  $f_r$  を入力し、第3の信号  $f_1$  として電圧制御発振器出力信号  $f_v$  を入力する。コントローラ  $CR3$  は、周波数設定値  $X$  を入力とし、基準周波数信号  $f_r$  の1周期ごとにカウンタ  $CT1$  の分周数  $N$  と整数  $A, B$  を位相比較器  $PD1$  に供するものである。位相比較器  $PD1$  の内部において、電圧制御発振器出力信号  $f_v$  を  $N$  分周した信号と基準周波数信号  $f_r$  の位相が比較されるので、電圧制御発振器出力信号  $f_v$  の周波数は基準周波数信号  $f_r$  の周波数にカウンタ  $CT1$  の分周数  $N$  の平均値を乗じた値となる。

## 【0036】

周波数設定値  $X$  が  $1/2$  の倍数であるが整数ではないとき、カウンタ  $CT1$  の分周数  $N$  は1サイクルごとに1の増減を繰り返すことになる。このとき、整数  $A, B$  の値が一定であると、位相比較器出力  $I_o$  は1サイクルごとに増減を繰り返すことになってしまい、電圧制御発振器出力信号  $f_v$  にスプリアスを多く含ませる原因になるし、それを阻止しようとすると補償器  $CP$  のカットオフ周波数を低くする必要が生じ、PLLのロックアップ時間の悪化をもたらしてしまう。そこで、カウンタ  $CT1$  の分周数  $N$  がその平均値よりも大きい値をとるときは、そうでないときに比べて整数  $A$  の値を1増やすか整数  $B$  の値を1減ざるかを行うことにより、毎周期における位相比較器出力  $I_o$  の平均値を一定なものにすることができ、電圧制御発振器出力信号  $f_v$  のスプリアスを抑制することができる。

## 【0037】

本発明の第5の実施例においては、整数  $A, B$  の値を変化させることによって得られる位相のオフセットの精度は、定電流源  $S1, S2$  の出力電流  $I_1, I_2$  の相対比によって決まるので、 $I_1$  および  $I_2$  の値を精度良くそろえることにより、高いスプリアス抑制効果を得ることができる。

10

20

30

40

50

## 【0038】

本発明第5の実施例においては、周波数設定値 $X$ は2を分母とする分数であったが、2を分母とする分数でなくともよく、他の数を分母とするものであってもよい。そのときもカウンタCT1の分周数 $N$ の平均値が周波数設定値 $X$ に等しくするわけであるが、整数 $A$ 、 $B$ の値を適当に変化させることによって、毎周期ごとの位相比較器出力 $I_o$ の直流成分を除く低周波成分を抑制することができる。その結果、補償器CPのカットオフ周波数を上げることができる。

## 【0039】 第6の実施例

本発明第6の実施例は、モジュロの値を8とするPLLによる信号発生装置である。基準周波数信号 $f_r$ の周波数に対して、分母を8とする分数倍の周波数の信号を発生させるものである。図11は本発明第6の実施例におけるPLL装置のブロック図である。図9に示すものに比べて調整器ADによる電流 $I_2$ を補正する手段が付加されている点異なる。図11における位相比較器PD1のブロック図は、図8に示す通りであり本発明第5の実施例のものと同じであるが、電流 $I_1$ と電流 $I_2$ の比が異なる点と電流 $I_2$ を外部から補正することができる点異なる。

## 【0040】

本発明第6の実施例における電流 $I_1$ と $I_2$ の比は5対-3である。整数 $A$ 、 $B$ の値を適当に設定することにより位相比較器PD1に位相のオフセットを持たせるわけであるが、モジュロ8の分数PLL動作を実現させるためには電圧制御発振器出力信号 $f_v$ の周期に対して1/8間隔で位相のオフセットを持たせる必要がある。図10は、そのような位相のオフセットを持たせる整数 $A$ 、 $B$ の組み合わせの例である。図10において、「 $A$ の変化幅」とあるのは、整数 $A$ の値について、その基準値があり、 $A$ の値のその基準値からの変化幅であることを意味している。「 $B$ の変化幅」についても同様である。

## 【0041】

位相比較器PD1における位相のオフセットの精度は、位相比較器PD1の内部の回路における遅延時間には依存せず、電流 $I_1$ と $I_2$ の比の精度によって決まる。この電流 $I_1$ と $I_2$ の比を十分な精度でもって設定できる場合は問題ないが、そうでない場合は何らかの方法により電流 $I_1$ と $I_2$ の比の誤差を検出し、その誤差信号をもとに電流 $I_1$ と $I_2$ の比を補正する方法が有効である。

## 【0042】

本発明第6の実施例においては、位相比較器出力 $I_o$ を解析することにより電流 $I_1$ と $I_2$ の比の誤差を検出している。いま、周波数設定値 $X$ が整数でない場合を考える。このとき、図10に示す表のうちのいくつかの項番に対する整数 $A$ 、 $B$ の組み合わせを繰り返し設定される。ただし、どの周波数設定値 $X$ に対しても、項番1の整数 $A$ 、 $B$ の組み合わせを含むように繰り返し設定されるものとする。このとき、電流 $I_1$ と $I_2$ の比に誤差が含まれている場合、各周期に対する位相比較器出力 $I_o$ の1周期における積分値は、図10に示す表の内積パターンに比例した振動を持つ。また、内積パターン自身の平均値は0となるので、位相比較器出力 $I_o$ と内積パターンとの内積を8の整数倍の周期にわたって若しくは十分に長い時間にわたって取ることにより、電流 $I_1$ と $I_2$ の比の誤差に比例した信号を得ることができる。しかし、現実問題としては、位相比較器出力 $I_o$ をそのまま誤差検出に用いることはできないことが多い。図11にブロック図を示す本発明の第6の実施例においては、位相比較器出力 $I_o$ は電流信号であり、補償器CPは抵抗とコンデンサによるパッシブ回路であるものとし、補償器CPの入力電圧を電流 $I_1$ と $I_2$ の比の誤差を検出するための信号として用い、調整器ADにより、補償器CPの入力電圧と内積パターンとの内積を積分していくことにより電流 $I_2$ の補正を行うための信号を得ている。補償器CPには通常積分特性を含ませているが、PLLの安定化のためにゼロ点も設定するので、この電流 $I_1$ と $I_2$ の比の誤差を補償する閉ループも安定にすることができる。

## 【0043】

周波数設定値 $X$ が整数であるとき、周波数設定値 $X$ が整数でありつづける場合においては電流 $I_1$ と $I_2$ の比に誤差が含まれていても問題ないが、後で周波数設定値 $X$ が非整数と

なりえる場合においては、電流  $I_1$  と  $I_2$  の比の誤差を常に検出して補正をしておくことが望ましい。しかし、整数  $A$  ,  $B$  の値が変化しないと電流  $I_1$  と  $I_2$  の比の誤差を検出することができない。そこで、周波数設定値  $X$  が整数である場合には、図 10 に示す表の項番 8 と項番 9 を交互に繰り返すことにより、整数  $A$  ,  $B$  の値に変化をもたらし、電流  $I_1$  と  $I_2$  の比の誤差の補正を可能にしている。

【 0 0 4 4 】

本発明第 6 の実施例においては、整数  $A$  ,  $B$  のパターンとして図 10 に示す表のものを用いていたが、整数  $A$  ,  $B$  のパターンは図 10 に示す表のものに限るものではない。

【 0 0 4 5 】

本発明第 6 の実施例においては、電流  $I_1$  と  $I_2$  の比の誤差の補正をオンラインにより常時行っていたが、電源がオンになったときにオフライン動作により行ってもよいし、定期的に補正動作を行っても良い。また、位相比較器  $PD_1$  を製造する際に、同様な方法を用いてトリミングにより補正を行ってもよい。また、電流  $I_1$  と  $I_2$  の比について必要とされる精度が得られている場合には、電流  $I_1$  と  $I_2$  の比の誤差の補正を行わなくてもよい。

10

【 0 0 4 6 】

本発明第 6 の実施例においては、電流  $I_1$  と  $I_2$  の比を 5 対 - 3 としたが、 $I_1$  と  $I_2$  の最大公約数が  $I_1 - I_2$  の値の  $1/8$ 、またはその整数分の 1 であればよく、電流  $I_1$  と  $I_2$  の比は他の値でもよい。

【 0 0 4 7 】

本発明第 6 の実施例における電流  $I_1$  と  $I_2$  の比は 5 対 - 3 としていたが、電流  $I_1$  と  $I_2$  の比を 3 対 - 5 とした場合には、図 10 に示す表における「 $A$  の変化幅」の値と「 $B$  の変化幅」の値を入れ替えることにより、図 10 に示す表における「位相オフセット」の値に対して、その符号を変えた位相オフセットを実現することができる。

20

【 0 0 4 8 】 第 7 の実施例

本発明第 7 の実施例は、モジュロの値を 16 とする PLL による信号発生装置である。基準周波数信号  $f_r$  の周波数に対して、分母を 16 とする分数倍の周波数の信号を発生させるものである。本発明第 7 の実施例における PLL 装置のブロック図は図 9 に示すものと同じである。図 9 における位相比較器  $PD_1$  のブロック図は、図 8 に示す通りであり本発明第 5 の実施例のものと同じであるが、電流  $I_1$  と電流  $I_2$  の比が異なる点が異なる。

30

【 0 0 4 9 】

本発明第 7 の実施例における電流  $I_1$  と  $I_2$  の比は 9 対 - 7 である。整数  $A$  ,  $B$  の値を適当に設定することにより位相比較器  $PD_1$  に位相のオフセットを持たせるわけであるが、モジュロ 16 の分数 PLL 動作を実現させるためには電圧制御発振器出力信号  $f_v$  の周期に対して  $1/16$  間隔で位相のオフセットを持たせる必要がある。図 12 は、そのような位相のオフセットを持たせる整数  $A$  ,  $B$  の組み合わせの例である。図 12 において、「 $A$  の変化幅」とあるのは、整数  $A$  の値について、その基準値があり、 $A$  の値のその基準値からの変化幅であることを意味している。「 $B$  の変化幅」についても同様である。

【 0 0 5 0 】

位相比較器  $PD_1$  における位相のオフセットの精度は、位相比較器  $PD_1$  の内部の回路における遅延時間には依存せず、電流  $I_1$  と  $I_2$  の比の精度によって決まる。この電流  $I_1$  と  $I_2$  の比を十分な精度でもって設定できる場合は問題ないが、そうでない場合は何らかの方法により電流  $I_1$  と  $I_2$  の比の誤差を検出し、その誤差信号をもとに電流  $I_1$  と  $I_2$  の比を補正する方法が有効である。本発明第 7 の実施例においては、電流  $I_1$  と  $I_2$  の比を補正する手段を持たせていない。

40

【 0 0 5 1 】

本発明第 7 の実施例においては、整数  $A$  ,  $B$  のパターンとして図 12 に示す表のものを用いていたが、整数  $A$  ,  $B$  のパターンは図 12 に示す表のものに限るものではない。

【 0 0 5 2 】

本発明第 7 の実施例においては、電流  $I_1$  と  $I_2$  の比の誤差の補正を行う手段を有してい

50

なかったが、本発明第6の実施例のように電流I1とI2の比の誤差の補正を行う手段を持たせてもよい。

【0053】

本発明第7の実施例においては、電流I1とI2の比を9対-7としたが、I1とI2の最大公約数がI1-I2の値の1/16、またはその整数分の1であればよく、電流I1とI2の比は他の値でもよい。

【0054】

本発明第7の実施例における電流I1とI2の比は9対-7としていたが、電流I1とI2の比を7対-9とした場合には、図12に示す表における「Aの変化幅」の値と「Bの変化幅」の値を入れ替えることにより、図12に示す表における「位相オフセット」の値に対して、その符号を変えた位相オフセットを実現することができる。

10

【0055】

本発明第7の実施例におけるPLLでは、モジュロの値が16であったが、2以上の任意の整数Mに対して、電流I1とI2の比をI1とI2の最大公約数がI1-I2の値の1/Mとなるように設定することにより、モジュロの値をMとするPLLを構成することができる。

【0056】 第8の実施例

本発明第8の実施例は、モジュロの値を16とするPLLによる信号発生装置である。基準周波数信号frをN分周した信号の周波数に対して、分母を16とする分数倍の周波数の信号を発生させるものである。本発明第8の実施例におけるPLL装置のブロック図を図14に示す。図14における位相比較器PD11のブロック図を図13に示す。

20

【0057】

位相比較器PD11の動作は次のようになる。カウンタCT1の計数値が0になってからカウンタCT2の計数値がAとなったとき、カウンタCT1の計数値が0になってからカウンタCT2の計数値がAとなるまでの間スイッチQ1が閉じられ、位相比較器出力Ioに電流I1が重畳される。また、カウンタCT2の計数値がY-BになってからカウンタCT1の計数値がEとなったとき、カウンタCT2の計数値がY-BになってからカウンタCT1の計数値がEとなるまでの間スイッチQ2が閉じられ、位相比較器出力Ioに電流I2が重畳される。PLLの動作は、この点と電流I2の構成手段を有していない点を除いて、本発明第7の実施例とほぼ同じである。電流I1とI2の比や整数A、Bの変化と位相オフセットの関係も本発明第7の実施例と同じである。

30

【0058】

本発明第7の実施例に対する本発明第8の実施例の優位点は、位相比較器出力Ioに電流I1が重畳される期間と電流I2が重畳される期間とで重なる期間を発生させることができるので、位相比較器出力Ioの信号の実効値を抑えることができ、電圧制御発振器出力信号fvのスプリアスの抑制が容易であることである。ただし、本発明第8の実施例においては基準周波数信号frを分周した信号と電圧制御発振器出力信号fvを分周した信号の双方に対して複数の位相の信号を発生させる必要がある。

【0059】 第9の実施例

本発明第9の実施例は、モジュロの値を16とするPLLによる信号発生装置である。基準周波数信号frの周波数に対して、分母を16とする分数倍の周波数の信号を発生させるものである。図16は本発明第9の実施例におけるPLL装置のブロック図である。図16における位相比較器PD3のブロック図を図15に示す。本発明第6の実施例および本発明第7の実施例における位相比較器においては、チャージポンプを構成する定電流源が正側と負側あわせて二つであったのに対し、本発明第9の実施例では正側と負側あわせて三つ有しているところが大きく異なる。

40

【0060】

本発明第9の実施例における電流I1とI2とI7の比は5対-7対4である。整数A、B、Cの値を適当に設定することにより位相比較器PD3に位相のオフセットを持たせるわけであるが、モジュロ16の分数PLL動作を実現させるためには電圧制御発振器出力

50

信号  $f_v$  の周期に対して  $1/16$  間隔で位相のオフセットを持たせる必要がある。図 17 は、そのような位相のオフセットを持たせる整数  $A$  ,  $B$  ,  $C$  の組み合わせの例である。図 17 において、「 $A$  の変化幅」とあるのは、整数  $A$  の値について、その基準値があり、 $A$  の値のその基準値からの変化幅であることを意味している。「 $B$  の変化幅」、「 $C$  の変化幅」についても同様である。

**【0061】**

位相比較器 PD3 における位相のオフセットの精度は、位相比較器 PD3 の内部の回路における遅延時間には依存せず、電流  $I_1$  と  $I_2$  と  $I_7$  の比の精度によって決まる。この電流  $I_1$  と  $I_2$  と  $I_7$  の比を十分な精度でもって設定できる場合は問題ないが、そうでない場合は何らかの方法により電流  $I_1$  と  $I_2$  と  $I_7$  の比の誤差を検出し、その誤差信号をもとに電流  $I_1$  と  $I_2$  と  $I_7$  の比を補正する方法が有効である。本発明第 9 の実施例においては、電流  $I_1$  と  $I_2$  と  $I_7$  の比を補正する手段を持たせていない。

10

**【0062】**

本発明第 9 の実施例における本発明第 7 の実施例に対する優位性は、整数  $A$  ,  $B$  ,  $C$  の変化幅を小さくできることである。その結果、1 周期のうち位相比較器出力  $I_o$  が出力される期間が短くすることができるので、電圧制御発振器出力信号  $f_v$  に含まれるスプリアスを低減させることが容易になる。

**【0063】**

本発明第 9 の実施例においては、整数  $A$  ,  $B$  ,  $C$  のパターンとして図 17 に示す表のものをを用いていたが、整数  $A$  ,  $B$  ,  $C$  のパターンは図 17 に示す表のものに限るものではない。

20

**【0064】**

本発明第 9 の実施例においては、電流  $I_1$  と  $I_2$  と  $I_7$  の比の誤差の補正を行う手段を有していなかったが、本発明第 6 の実施例のように電流  $I_1$  と  $I_2$  と  $I_7$  の比の誤差の補正を行う手段を持たせてもよい。ただし、非整数 PLL 動作を行ないながら補正を行なう場合においては、内積パターンを 2 種類用意し、それらを同時に用いる必要がある。また、非整数 PLL 動作を行ないながら補正を行なう場合においては、同じ位相オフセットを実現する整数  $A$  ,  $B$  ,  $C$  の組を少なくとも三つ用意し、それらを順次切り換えて用いる必要がある。

**【0065】**

本発明第 9 の実施例においては、電流  $I_1$  と  $I_2$  と  $I_7$  の比を 5 対 - 7 対 4 としたが、 $I_1$  と  $I_2$  と  $I_7$  の最大公約数が  $I_1 - I_2 + I_7$  の値の  $1/16$ 、またはその整数分の 1 であればよく、電流  $I_1$  と  $I_2$  と  $I_7$  の比は他の値でもよい。

30

**【0066】**

本発明第 9 の実施例における PLL では、モジュロの値が 16 であったが、2 以上の任意の整数  $M$  に対して、電流  $I_1$  と  $I_2$  と  $I_7$  の比を  $I_1$  と  $I_2$  と  $I_7$  の最大公約数が  $I_1 - I_2 + I_7$  の値の  $1/M$  となるように設定することにより、モジュロの値を  $M$  とする PLL を構成することができる。大きな  $M$  の値の場合においては、チャージポンプを三つ用意していることで、本発明第 7 の実施例におけるチャージポンプ二つの場合に比べて、整数  $A$  ,  $B$  ,  $C$  の小さい変化幅で分数 PLL 動作を実現することができる。

40

**【0067】**

本発明第 9 の実施例においては、チャージポンプとして、正側に定電流源  $S_1$  ,  $S_7$  の二つ、負側に定電流源  $S_2$  の一つを用いているが、正側に一つ、負側に二つの定電流源を用いてもよい。

**【0068】 第 10 の実施例**

本発明第 10 の実施例は、モジュロの値を 16 とする PLL による信号発生装置である。基準周波数信号  $f_r$  を  $N$  分周した信号の周波数に対して、分母を 16 とする分数倍の周波数の信号を発生させるものである。図 19 は本発明第 10 の実施例における PLL 装置のブロック図である。図 19 における位相比較器 PD12 のブロック図を図 18 に示す。

**【0069】**

50

本発明第 8 の実施例が本発明第 7 の実施例に対して位相比較器に位相オフセットを持たせるための手段である定電流源  $S_7$  やカウンタ値と比較する整数  $C$  などを追加したのと同様に、本発明第 10 の実施例は本発明第 9 の実施例に対して位相オフセットを持たせるための手段である定電流源  $S_7$  やカウンタ値と比較する整数  $C$  などを追加したものである。従って、本発明第 10 の実施例における電流  $I_1$  と  $I_2$  と  $I_7$  の比や所望の位相オフセットを与える整数  $A, B, C$  の値は本発明第 9 の実施例と同じである。

#### 【0070】

本発明第 9 の実施例に対する本発明第 10 の実施例の優位点は、本発明第 7 の実施例に対する本発明第 8 の実施例の優位点と同様、位相比較器出力  $I_o$  の信号の実効値を抑えることができ、電圧制御発振器出力信号  $f_v$  のスプリアスの抑制が容易であることである。ただし、本発明第 10 の実施例においては基準周波数信号  $f_r$  を分周した信号と電圧制御発振器出力信号  $f_v$  を分周した信号の双方に対して複数の位相の信号を発生させる必要がある。

10

#### 【0071】 第 11 の実施例

本発明第 11 の実施例は、モジュロの値を 8 とする PLL による信号発生装置である。基準周波数信号  $f_r$  の周波数に対して、分母を 8 とする分数倍の周波数の信号を発生させるものである。図 21 は本発明第 11 の実施例における PLL 装置のブロック図である。図 21 における位相比較器 PD4 のブロック図を図 20 に示す。本発明第 9 の実施例における位相比較器においては、チャージポンプを構成する定電流源が正側と負側あわせて三つであったのに対し、本発明第 11 の実施例では正側と負側あわせて四つ有している。

20

#### 【0072】

本発明第 11 の実施例における電流  $I_1$  と  $I_2$  と  $I_7$  と  $I_8$  の比は 1 対 - 1 対 2 対 - 4 である。すなわち、各電流の絶対値は 2 のべき乗として並んでおり、最小のもののみが二つある。整数  $A, B, C, D$  の値を適当に設定することにより位相比較器 PD3 に位相のオフセットを持たせるわけであるが、モジュロ 8 の分数 PLL 動作を実現させるためには電圧制御発振器出力信号  $f_v$  の周期に対して  $1/8$  間隔で位相のオフセットを持たせる必要がある。図 22 は、そのような位相のオフセットを持たせる整数  $A, B, C, D$  の組み合わせの例である。図 22 において、「A の変化幅」とあるのは、整数  $A$  の値について、その基準値があり、A の値のその基準値からの変化幅であることを意味している。「B の変化幅」、「C の変化幅」、「D の変化幅」についても同様である。

30

#### 【0073】

位相比較器 PD4 における位相のオフセットの精度は、位相比較器 PD4 の内部の回路における遅延時間には依存せず、電流  $I_1$  と  $I_2$  と  $I_7$  と  $I_8$  の比の精度によって決まる。この電流  $I_1$  と  $I_2$  と  $I_7$  と  $I_8$  の比を十分な精度でもって設定できる場合は問題ないが、そうでない場合は何らかの方法により電流  $I_1$  と  $I_2$  と  $I_7$  と  $I_8$  の比の誤差を検出し、その誤差信号をもとに電流  $I_1$  と  $I_2$  と  $I_7$  と  $I_8$  の比を補正する方法が有効である。本発明第 9 の実施例においては、電流  $I_1$  と  $I_2$  と  $I_7$  と  $I_8$  の比を補正する手段を持たせていない。

#### 【0074】

本発明第 11 の実施例における本発明第 9 の実施例に対する優位性の一つは、2 のべき乗をモジュロとする分数 PLL への拡張が容易な点である。このことは、出力電流のための各定電流源における電流の絶対値を 2 のべき乗としてならべ、最小のもののみ二つ用意していることによる。本発明第 11 の実施例においては出力電流のための定電流源を四つ用いて 8 をモジュロとする分数 PLL を実現しているが、定電流源の数を五つにすることにより、16 をモジュロとすることができ、さらに定電流源の数を六つにすることにより、32 をモジュロとすることができる。このように、定電流源の数の数を増やすことによりモジュロの値を大きくしていくことができる。このアプローチの利点として、そのときの各位相オフセットを実現する整数  $A, B, C, D$  などの組み合わせについても規則的に算出することができることが挙げられる。また、整数  $A, B, C, D$  などの変化幅は最大でも 1 になる。その結果、1 周期のうち位相比較器出力  $I_o$  が出力される期間を短くできる

40

50



ので、電圧制御発振器出力信号  $f_v$  に含まれるスプリアスを低減させることが容易になる。

【0075】

本発明第11の実施例においては、整数  $A, B, C, D$  のパターンとして図22に示す表のものを用いていたが、整数  $A, B, C, D$  のパターンは図22に示す表のものに限るものではない。また、本発明第11の実施例においては、電流  $I_1$  と  $I_2$  と  $I_7$  と  $I_8$  の比は1対-1対2対-4であるが、それぞれの電流の絶対値が順不同にて1対1対2対4であれば同じように8をモジュロとする分数  $PLL$  を構成することができる。さらに、電流  $I_1$  と  $I_2$  と  $I_7$  と  $I_8$  の比は任意の値であってもよい。これらの電流の比を適切に設定することにより、大きい数をモジュロとする分数  $PLL$  を実現することができる。

10

【0076】

本発明第11の実施例においては、電流  $I_1$  と  $I_2$  と  $I_7$  と  $I_8$  の比の誤差の補正を行う手段を有していなかったが、本発明第6の実施例のように電流  $I_1$  と  $I_2$  と  $I_7$  と  $I_8$  の比の誤差の補正を行う手段を持たせてもよい。

本発明第11の実施例においては、チャージポンプとして、正側に定電流源  $S_1, S_7$  の二つ、負側に定電流源  $S_2, S_8$  の二つを用いているが、正側に一つ、負側に三つの定電流源を用いてもよいし、正側に三つ、負側に一つの定電流源を用いてもよい。

【0077】 第12の実施例

本発明第12の実施例は、 $M$  の値を自然数としたとき、モジュロの値を  $M$  とする分数  $PLL$  による信号発生装置である。基準周波数信号  $f_r$  の周波数に対して、分母を  $M$  とする分数倍の周波数の信号を発生させるものである。図24は本発明第12の実施例における  $PLL$  装置のブロック図である。図24における位相比較器  $PD5$  のブロック図を図23に示す。本発明第12の実施例における位相比較器においては、チャージポンプを構成する定電流源の正側と負側の組み合わせを  $M$  組持っており、それらの電流の値はすべて等しいものである。位相比較器  $PD5$  は複数の位相比較器を並列に接続することにより実現できるが、カウンタ  $CT1$  の部分など共通している部分が多いため、共通部分を一つにまとめている。

20

【0078】

位相比較器  $PD5$  におけるカウンタ  $CT1$  においては、カウント値が  $0, 1, B, B+1$  に等しいことを示す信号が出力されるが、スイッチ  $QP1, QN1$  からスイッチ  $QPM, QNM$  は、それぞれ、カウンタ  $CT1$  のカウント値が  $0$  である信号と  $B$  である信号、第2の信号  $f_2$  によって生成されるタイミング、またはカウンタ  $CT1$  のカウント値が  $1$  である信号と  $B+1$  である信号、第2の信号  $f_2$  によって生成されるタイミングのどちらかに従ってオン・オフの動作を行なう。そのどちらのタイミングによって動作を行なうかは、切り換え信号  $SW1$  から  $SWM$  により切り換えられるようになっている。前者のタイミングにおいては、後者のタイミングに対して、正側の定電流源に対するスイッチがオンとなっている期間が第3の信号  $f_1$  の1クロック分だけ長く、負側の定電流源に対するスイッチがオンとなっている期間が第3の信号  $f_1$  の1クロック分だけ短い。各定電流源の電流は等しいので、 $M$  組の定電流源の内、 $L$  組の定電流源についてカウンタ  $CT1$  のカウント値が  $1$  である信号と  $B+1$  である信号に基づいてオン・オフされ、残りの  $(M-L)$  組の定電流源についてカウンタ  $CT1$  のカウント値が  $0$  である信号と  $B$  である信号に基づいてオン・オフされると、位相比較器  $PD5$  は第3の信号  $f_1$  の周期に対して  $L/M$  倍の時間の位相オフセットを持つことになる。

30

40

【0079】

この位相比較器  $PD5$  の位相オフセットの値は、切り換え信号  $SW1$  から  $SWM$  によって変更することができるので、図24におけるコントローラ  $CR6$  が毎周期、カウンタ  $CT1$  の分周数  $N$  の値と切り換え信号  $SW1$  から  $SWM$  の値を適当に出力することにより、モジュロの値を  $M$  とする分数  $PLL$  を実現することができる。

【0080】

本発明第12の実施例における一つの利点は、定電流源  $SP1$  から  $SPM$  の電流値と定電

50

流源  $S N 1$  から  $S N M$  の電流値をそれぞれ等しくすることができる点である。各定電流源の電流の値を等しくすることにより、各定電流源の電流の値に重みを付けた場合に比べて、電流の相対精度を上げることができる。また、本発明の第 1 2 の実施例における一つの利点は、正側の定電流源の電流の値と負側の定電流源の値を必ずしも揃えなくてもよいという点である。従って、各定電流源の回路を、F E T 一つにより実現することも可能である。

#### 【 0 0 8 1 】

本発明第 1 2 の実施例においては、定電流源  $S P 1$  から  $S P M$  の電流値と定電流源  $S N 1$  から  $S N M$  の電流値をそれぞれ等しくしていたが、重み付けを行なってもよい。重み付けを行なうことにより、少ない数の定電流源を用いて大きなモジュロの値の分数  $P L L$  を実現することができる。この場合においても、正側の定電流源の電流の値と負側の定電流源の値は整合をとる必要はない。また、各定電流源の電流の比は整数比とすることになるので、各定電流源は、いくつかの F E T またはチャネル幅の異なる一つの F E T により構成することが可能となる。

10

#### 【 0 0 8 2 】

本発明第 1 2 の実施例においては、スイッチ  $Q P 1$  ,  $Q N 1$  からスイッチ  $Q P M$  ,  $Q N M$  をオン・オフするタイミングを、カウンタ  $C T 1$  のカウント値が 0 である信号と  $B$  である信号、第 2 の信号  $f 2$  によって生成されるタイミング、および、カウンタ  $C T 1$  のカウント値が 1 である信号と  $B + 1$  である信号、第 2 の信号  $f 2$  によって生成されるタイミングの 2 種類のを切り換えていたが、カウンタ  $C T 1$  のカウント値が 2 である信号と  $B + 2$  である信号、第 2 の信号  $f 2$  によって生成されるタイミングなどを加えるなどして、さらに多くのタイミングを用意して切り換えるようにしてもよい。タイミングの数を増やすことにより、少ない数の定電流源を用いて大きな数をモジュロとする分数  $P L L$  を実現することができる。

20

#### 【 0 0 8 3 】 第 1 3 の実施例

本発明第 1 3 の実施例は、 $M$  の値を自然数としたとき、モジュロの値を  $2 M$  とする分数  $P L L$  による信号発生装置である。基準周波数信号  $f r$  の周波数に対して、分母を  $2 M$  とする分数倍の周波数の信号を発生させるものである。図 2 6 は本発明第 1 3 の実施例における  $P L L$  装置のブロック図である。図 2 6 における位相比較器  $P D 6$  のブロック図を図 2 5 に示す。本発明第 1 3 の実施例における位相比較器においては、チャージポンプを構成する定電流源を正側と負側合わせて  $2 M$  個持っており、それらの電流の絶対値はすべて等しいものである。位相比較器  $P D 6$  は複数の位相比較器を並列に接続することにより実現できるが、カウンタ  $C T 1$  の部分など共通している部分が多いため、共通部分を一つにまとめている。

30

#### 【 0 0 8 4 】

位相比較器  $P D 6$  におけるカウンタ  $C T 1$  においては、カウント値が 0、1、 $B$ 、 $B + 1$  に等しいことを示す信号が出力されるが、スイッチ  $Q P 1$  ,  $Q N 1$  からスイッチ  $Q P M$  ,  $Q N M$  は、それぞれ、カウンタ  $C T 1$  のカウント値が 0 である信号と  $B$  である信号、第 2 の信号  $f 2$  によって生成されるタイミング、またはカウンタ  $C T 1$  のカウント値が 1 である信号と  $B + 1$  である信号、第 2 の信号  $f 2$  によって生成されるタイミングのどちらかに従ってオン・オフの動作を行なう。そのどちらのタイミングによって動作を行なうかは、切り換え信号  $S W P 1$  から  $S W P M$  および  $S W N 1$  から  $S W N M$  により切り換えられるようになっている。前者のタイミングにおいては、後者のタイミングに対して、正側の定電流源に対するスイッチがオンとなっている期間が第 3 の信号  $f 1$  の 1 クロック分だけ長く、負側の定電流源に対するスイッチがオンとなっている期間が第 3 の信号  $f 1$  の 1 クロック分だけ短い。各定電流源の電流は等しいので、 $2 M$  個の定電流源の内、 $L$  個の定電流源についてカウンタ  $C T 1$  のカウント値が 1 である信号と  $B + 1$  である信号に基づいてオン・オフされ、残りの  $( 2 M - L )$  個の定電流源についてカウンタ  $C T 1$  のカウント値が 0 である信号と  $B$  である信号に基づいてオン・オフされると、位相比較器  $P D 6$  は第 3 の信号  $f 1$  の周期に対して  $L / ( 2 M )$  倍の時間の位相オフセットを持つことになる。

40

50

## 【0085】

この位相比較器PD6の位相オフセットの値は、切り換え信号SWP1からSWPMおよびSWN1からSWNMによって変更することができるので、図26におけるコントローラCR7が毎周期、カウンタCT1の分周数Nの値と切り換え信号SWP1からSWPMおよびSWN1からSWNMの値を適当に出力することにより、モジュロの値を2Mとする分数PLLを実現することができる。

## 【0086】

本発明第13の実施例における一つの利点は、定電流源SP1からSPMの電流値と定電流源SN1からSNMの電流値をすべて等しくすることができる点である。各定電流源の電流の値を等しくすることにより、各定電流源の電流の値に重みを付けた場合に比べて、電流の相対精度を上げることができる。また、本発明第12の実施例に対する本発明第13の実施例の利点として、同じ数の定電流源を用いてモジュロの数を2倍にすることができる点がある。しかし、本発明第13の実施例においては、正側の定電流源の電流と負側の定電流源の電流の絶対値を等しくしなければならない。

10

## 【0087】

本発明第13の実施例においては、定電流源SP1からSPMの電流値と定電流源SN1からSNMの電流値をそれぞれ等しくしていたが、重み付けを行なってもよい。重み付けを行なうことにより、少ない数の定電流源を用いて大きなモジュロの値の分数PLLを実現することができる。この場合においても、正側の定電流源の電流の値と負側の定電流源の値は精度良く整合をとる必要がある。

20

## 【0088】

本発明第13の実施例においては、スイッチQP1, QN1からスイッチQPM, QNMをオン・オフするタイミングを、カウンタCT1のカウント値が0である信号とBである信号、第2の信号f2によって生成されるタイミング、および、カウンタCT1のカウント値が1である信号とB+1である信号、第2の信号f2によって生成されるタイミングの2種類のを切り換えていたが、カウンタCT1のカウント値が2である信号とB+2である信号、第2の信号f2によって生成されるタイミングなどを加えるなどして、さらに多くのタイミングを用意して切り換えるようにしてもよい。タイミングの数を増やすことにより、少ない数の定電流源を用いて大きな数をモジュロとする分数PLLを実現することができる。

30

## 【0089】 第14の実施例

本発明第14の実施例は、Mの値を自然数としたとき、モジュロの値をMとする分数PLLによる信号発生装置である。基準周波数信号frの周波数に対して、分母をMとする分数倍の周波数の信号を発生させるものである。図28は本発明第14の実施例におけるPLL装置のブロック図である。図28における位相比較器PD7のブロック図を図27に示す。本発明第14の実施例における位相比較器においては、チャージポンプを構成する定電流源の正側と負側の組み合わせをM組持っており、それらの電流の値はすべて等しいものである。位相比較器PD7は複数の位相比較器を並列に接続することにより実現できるが、カウンタCT1の部分など共通している部分が多いため、共通部分の一つにまとめている。

40

## 【0090】

カウンタCT2は、電圧制御発振器出力信号fvをY分周するが、そのカウント値が0に等しい信号と1に等しい信号をそれぞれ信号f2, f3として出力し、位相比較器PD7に入力する。位相比較器PD7におけるカウンタCT1は基準周波数信号frをN分周するが、そのカウント値が0, 1, B, B+1に等しいことを示す信号が出力される。スイッチQP1, QN1からスイッチQPM, QNMは、それぞれ、カウンタCT1のカウント値が0である信号とBである信号、カウンタCT2のカウント値が0である信号によって生成されるタイミング、またはカウンタCT1のカウント値が0である信号とBである信号、カウンタCT2のカウント値が1である信号によって生成されるタイミングのどちらかに従ってオン・オフの動作を行なう。そのどちらのタイミングによって動作を行なう

50

かは、切り換え信号  $SW1$  から  $SWM$  により切り換えられるようになっている。前者のタイミングにおいては、後者のタイミングに対して、正側の定電流源に対するスイッチがオンとなっている期間が電圧制御発振器出力信号  $f_v$  の 1 クロック分だけ長く、負側の定電流源に対するスイッチがオンとなっている期間が電圧制御発振器出力信号  $f_v$  の 1 クロック分だけ短い。各定電流源の電流は等しいので、 $M$  組の定電流源の内、 $L$  組の定電流源についてカウンタ  $CT1$  のカウント値が 1 である信号と  $B + 1$  である信号に基づいてオン・オフされ、残りの  $(M - L)$  組の定電流源についてカウンタ  $CT1$  のカウント値が 0 である信号と  $B$  である信号に基づいてオン・オフされると、位相比較器  $PD7$  は電圧制御発振器出力信号  $f_v$  の周期に対して  $L / M$  倍の時間の位相オフセットを持つことになる。

**【0091】**

10

この位相比較器  $PD7$  の位相オフセットの値は、切り換え信号  $SW1$  から  $SWM$  によって変更することができるので、図 28 におけるコントローラ  $CR8$  が毎周期、カウンタ  $CT2$  の分周数  $Y$  の値と切り換え信号  $SW1$  から  $SWM$  の値を適当に出力することにより、モジュロの値を  $M$  とする分数  $PLL$  を実現することができる。

**【0092】**

本発明第 12 の実施例に対する本発明第 14 の実施例における利点は、高い周波数であることがある電圧制御発振器出力信号  $f_v$  を分周するカウンタ  $CT2$  の出力信号の数が 2 と少ないことである。本発明第 12 の実施例においては、電圧制御発振器出力信号  $f_v$  はカウンタ  $CT1$  により分周を行なっているが、その出力信号の数は 4 であった。これらの信号のタイミングは相対精度が必要とされるので、カウンタから直接えられた信号に対して電圧制御発振器出力信号  $f_v$  などにより同期を行なう必要がある。したがって、電圧制御発振器出力信号  $f_v$  を分周するカウンタの出力の数が少ないことは、回路規模を抑えることにもつながるし、低消費電流化ともなる。しかし、基準周波数信号  $f_r$  を分周している

20

**【0093】**

本発明第 14 の実施例における一つの利点は、本発明第 12 の実施例と同様、定電流源  $SP1$  から  $SPM$  の電流値と定電流源  $SN1$  から  $SNM$  の電流値をそれぞれ等しくすることができる点である。各定電流源の電流の値を等しくすることにより、各定電流源の電流の値に重みを付けた場合に比べて、電流の相対精度を上げることができる。また、本発明の第 14 の実施例における一つの利点は、正側の定電流源の電流の値と負側の定電流源の値を必ずしも揃えなくてもよいという点である。従って、各定電流源の回路を、 $FET$  一つにより実現することも可能である。

30

**【0094】**

本発明第 14 の実施例においては、定電流源  $SP1$  から  $SPM$  の電流値と定電流源  $SN1$  から  $SNM$  の電流値をそれぞれ等しくしていたが、重み付けを行なってもよい。重み付けを行なうことにより、少ない数の定電流源を用いて大きなモジュロの値の分数  $PLL$  を実現することができる。

**【0095】**

40

本発明第 14 の実施例においては、スイッチ  $QP1$ ,  $QN1$  からスイッチ  $QPM$ ,  $QNM$  をオン・オフするタイミングを、カウンタ  $CT1$  のカウント値が 0 である信号と  $B$  である信号、カウンタ  $CT2$  のカウント値が 0 である信号によって生成されるタイミング、および、カウンタ  $CT1$  のカウント値が 0 である信号と  $B$  である信号、カウンタ  $CT2$  のカウント値が 1 である信号によって生成されるタイミングの 2 種類のを切り換えていたが、カウンタ  $CT1$  のカウント値が 0 である信号と  $B$  である信号、カウンタ  $CT2$  のカウント値が 2 である信号によって生成されるタイミングなどを加えるなどして、さらに多くのタイミングを用意して切り換えるようにしてもよい。タイミングの数を増やすことにより、少ない数の定電流源を用いて大きな数をモジュロとする分数  $PLL$  を実現することができる。

50

## 【0096】

本発明第14の実施例においては、正側の定電流源に対するスイッチのオン・オフのタイミングと負側の定電流源に対するスイッチのオン・オフのタイミングをセットで切り換えていたが、本発明第13の実施例のように、個別にタイミングを切り換えるようにしてもよい。そのようにすることにより、正側と負側の定電流源の電流に対する整合性を取る必要が発生するが、同じ数の定電流源でより大きい数をモジュロとする分数PLLを実現することができる。

## 【0097】 第15の実施例

本発明第15の実施例は、基準周波数信号 $f_r$ の周波数に対して、整数とは限らない正の実数 $X$ を乗じた周波数の信号を発生させるPLLである。図30は本発明第15の実施例におけるPLLのブロック図である。図30における位相比較器PD8のブロック図を図29に示す。本発明第15の実施例における位相比較器においては、チャージポンプを構成する定電流源の電流の値を定電流源の電流設定値 $I_a$ 、 $I_b$ によって位相比較器の外部から設定できるようになっている。位相比較器PD8は二つの位相比較器を並列に接続することにより実現できるが、カウンタCT1の部分など共通している部分が多いため、共通部分を一つにまとめている。

## 【0098】

位相比較器PD8におけるカウンタCT1においては、カウント値が0、P、B、 $B+P$ に等しいことを示す信号がそれぞれ出力される。ただし、Pは $N-B$ より小さい正の整数である。スイッチQ1、Q2はカウンタCT1のカウント値が0である信号とBである信号、第2の信号 $f_2$ によって生成されるタイミングに従ってオン・オフの動作を行なう。スイッチQ7、Q8はカウンタCT1のカウント値がPである信号と $B+P$ である信号、第2の信号 $f_2$ によって生成されるタイミングに従ってオン・オフの動作を行なう。前者のタイミングにおいては、後者のタイミングに対して、正側の定電流源に対するスイッチがオンとなっている期間が第3の信号 $f_1$ のPクロック分だけ長く、負側の定電流源に対するスイッチがオンとなっている期間が第3の信号 $f_1$ のPクロック分だけ短い。定電流源S1、S2の電流設定値 $I_a$ および定電流源S7、S8の電流設定値 $I_b$ を外部から変化させることができるので、電流設定値 $I_a$ 、 $I_b$ の値により、位相比較器PD8に位相オフセットを持たせることができる。その位相オフセットの値は、第3の信号 $f_1$ の周期に対して $P \times I_b / (I_a + I_b)$ を乗じた時間となる。したがって、位相オフセットの分解能は、電流設定値 $I_a$ 、 $I_b$ の分解能によって決まる。図30におけるコントローラCR9が毎周期、カウンタCT1の分周数Nの値と電流設定値 $I_a$ 、 $I_b$ を適当に出力することにより、非整数PLLを実現することができる。

## 【0099】

本発明第15の実施例における利点は、電流設定値 $I_a$ 、 $I_b$ の設定分解能を高めることによって、電圧制御発振器出力信号 $f_v$ の周波数設定値の分解能を高くすることができることである。

## 【0100】 第16の実施例

本発明第16の実施例は、基準周波数信号 $f_r$ の周波数に対して、整数とは限らない正の実数 $X$ を乗じた周波数の信号を発生させるPLLである。図32は本発明第16の実施例におけるPLLのブロック図である。図32における位相比較器PD9のブロック図を図31に示す。本発明第16の実施例における位相比較器においては、チャージポンプを構成する定電流源の電流の値を定電流源の電流設定値 $I_a$ 、 $I_b$ によって位相比較器の外部から設定できるようになっている。位相比較器PD9は二つの位相比較器を並列に接続することにより実現できるが、カウンタCT1の部分など共通している部分が多いため、共通部分を一つにまとめている。

## 【0101】

位相比較器PD9におけるカウンタCT1においては、カウント値が0、Bに等しいことを示す信号がそれぞれ出力される。カウンタCT2においては、カウント値が0、1に等しいことを示す信号がそれぞれ出力される。スイッチQ1、Q2はカウンタCT1のカウ

ント値が0である信号とBである信号、カウンタCT2のカウント値が0である信号によって生成されるタイミングに従ってオン・オフの動作を行なう。スイッチQ7, Q8はカウンタCT1のカウント値が0である信号とBである信号、カウンタCT2のカウント値が1である信号によって生成されるタイミングに従ってオン・オフの動作を行なう。前者のタイミングにおいては、後者のタイミングに対して、正側の定電流源に対するスイッチがオンとなっている期間が第3の信号f1の1クロック分だけ長く、負側の定電流源に対するスイッチがオンとなっている期間が第3の信号f1の1クロック分だけ短い。定電流源S1, S2の電流設定値Iaおよび定電流源S7, S8の電流設定値Ibを外から変化させることができるので、電流設定値Ia, Ibの値により、位相比較器PD8に位相オフセットを持たせることができる。その位相オフセットの値は、第3の信号f1の周期に対して $Ib / (Ia + Ib)$ を乗じた時間となる。したがって、位相オフセットの分解能は、電流設定値Ia, Ibの分解能によって決まる。図32におけるコントローラCR10が毎周期、カウンタCT2の分周数Yの値と電流設定値Ia, Ibを適当に出力することにより、非整数PLLを実現することができる。

10

## 【0102】

本発明第16の実施例における利点は、電流設定値Ia, Ibの設定分解能を高めることによって、電圧制御発振器出力信号fvの周波数設定値の分解能を高くすることができることである。

## 【0103】

本発明第15の実施例に対する本発明第16の実施例における利点は、高い周波数であることがある電圧制御発振器出力信号fvを分周するカウンタCT2の出力信号の数が2と少ないことである。本発明第15の実施例においては、電圧制御発振器出力信号fvはカウンタCT1により分周を行なっているが、その出力信号の数は4であった。これらの信号のタイミングは相対精度が必要とされるので、カウンタから直接えられた信号に対して電圧制御発振器出力信号fvなどにより同期を行なう必要がある。したがって、電圧制御発振器出力信号fvを分周するカウンタの出力の数が少ないことは、回路規模を抑えることにもつながるし、低消費電流化ともなる。しかし、基準周波数信号frを分周しているので、基準周波数信号frの周波数が十分に高くない場合においては、位相比較を行なう周期が長くなってしまふこと、位相比較器出力Ioが出力される期間が長くなってしまふことなどの考慮すべき点を持っている。

20

30

## 【0104】

本発明第16の実施例においては、カウンタCT2において、そのカウント値が0である信号と1である信号を取り出していたが、それらのカウント値の差は1でなくてもよく、他の自然数であってもよい。

## 【0105】 第17の実施例

本発明第17の実施例は、基準周波数信号frの周波数に対して、整数とは限らない正の実数Xを乗じた周波数の信号を発生させるPLLである。図34は本発明第17の実施例におけるPLLのブロック図である。図34における位相比較器PD10のブロック図を図33に示す。本発明第17の実施例における位相比較器においては、チャージポンプを構成する定電流源S1, S2の電流の値を定電流源の電流設定値Ic, Idによって位相比較器の外部から設定できるようになっている。また、定電流源S3, S4は、位相が大きくずれた際に動作するものである。

40

## 【00106】

位相比較器PD10におけるカウンタCT1においては、カウント値が0、Pに等しいことを示す信号がそれぞれ出力される。ただし、Pは2以上の整数である。カウンタCT1のカウント値が0になってからカウント値がPになるまでの間に第2の信号f2が立ち上がったとき、カウンタCT1のカウント値が0になってから第2の信号f2が立ち上がるまでの期間のみスイッチQ2がオンになり、第2の信号f2が立ち上がったからカウンタCT1のカウント値がPになるまでの期間のみスイッチQ1がオンになる。したがって、位相比較器PD10における位相オフセットは、第3の信号f1の周期に対して $P \times Id$

50

$(I_c + I_d)$  を乗じた時間となる。すなわち、定電流源の電流設定値  $I_c$  ,  $I_d$  の比を適当に設定することにより所望の位相オフセットを持たせることができ、位相オフセットの分解能は、電流設定値  $I_c$  ,  $I_d$  の分解能によって決まる。図 3 4 におけるコントローラ CR 1 1 が毎周期、カウンタ CT 1 の分周数 N の値と電流設定値  $I_c$  ,  $I_d$  を適当に出力することにより、非整数 PLL を実現することができる。

#### 【 0 0 1 0 7 】

本発明第 1 5 の実施例に対する本発明第 1 7 の実施例の利点は、電流の値を位相比較器の外部からの信号により設定しなければならない定電流源の数が少ないことである。しかし、本発明第 1 7 の実施例においては、内部の回路における遅延時間の不揃いが位相オフセットの精度に影響を及ぼしてしまうので、遅延時間の不揃いが問題にならない場合に用いるか、そうでない場合には何らかの方法で遅延時間の不揃いを補償する手段を持たせるなどの考慮が必要になる。内部回路における遅延時間の不揃いを補償する手段としては、本発明第 6 の実施例の手法を用いて互いに位相オフセットの時間の差が第 3 の信号  $f_1$  の 1 周期と等しくなるような二組の定電流源の電流設定値  $I_c$  ,  $I_d$  を求め、1 次補間により所望の位相オフセットに対する電流設定値  $I_c$  ,  $I_d$  を算出するなどの方法がある。

10

#### 【 0 0 1 0 8 】

【発明の効果】以上のように、本発明を用いることにより、ゼロクロス歪を持たない位相比較器を実現することができ、それを応用することによって位相比較器に位相オフセットを精度よく持たせることができ、分数 PLL などの非整数動作を行う PLL を実現することができる。

20

#### 【 図面の簡単な説明 】

【 図 1 】 本発明の第 1 の実施例における位相比較器のブロック図

【 図 2 】 本発明の第 1 の実施例における信号波形の例

【 図 3 】 本発明の第 1 の実施例における信号波形の例

【 図 4 】 本発明の第 2 の実施例における位相比較器のブロック図

【 図 5 】 本発明の第 2 の実施例における信号波形の例

【 図 6 】 本発明の第 3 の実施例における PLL 装置のブロック図

【 図 7 】 本発明の第 4 の実施例における PLL 装置のブロック図

【 図 8 】 本発明の第 5 の実施例における位相比較器のブロック図

【 図 9 】 本発明の第 5 の実施例における PLL 装置のブロック図

30

【 図 1 0 】 本発明の第 6 の実施例における位相オフセットの表

【 図 1 1 】 本発明の第 6 の実施例における PLL 装置のブロック図

【 図 1 2 】 本発明の第 7 の実施例における位相オフセットの表

【 図 1 3 】 本発明の第 8 の実施例における位相比較器のブロック図

【 図 1 4 】 本発明の第 8 の実施例における PLL 装置のブロック図

【 図 1 5 】 本発明の第 9 の実施例における位相比較器のブロック図

【 図 1 6 】 本発明の第 9 の実施例における PLL 装置のブロック図

【 図 1 7 】 本発明の第 9 の実施例における位相オフセットの表

【 図 1 8 】 本発明の第 1 0 の実施例における位相比較器のブロック図

【 図 1 9 】 本発明の第 1 0 の実施例における PLL 装置のブロック図

40

【 図 2 0 】 本発明の第 1 1 の実施例における位相比較器のブロック図

【 図 2 1 】 本発明の第 1 1 の実施例における PLL 装置のブロック図

【 図 2 2 】 本発明の第 1 1 の実施例における位相オフセットの表

【 図 2 3 】 本発明の第 1 2 の実施例における位相比較器のブロック図

【 図 2 4 】 本発明の第 1 2 の実施例における PLL 装置のブロック図

【 図 2 5 】 本発明の第 1 3 の実施例における位相比較器のブロック図

【 図 2 6 】 本発明の第 1 3 の実施例における PLL 装置のブロック図

【 図 2 7 】 本発明の第 1 4 の実施例における位相比較器のブロック図

【 図 2 8 】 本発明の第 1 4 の実施例における PLL 装置のブロック図

【 図 2 9 】 本発明の第 1 5 の実施例における位相比較器のブロック図

50

【図30】本発明の第15の実施例におけるPLL装置のブロック図

【図31】本発明の第16の実施例における位相比較器のブロック図

【図32】本発明の第16の実施例におけるPLL装置のブロック図

【図33】本発明の第17の実施例における位相比較器のブロック図

【図34】本発明の第17の実施例におけるPLL装置のブロック図

【図35】従来有位相比較器のブロック図の例

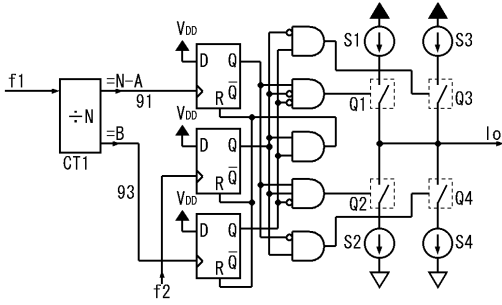
【図36】従来有位相比較器の入出特性の例

【符号の説明】

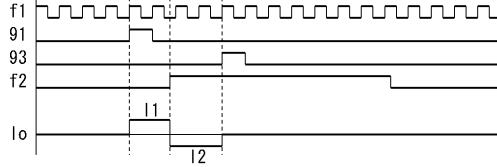
f <sub>1</sub> . . . . .	第3の信号	
f <sub>2</sub> . . . . .	第2の信号または第2の信号の第4の位相を与える信号	10
f <sub>3</sub> . . . . .	第2の信号の第5の位相を与える信号	
f <sub>r</sub> . . . . .	基準周波数信号	
f <sub>v</sub> . . . . .	電圧制御発振器出力信号	
A, B, C, D, E, P . . . . .	整数、カウンタCT1またはカウンタCT2の計数值との比較値に使用	
AD . . . . .	調整器	
CP . . . . .	補償器	
CR1, CR2, CR3, CR4, CR5, CR6 . . . . .	コントローラCR7, CR8, CR9, CR10, CR11, CR12, CR13 . . . . .	
CR7, CR8, CR9, CR10, CR11, CR12, CR13 . . . . .	コントローラ	
CT1, CT2 . . . . .	カウンタ	20
EOC . . . . .	1サイクル終了信号	
I1, I2, I3, I4, I7, I8 . . . . .	S1, S2, S3, S4, S7, S8の出力電流	
Ia, Ib, Ic, Id . . . . .	定電流源の電流設定値	
Io . . . . .	位相比較器出力	
N . . . . .	カウンタCT1の分周数	
PD1, PD2, PD3, PD4, PD5, PD6 . . . . .	位相比較器	
PD7, PD8, PD9, PD10, PD11, PD12 . . . . .	位相比較器	
Q1, Q2, Q3, Q4, Q5, Q6, Q7, Q8 . . . . .	スイッチ	
QP1, QPM, QN1, QNM . . . . .	スイッチ	30
S1, S2, S3, S4, S5, S6, S7, S8 . . . . .	定電流源	
SP1, SPM, SN1, SNM . . . . .	定電流源	
SW1, SWM . . . . .	切り換え信号	
SWP1, SWPM, SWN1, SWNM . . . . .	切り換え信号	
VCO . . . . .	電圧制御発振器	
X . . . . .	周波数設定値、整数とは限らない	
Y . . . . .	カウンタCT2の分周数	
91 . . . . .	第1の信号の第1の位相を示す信号	
92 . . . . .	カウンタCT1のカウント値がゼロであることを示す信号	
93 . . . . .	第1の信号の第2の位相を示す信号	40



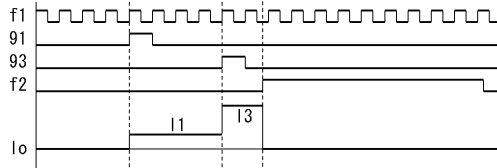
【 図 1 】



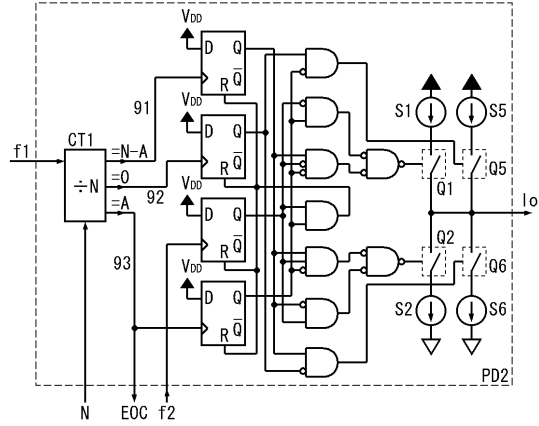
【 図 2 】



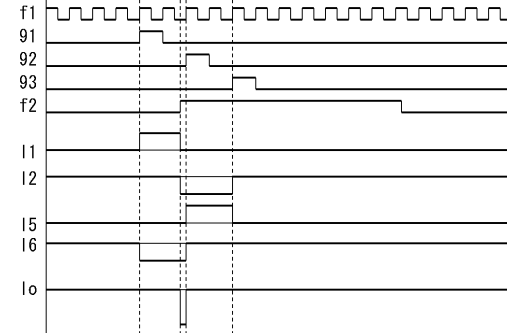
【 図 3 】



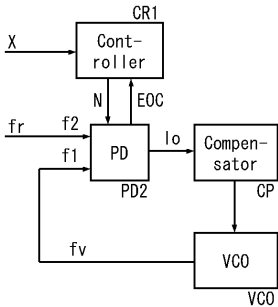
【 図 4 】



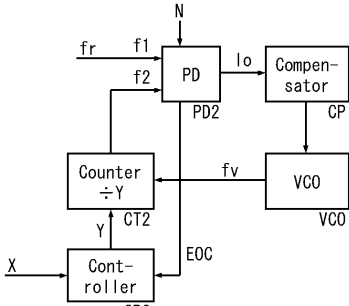
【 図 5 】



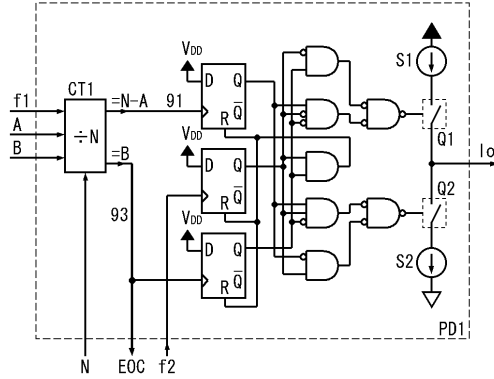
【 図 6 】



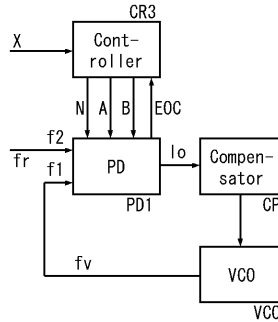
【 図 7 】



【 図 8 】



【 図 9 】



【 図 1 0 】

	I1	I2	I1-I2
電流比	5	-3	8

項番	Aの変化幅	Bの変化幅	電荷の変化	位相オフセット	内積パターン
1	0	1	-3	-3/8	-1
2	-1	-1	-2	-2/8	0
3	1	2	-1	-1/8	-1
4	0	0	0	0	0
5	-1	-2	1	1/8	1
6	1	1	2	2/8	0
7	0	-1	3	3/8	1
8	2	2	4	4/8	0
9	-1	-3	4	4/8	2

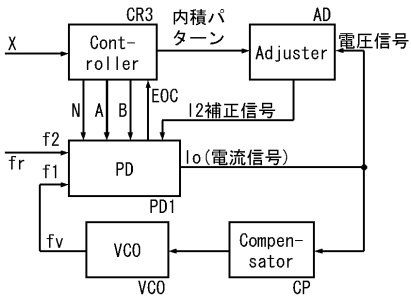
【 図 1 2 】

	I1	I2	I1-I2
電流比	9	-7	16

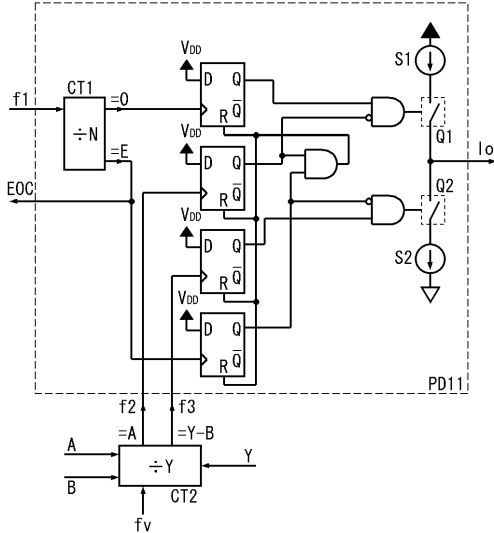
  

Aの変化幅	Bの変化幅	電荷の変化	位相オフセット
0	1	-7	-7/16
-3	-3	-6	-6/16
1	2	-5	-5/16
-2	-2	-4	-4/16
2	3	-3	-3/16
-1	-1	-2	-2/16
3	4	-1	-1/16
0	0	0	0
-3	-4	1	1/16
1	1	2	2/16
-2	-3	3	3/16
2	2	4	4/16
-1	-2	5	5/16
3	3	6	6/16
0	-1	7	7/16
4	4	8	8/16

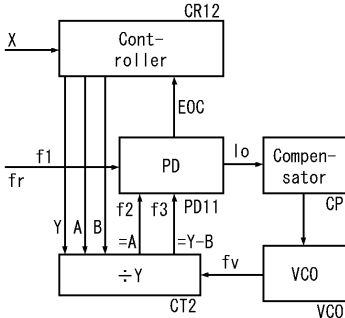
【 図 1 1 】



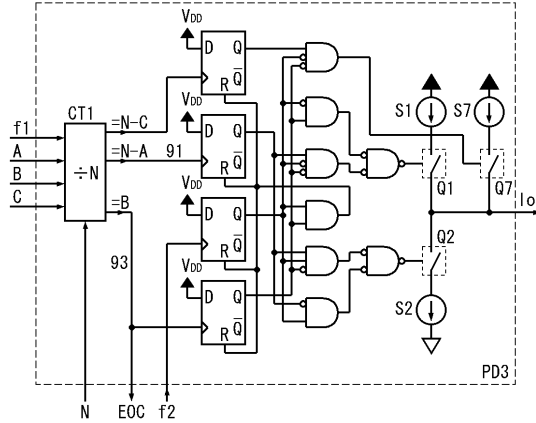
【 図 1 3 】



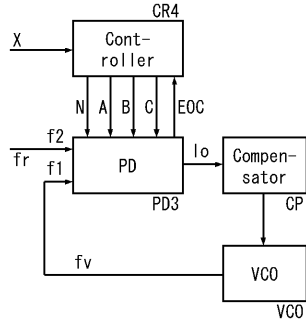
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



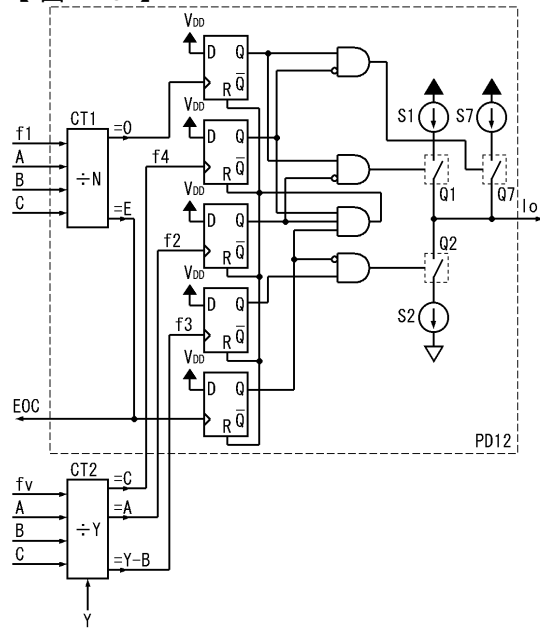
【 図 17 】

	I1	I2	I7	I1-I2+I7
電流比	5	-7	4	16

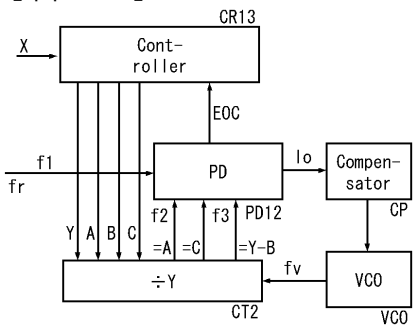
  

Aの変化幅	Bの変化幅	Cの変化幅	電荷の変化	位相オフセット
0	1	0	-7	-7/16
1	1	-1	-6	-6/16
-1	0	0	-5	-5/16
0	0	-1	-4	-4/16
0	1	1	-3	-3/16
1	1	0	-2	-2/16
-1	0	1	-1	-1/16
0	0	0	0	0
1	0	-1	1	1/16
1	1	1	2	2/16
0	-1	-1	3	3/16
0	0	1	4	4/16
1	0	0	5	5/16
-1	-1	1	6	6/16
0	-1	0	7	7/16
1	-1	-1	8	8/16

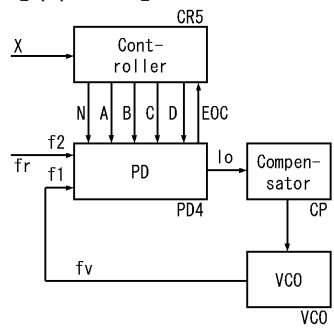
【 図 18 】



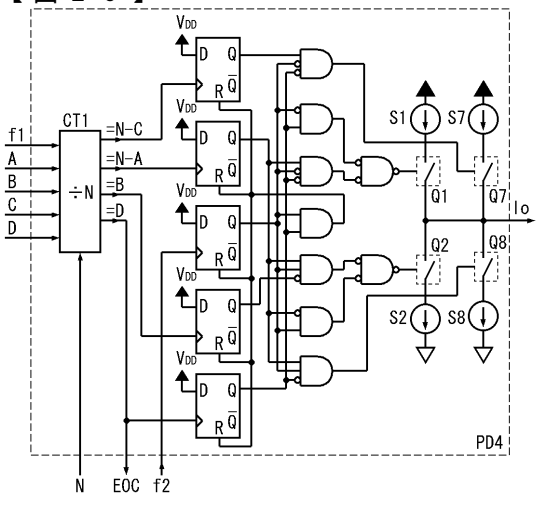
【 図 19 】



【 図 21 】



【 図 20 】



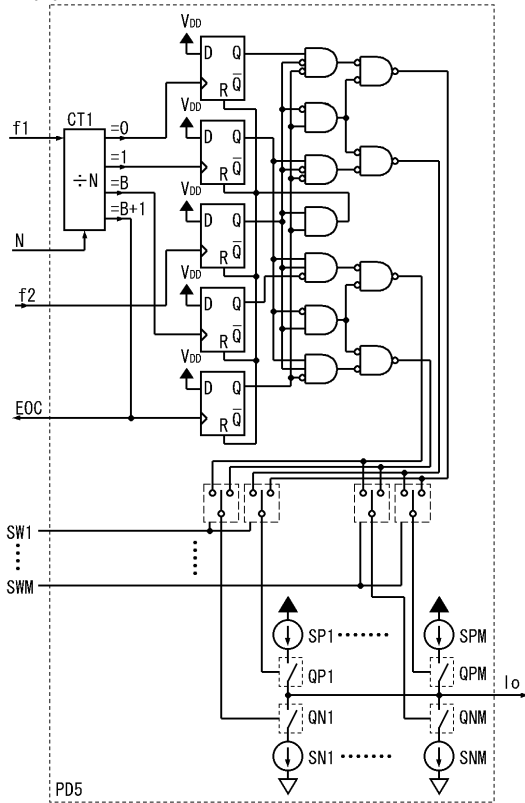
【 図 22 】

	I1	I2	I7	I8	I1-I2+I7-I8
電流比	1	-1	2	-4	8

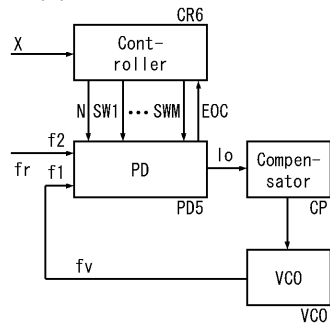
  

Aの変化幅	Bの変化幅	Cの変化幅	Dの変化幅	電荷の変化	位相オフセット
0	0	0	1	-4	-4/8
0	-1	0	1	-3	-3/8
0	0	1	1	-2	-2/8
0	-1	1	1	-1	-1/8
0	0	0	0	0	0
0	-1	0	0	1	1/8
0	0	1	0	2	2/8
0	-1	1	0	3	3/8

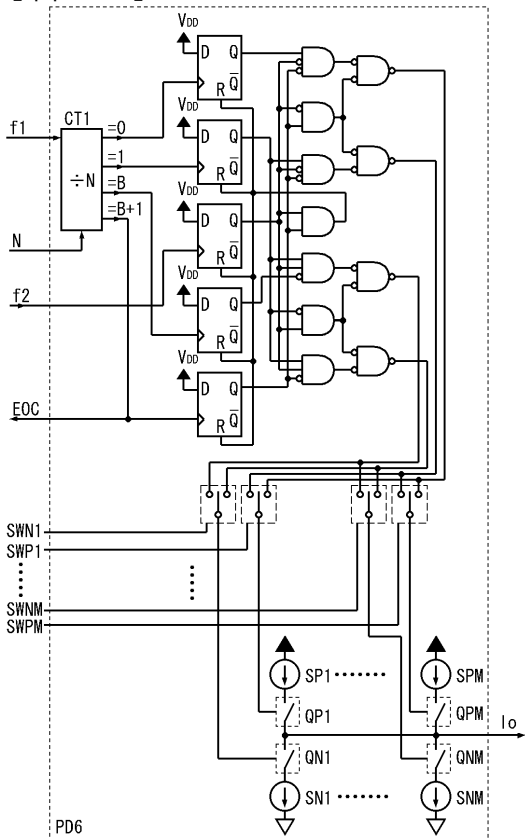
【 図 2 3 】



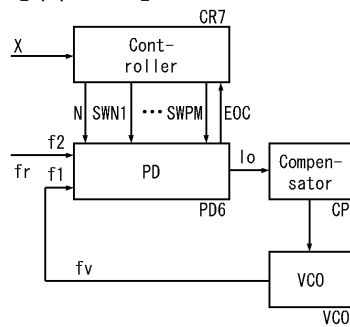
【 図 2 4 】



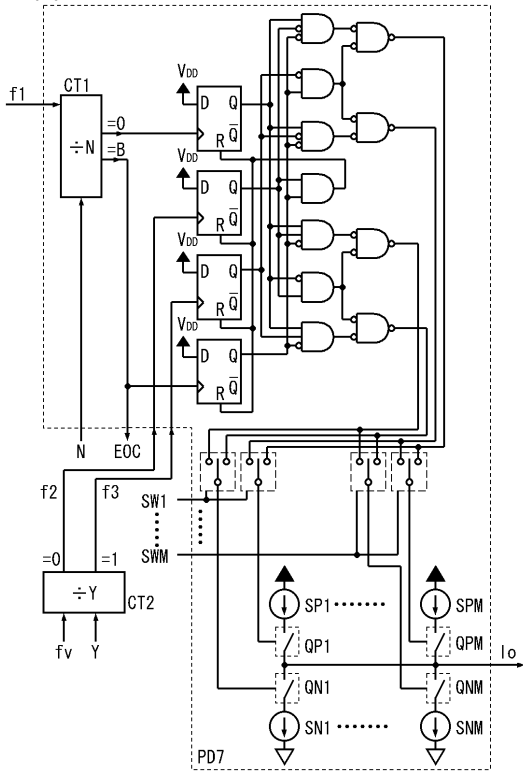
【 図 2 5 】



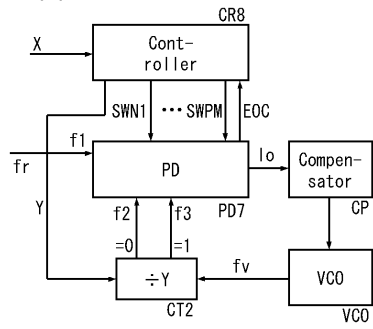
【 図 2 6 】



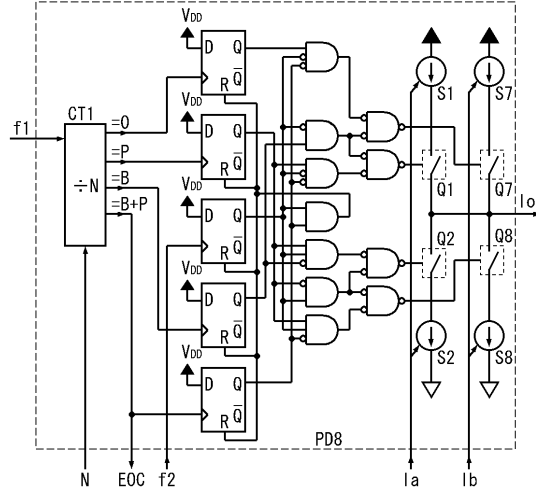
【 27 】



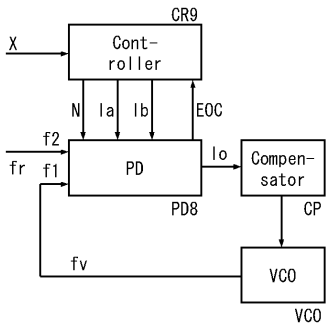
【 28 】



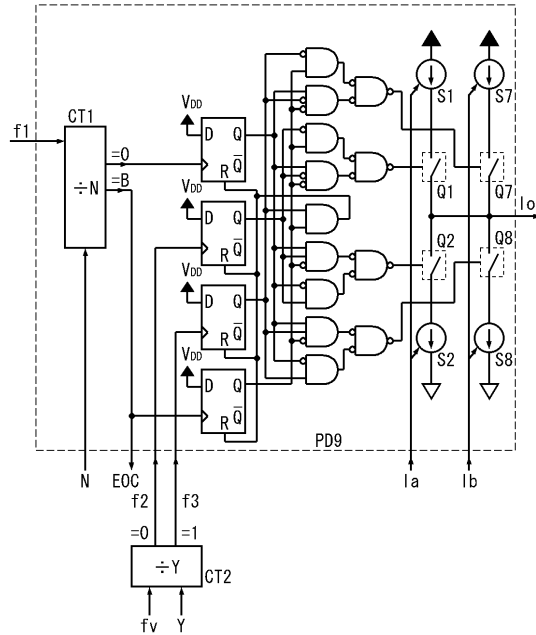
【 29 】



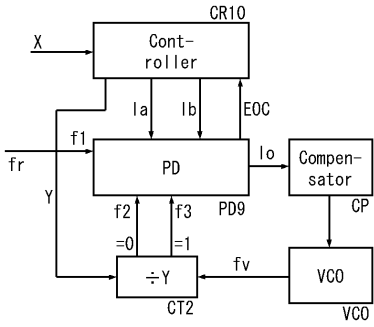
【 30 】



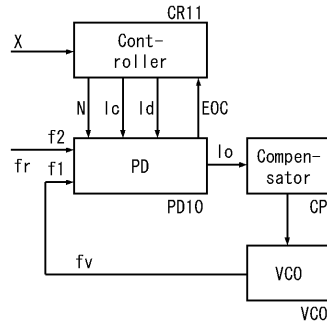
【 31 】



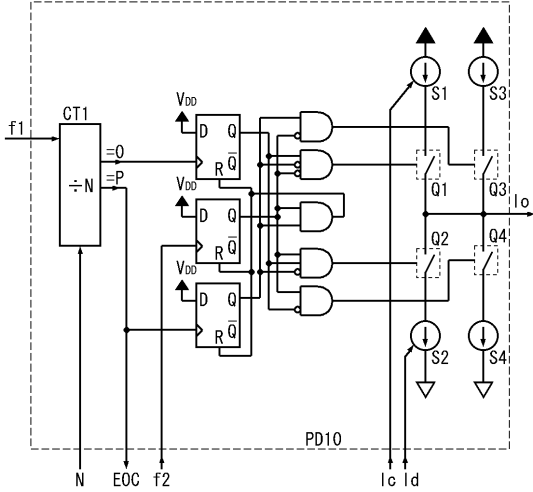
【図 3 2】



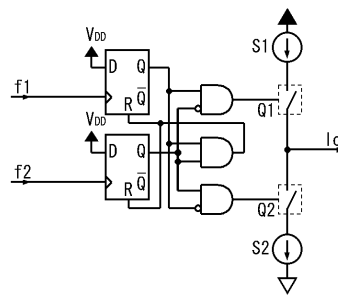
【図 3 4】



【図 3 3】



【図 3 5】



【図 3 6】

