

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7478716号
(P7478716)

(45)発行日 令和6年5月7日(2024.5.7)

(24)登録日 令和6年4月24日(2024.4.24)

(51)国際特許分類

F I

H 0 1 L	21/76 (2006.01)	H 0 1 L	29/78	6 5 2 R
H 0 1 L	29/78 (2006.01)	H 0 1 L	29/78	6 5 2 B
H 0 1 L	29/739 (2006.01)	H 0 1 L	29/78	6 5 2 C
H 0 1 L	21/336 (2006.01)	H 0 1 L	29/78	6 5 2 D
H 0 1 L	29/41 (2006.01)	H 0 1 L	29/78	6 5 2 F

請求項の数 11 (全31頁) 最終頁に続く

(21)出願番号 特願2021-160106(P2021-160106)
 (22)出願日 令和3年9月29日(2021.9.29)
 (62)分割の表示 特願2019-203351(P2019-203351)
)の分割
 原出願日 平成25年8月12日(2013.8.12)
 (65)公開番号 特開2022-920(P2022-920A)
 (43)公開日 令和4年1月4日(2022.1.4)
 審査請求日 令和3年9月30日(2021.9.30)
 審判番号 不服2023-8625(P2023-8625/J1)
 審判請求日 令和5年5月26日(2023.5.26)
 (31)優先権主張番号 特願2012-182169(P2012-182169)
 (32)優先日 平成24年8月21日(2012.8.21)
 (33)優先権主張国・地域又は機関
 日本国(JP)
 (31)優先権主張番号 特願2012-182170(P2012-182170)
 最終頁に続く

(73)特許権者 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2 1 番地
 (74)代理人 110002310
 弁理士法人あい特許事務所
 (72)発明者 日笠 旭紘
 京都府京都市右京区西院溝崎町2 1 番地
 ローム株式会社内
 合議体
 審判長 河本 充雄
 審判官 市川 武宜
 審判官 松永 稔

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項 1】

半導体層と、

前記半導体層に形成されたゲートトレンチと、

前記ゲートトレンチに絶縁膜を介して埋め込まれたゲート電極と、

前記ゲートトレンチの側方において、前記半導体層の表面側から前記ゲートトレンチの深さ方向に順に配置された第1導電型の第1領域、第2導電型の第2領域、および前記第1導電型であり、かつ前記第1領域よりも低い不純物濃度を有する第3領域と、

前記ゲートトレンチの他側方において、前記ゲートトレンチに隣り合うように形成されたエミッタトレンチと、

前記エミッタトレンチに対して、前記エミッタトレンチと前記ゲートトレンチで挟まれる領域と反対側の領域に形成され、前記第2領域よりも深く形成された前記第2導電型のフローティング領域と、

前記第1領域および前記第2領域に前記半導体層の表面から掘り下がって形成されたコンタクトトレンチと、

前記コンタクトトレンチの底面に形成され、かつ前記第2領域よりも高い不純物濃度を有する前記第2導電型のコンタクト領域と、

前記半導体層の表面側に形成され、かつ前記コンタクトトレンチに入り込んでおり、前記コンタクトトレンチの側面で前記第1領域に接続され、前記コンタクトトレンチの底面で前記コンタクト領域に接続された表面電極とを含み、

10

20

前記コンタクトトレンチは、その底面が平坦な形状であり、かつ前記コンタクト領域が前記第 1 領域の底部および前記コンタクトトレンチの底面に接するように、前記コンタクトトレンチの底面が前記コンタクト領域の最表面部よりも深くなるように形成され、

前記第 2 領域の底部は前記ゲートトレンチよりも浅く形成されている、半導体装置。

【請求項 2】

表面および裏面を有する半導体層と、

前記半導体層に形成された一対のゲートトレンチと、

前記一対のゲートトレンチで挟まれた領域に、前記半導体層の表面側から裏面側に向かって順に配置された第 1 導電型の第 1 領域、第 2 導電型の第 2 領域、および前記第 1 導電型であり、かつ前記第 1 領域よりも低い不純物濃度を有する第 3 領域と、

10

前記半導体層の表面側から裏面側に向かって形成され、前記第 2 領域よりも深く形成された前記第 2 導電型のフローティング領域と、

前記半導体層において、前記第 1 領域、前記第 2 領域および前記第 3 領域が配置された領域と、前記フローティング領域との間に形成され、底部が前記第 2 領域よりも前記裏面側まで延びるエミッタトレンチと、

前記ゲートトレンチに絶縁膜を介して埋め込まれたゲート電極と、

前記第 1 領域および前記第 2 領域に前記半導体層の表面から掘り下がって形成されたコンタクトトレンチと、

前記コンタクトトレンチの底面に形成され、かつ前記第 2 領域よりも高い不純物濃度を有する前記第 2 導電型のコンタクト領域と、

20

前記半導体層の表面側に形成され、かつ前記コンタクトトレンチに入り込んでおり、前記コンタクトトレンチの側面で前記第 1 領域に接続され、前記コンタクトトレンチの底面で前記コンタクト領域に接続された表面電極とを含み、

前記コンタクトトレンチは、その底面が平坦な形状であり、かつ前記コンタクト領域が前記第 1 領域の底部および前記コンタクトトレンチの底面に接するように、前記コンタクトトレンチの底面が前記コンタクト領域の最表面部よりも深くなるように形成されている、半導体装置。

【請求項 3】

前記フローティング領域は、前記エミッタトレンチの底部よりも深い位置にまで形成されている、請求項 1 または 2 に記載の半導体装置。

30

【請求項 4】

前記絶縁膜は、前記ゲートトレンチ外に延び、前記半導体層の前記表面における前記第 1 領域を覆っている、請求項 1 ~ 3 のいずれか一項に記載の半導体装置。

【請求項 5】

前記絶縁膜の端面が、前記コンタクトトレンチの前記側面に連なっている、請求項 4 に記載の半導体装置。

【請求項 6】

前記半導体層上に形成され、前記絶縁膜の前記端面に連なる側面を含む開口が形成された層間膜をさらに含み、

前記表面電極は、前記層間膜の前記開口を介して、前記コンタクトトレンチに入り込んでいる、請求項 5 に記載の半導体装置。

40

【請求項 7】

前記コンタクト領域は、前記コンタクトトレンチの幅よりも側方に広がるように形成されている、請求項 1 ~ 6 のいずれか一項に記載の半導体装置。

【請求項 8】

前記第 3 領域に対して前記半導体層の裏面側に配置された前記第 2 導電型の第 4 領域と、前記第 3 領域と前記第 4 領域との間に形成され、前記第 3 領域よりも高い不純物濃度を有する前記第 1 導電型のパッファ層とを含む、請求項 1 ~ 7 のいずれか一項に記載の半導体装置。

【請求項 9】

50

前記表面電極は、前記コンタクトトレンチ上の部分に選択的に凹部を有している、請求項 1 ~ 8 のいずれか一項に記載の半導体装置。

【請求項 10】

前記ゲート電極の上面には、前記ゲートトレンチ内において、半導体層の前記表面に対して前記ゲートトレンチの深さ方向に凹んだ凹部が形成されている、請求項 1 ~ 9 のいずれか一項に記載の半導体装置。

【請求項 11】

前記第 1 導電型が n 型であり、前記第 2 導電型が p 型である、請求項 1 ~ 10 のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、IGBT (Insulated Gate Bipolar Transistor) を備える半導体装置に関する。

【背景技術】

【0002】

従来、コレクタ - エミッタ間の飽和電圧 $V_{CE(sat)}$ および短絡耐量の高いトレンチ型 IGBT は、p 型フローティング層を有している。p 型フローティング層は、一般的に、p 型ベース層と同一工程形成される。これにより、p 型フローティング層は、p 型ベース層と同じ深さを有している。

20

【先行技術文献】

【特許文献】

【0003】

【文献】町田 悟、杉山 隆英、石子 雅康、保田 智史、斎藤 順、濱田 公守、「IGBT のスイッチング損失と素子容量の関連解析」、電気学会電子材料研究会資料 (EFM - 09, 16 - 26, 28 - 29)、p. 55 - 59

【文献】渡邊 聡、森 睦宏、新井 大夏、石橋 亨介、豊田 靖、織田 哲男、原田 卓、齊藤 克明、「フローティング p 層をゲートから分離した低損失、低ノイズ、高信頼な 1.7 kV トレンチ IGBT」、電気学会電子デバイス研究会資料 (EDD - 11, 66 - 83)、p. 67 - 71

30

【文献】特許第 4785334 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、従来の構造では、デバイスの耐圧保持のために p 型フローティング層を深く拡散させると耐圧は保持されるが、それに伴い p 型ベース層が厚くなってしまってオン電圧が上昇するという不具合がある。一方、オン電圧の低減のために p 型ベース層を薄くしたのは、逆に、十分な耐圧を保持することが困難になる。

【0005】

そこで、本発明の目的は、耐圧を向上できながら、オン電圧の上昇を抑えることができる IGBT を備える半導体装置を提供することである。

40

【課題を解決するための手段】

【0006】

上記目的を達成するための本発明の半導体装置は、半導体層と、第 1 方向に延びるように形成され、前記第 1 方向と直行する第 2 方向に並んで前記半導体層に形成された複数のトレンチと、前記複数のトレンチに絶縁膜を介して埋め込まれ、前記第 2 方向において互いに隣り合う複数のゲート電極および前記第 2 方向に沿って互いに隣り合う複数のエミッタ電極の繰り返し構造と、前記ゲート電極の側方であって前記互いに隣り合うゲート電極の間の領域において、前記半導体層の表面側から前記トレンチの深さ方向に順に配置された n⁺ 型エミッタ領域、p 型ベース領域および n⁻ 型ドリフト領域と、前記互いに隣り合

50

うエミッタ電極の間の領域において形成され、前記 p 型ベース領域よりも深く形成され、前記エミッタ電極の下方に回り込むオーバーラップ部を含む p 型フローティング領域と、前記 n⁻型ドリフト領域に対して前記半導体層の裏面側に配置された p⁺型コレクタ領域とを備え、前記 p 型ベース領域と前記 n⁻型ドリフト領域との界面は、前記トレンチの中央部もしくは上部に設定されている。

【図面の簡単な説明】

【0007】

【図1】図1は、本発明の第1実施形態に係る半導体装置の模式的な断面図である。

【図2】図2は、図1の半導体装置の内部構造を説明するための斜視図である。

【図3A】図3Aは、図1の半導体装置の製造工程を説明するための図である。

10

【図3B】図3Bは、図3Aの次の工程を示す図である。

【図3C】図3Cは、図3Bの次の工程を示す図である。

【図3D】図3Dは、図3Cの次の工程を示す図である。

【図3E】図3Eは、図3Dの次の工程を示す図である。

【図3F】図3Fは、図3Eの次の工程を示す図である。

【図3G】図3Gは、図3Fの次の工程を示す図である。

【図3H】図3Hは、図3Fの次の工程を示す図である。

【図3I】図3Iは、図3Fの次の工程を示す図である。

【図4】図4は、本発明の第2実施形態に係る半導体装置の模式的な断面図である。

【図5】図5は、図4の半導体装置の内部構造を説明するための図であって、図5(a)は斜視図、図5(b)は平面図をそれぞれ示している。

20

【図6】図6は、本発明の第3実施形態に係る半導体装置の模式的な断面図である。

【図7】図7は、図6の破線で囲まれた部分の拡大図である。

【図8A】図8Aは、図7の半導体装置の製造工程を説明するための図である。

【図8B】図8Bは、図8Aの次の工程を示す図である。

【図8C】図8Cは、図8Bの次の工程を示す図である。

【図8D】図8Dは、図8Cの次の工程を示す図である。

【図8E】図8Eは、図8Dの次の工程を示す図である。

【図8F】図8Fは、図8Eの次の工程を示す図である。

【図8G】図8Gは、図8Fの次の工程を示す図である。

30

【図8H】図8Hは、図8Gの次の工程を示す図である。

【図8I】図8Iは、図8Hの次の工程を示す図である。

【図8J】図8Jは、図8Iの次の工程を示す図である。

【図8K】図8Kは、図8Jの次の工程を示す図である。

【図9】図9は、本発明の第4実施形態に係る半導体装置の模式的な断面図である。

【図10】図10は、図9の破線で囲まれた部分の拡大図である。

【図11】図11は、デバイスの $V_{CE} - I_{CF}$ 特性を示すグラフである。

【発明を実施するための形態】

【0008】

以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

40

【0009】

図1は、本発明の第1実施形態に係る半導体装置1の模式的な断面図である。図2は、図1の半導体装置の内部構造を説明するための斜視図である。

【0010】

半導体装置1は、IGBTを備えるデバイスであって、本発明の半導体層の一例としての半導体基板2を含む。半導体基板2は、たとえば、50 μm ~200 μm の厚さのn⁻型シリコン基板であってよい。

【0011】

半導体基板2は、その裏面3側から順にp⁺型コレクタ領域4、n型バッファ領域5およびn⁻型ドリフト領域6が積層された構造を有している。p⁺型コレクタ領域4が半導

50

体基板 2 の裏面 3 全体に露出し、 n^- 型ドリフト領域 6 が半導体基板 2 の表面 7 の一部に選択的に露出している。

【0012】

p^+ 型コレクタ領域 4 の p 型ドーパントとしては、たとえば、B (ホウ素)、Al (アルミニウム) 等を使用できる (以下、同じ)。一方、 n 型バッファ領域 5 および n^- 型ドリフト領域 6 の n 型ドーパントとしては、たとえば、N (窒素)、P (リン)、As (ヒ素) 等を使用できる (以下、同じ)。

【0013】

また、 p^+ 型コレクタ領域 4 のドーパント濃度は、たとえば、 $1 \times 10^{15} \text{ cm}^{-3} \sim 2 \times 10^{19} \text{ cm}^{-3}$ である。一方、 n 型バッファ領域 5 のドーパント濃度は、たとえば、 $1 \times 10^{15} \text{ cm}^{-3} \sim 5 \times 10^{17} \text{ cm}^{-3}$ であり、 n^- 型ドリフト領域 6 のドーパント濃度は、 $1 \times 10^{13} \text{ cm}^{-3} \sim 5 \times 10^{14} \text{ cm}^{-3}$ である。

10

【0014】

半導体基板 2 の表面 7 側には、複数のゲートトレンチ 8 が形成されている。この実施形態では、複数のゲートトレンチ 8 は、たとえばストライプ状に形成され、半導体基板 2 の表面 7 に沿う横方向に一对ずつのトレンチ単位 9 として配置されている。互いに隣り合うトレンチ単位 9 のピッチ P_1 は、たとえば、 $4 \mu\text{m} \sim 20 \mu\text{m}$ である。また、一对のゲートトレンチ 8 において、一方のゲートトレンチ 8 と他方のゲートトレンチ 8 とのピッチ P_2 (ゲートトレンチ 8 の中心点同士の距離) は、たとえば、 $2 \mu\text{m} \sim 7 \mu\text{m}$ であり、間隔 L_1 (ゲートトレンチ 8 の側面間の距離) は、たとえば、 $1 \mu\text{m} \sim 6 \mu\text{m}$ である。

20

【0015】

一对のゲートトレンチ 8 の間には、 p 型ベース領域 10 が形成されている。 p 型ベース領域 10 は、一方のゲートトレンチ 8 と他方のゲートトレンチ 8 によって共有されている。また、この実施形態では、 p 型ベース領域 10 と n^- 型ドリフト領域 6 との界面がゲートトレンチ 8 の中央部もしくは上部に設定されていて、 p 型ベース領域 10 は、半導体基板 2 の比較的浅くに拡散形成されている。

【0016】

p 型ベース領域 10 には、半導体基板 2 の表面 7 から掘り下がったコンタクトトレンチ 11 が形成されている。コンタクトトレンチ 11 は、ゲートトレンチ 8 の長手方向に沿って一定の幅で形成されている。コンタクトトレンチ 11 の底面には、 p^+ 型ベースコンタクト領域 12 が形成されている。

30

【0017】

また、コンタクトトレンチ 11 と、一方および他方のゲートトレンチ 8 との間において p 型ベース領域 10 の表面部には、 n^+ 型エミッタ領域 13 が形成されている。 n^+ 型エミッタ領域 13 は、コンタクトトレンチ 11 の両側に一つずつ設けられ、それぞれがコンタクトトレンチ 11 の側面に露出している。

【0018】

また、 p 型ベース領域 10 のドーパント濃度は、たとえば、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ である。 p^+ 型ベースコンタクト領域 12 のドーパント濃度は、たとえば、 $5 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ である。 n^+ 型エミッタ領域 13 のドーパント濃度は、 $1 \times 10^{19} \text{ cm}^{-3} \sim 5 \times 10^{20} \text{ cm}^{-3}$ である。

40

【0019】

また、半導体基板 2 の表面 7 側において一对のゲートトレンチ 8 の間には、複数 (図 1 では 2 本) のエミッタトレンチ 14 が形成されている。この実施形態では、複数のエミッタトレンチ 14 は、たとえばストライプ状 (ゲートトレンチ 8 に平行) に形成され、半導体基板 2 の表面 7 に沿う横方向に互いに等しい間隔を空けて配置されている。互いに隣り合うエミッタトレンチ 14 間隔 L_2 (エミッタトレンチ 14 の側面間の距離) は、たとえば、 $3 \mu\text{m}$ 以下、好ましくは、 $0.8 \mu\text{m} \sim 3 \mu\text{m}$ である。また、複数のエミッタトレンチ 14 は、ゲートトレンチ 8 と同じ深さで形成されている。これにより、エミッタトレンチ 14 をゲートトレンチ 8 と同一工程で形成することができるので、製造工程を簡略化す

50

ることができる。

【0020】

複数のエミッタトレンチ14のうち、ゲートトレンチ8に隣り合うトレンチ（ゲートトレンチ8との間にトレンチを介さずに対向するトレンチ）は、ゲートトレンチ8との間にn⁻型ドリフト領域6を介して2μm以下の間隔L₃（エミッタトレンチ14の側面とゲートトレンチ8の側面との距離）を隔てて配置されている。つまり、当該エミッタトレンチ14とゲートトレンチ8との間には、深さ方向全域に渡ってn⁻型ドリフト領域6が介在している。

【0021】

また、複数のエミッタトレンチ14の各間には、p型フローティング領域15が形成されている。p型フローティング領域15は、電氣的にフローティング状態が保たれた半導体領域であり、ゲートトレンチ8に隣り合うエミッタトレンチ14によって、ゲートトレンチ8と分離されている。p型フローティング領域15は、この実施形態では、p型ベース領域10よりも深く形成されている。

10

【0022】

p型フローティング領域15は、エミッタトレンチ14の底部に対して半導体基板2の裏面3側に膨出する底部16と、ゲートトレンチ8に隣り合うエミッタトレンチ14の下方に回り込むオーバーラップ部17とを有している。オーバーラップ部17は、当該エミッタトレンチ14の幅方向中央に対してゲートトレンチ8の近い側に位置する端部18を有している。この端部18は、エミッタトレンチ14に対してゲートトレンチ8側にはみ出していないことが好ましい。

20

【0023】

また、p型フローティング領域15のドーパント濃度は、たとえば、 $5 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ である。

【0024】

ゲートトレンチ8およびエミッタトレンチ14には、絶縁膜19（たとえば、酸化シリコン（SiO₂））を介してゲート電極20および埋め込み電極21がそれぞれ埋め込まれている。ゲート電極20および埋め込み電極21は、たとえば、ポリシリコン等の導電材料からなる。絶縁膜19は、ゲートトレンチ8の内面、半導体基板2の表面7およびエミッタトレンチ14の内面に沿って一体的に形成されている。絶縁膜19のゲートトレンチ8内の部分は、ゲート絶縁膜22として機能する。また、エミッタトレンチ14の複数の埋め込み電極21は、後述するエミッタ電極25に電氣的に接続されている。

30

【0025】

半導体基板2の表面7には、たとえば、ホウ素リンシリケートガラス（BPSG）、酸化シリコン（SiO₂）等の絶縁材料からなる層間膜23が積層されている。層間膜23には、コンタクトトレンチ11を介してn⁺型エミッタ領域13およびp⁺型ベースコンタクト領域12を選択的に露出させるコンタクトホール24が形成されている。

【0026】

層間膜23上には、エミッタ電極25が積層されている。エミッタ電極25は、コンタクトトレンチ11に入り込み、コンタクトトレンチ11の側面においてn⁺型エミッタ領域13に接続されている。また、コンタクトトレンチ11の底面において、p⁺型ベースコンタクト領域12を介してp型ベース領域10に接続されている。

40

【0027】

次に、半導体装置1の製造方法について説明する。図3A～図3Iは、図1の半導体装置1の製造工程を工程順に説明するための図である。

【0028】

半導体装置1を製造するには、図3Aに示すように、n⁻型の半導体基板2（n⁻型ドリフト領域6）の表面7にマスク28が形成される。マスク28には、表面7におけるp型フローティング領域15に形成すべき領域を選択的に露出させる開口が形成されている。そして、このマスク28を介して、半導体基板2の表面7に対してp型ドーパントがイ

50

オン注入（インプラ）される。これにより、イオン注入領域 26 が形成される。

【0029】

次に、図 3 B に示すように、半導体基板 2 が選択的にエッチングされることによって、ゲートトレンチ 8 およびエミッタトレンチ 14 が同時形成される。

【0030】

次に、図 3 C に示すように、半導体基板 2 が熱酸化されることによって、ゲートトレンチ 8 およびエミッタトレンチ 14 の内面を含む表面全域に犠牲酸化膜 27 が形成される。そして、犠牲酸化膜 27 で覆われた半導体基板 2 をアニール処理することによって、イオン注入領域 26 中の p 型ドーパントが拡散する（ドライブイン）。このアニール処理は、p 型ドーパントがエミッタトレンチ 14 の下方に回り込む条件で行われる。これにより、p 型フローティング領域 15 が形成される。この際、半導体基板 2 が犠牲酸化膜 27 で覆われているので、基板表面からのイオン抜けを防止することができるので、p 型ドーパントを効率よく拡散させることができる。

【0031】

次に、図 3 D に示すように、犠牲酸化膜 27 が剥離される。

【0032】

次に、図 3 E に示すように、半導体基板 2 が熱酸化されることによって、ゲートトレンチ 8 およびエミッタトレンチ 14 の内面を含む表面全域に絶縁膜 19（ゲート絶縁膜 22）が形成される。

【0033】

次に、図 3 F に示すように、ポリシリコン等の電極材料がゲートトレンチ 8 およびエミッタトレンチ 14 に埋め込まれる。これにより、ゲート電極 20 および埋め込み電極 21 が同時に形成される。

【0034】

次に、図 3 G に示すように、半導体基板 2 の表面 7 に対して選択的に n 型および p 型ドーパントがイオン注入および拡散されることによって、p 型ベース領域 10 および n⁺ 型エミッタ領域 13 が順に形成される。

【0035】

次に、図 3 H に示すように、半導体基板 2 の表面 7 上に、ホウ素リンシリケートガラス（BPSG）、酸化シリコン（SiO₂）等の絶縁材料を堆積させることによって、層間膜 23 が形成される。次に、層間膜 23 が選択的にエッチングされてコンタクトホール 24 が形成された後、当該コンタクトホール 24 から露出する半導体基板 2 が選択的にエッチングされる。これにより、コンタクトトレンチ 11 が形成される。

【0036】

次に、図 3 I に示すように、コンタクトホール 24 を介してコンタクトトレンチ 11 の底部に対して選択的に p 型ドーパントがイオン注入および拡散されることによって、p⁺ 型ベースコンタクト領域 12 が形成される。

【0037】

その後、半導体基板 2 の表面 7 側にエミッタ電極 24 等が形成された後、半導体基板 2 の裏面 3 に対して選択的に n 型および p 型ドーパントがイオン注入および拡散されることによって、n 型バッファ領域 5 および p⁺ 型コレクタ領域 4 が順に形成される。

【0038】

以上のような工程を経ることによって、図 1 に示す半導体装置 1 が得られる。なお、図 3 A ~ 図 3 I では半導体装置 1 の製造工程の一部を表したに過ぎず、当該製造工程は、図 3 A ~ 図 3 I で示されなかった工程を含んでもよい。

【0039】

この半導体装置 1 によれば、埋め込み電極 21 が埋め込まれたエミッタトレンチ 14（以下、「エミッタ接合トレンチ」という）の底部まで p 型フローティング領域 15（オーバーラップ部 17）が形成されているので、スイッチングオフ動作時にエミッタ接合トレンチに負荷するコレクタ・エミッタ電圧を緩和することができる。そのため、急峻な電圧

10

20

30

40

50

変化 (dv/dt) に対してデバイスの破壊を防止することができる。

【0040】

また、p型ベース領域10よりも深いp型フローティング領域15によって耐圧を向上できる一方、p型ベース領域10は浅くてもよいので、p型ベース領域10の深さを適切に設計することによってチャンネル長(ゲートトレンチ8の深さ方向の長さ)を短くしてオン電圧の上昇を抑制することもできる。

【0041】

また、ゲート電極20が埋め込まれたゲートトレンチ8(以下、「ゲート接合トレンチ」という)が、エミッタ接合トレンチによってp型フローティング領域15から分離されている。これにより、p型フローティング領域15とゲート接合トレンチとの接合を防止
10

【0042】

一方、ゲート接合トレンチが深さ方向全域に渡って接合しているn⁻型ドリフト領域6はp⁺型コレクタ領域4と共に接地されるものである。そのため、スイッチング動作時に、ゲート接合トレンチとn⁻型ドリフト領域6との間の容量変化が安定するので、ノイズが発生し難い。これらの結果、スイッチング動作時のノイズの発生およびスイッチング損失を低減することができる。

【0043】

また、エミッタ接合トレンチと、ゲート接合トレンチとの間隔Lが2μm以下であるの
20

【0044】

さらに、コンタクトトレンチ11の側面をn⁺型エミッタ領域13とのコンタクトのための領域として有効利用することができるので、n⁺型エミッタ領域13に対するエミッタ電極25の接合面積を十分確保することができる。これにより、n⁺型エミッタ領域13の平面面積を犠牲にすることができるので、一対のゲートトレンチ8における一方および他方のゲートトレンチ8の間隔L₁を微細化して、従来に比べて微細なp型ベース領域10を形成することができる。ゲートトレンチ8の微細化の結果、デバイスの短絡耐量とオン電圧とのトレードオフの関係を改善することができるので、電荷促進効果を向上させることができる。よって、低電流域におけるV_{CE(sat)}を改善することができる。
30

【0045】

図4は、本発明の第2実施形態に係る半導体装置31の模式的な断面図である。図5は、図4の半導体装置の内部構造を説明するための図であって、図5(a)は斜視図、図5(b)は平面図をそれぞれ示している。図4および図5において、前述の図1に示された各部と対応する部分には同一の参照符号を付して示す。

【0046】

前述の第1実施形態では、ゲートトレンチ8は、一対ずつのトレンチ単位9として形成され、一方および他方のゲートトレンチ8の間に共通のp型ベース領域10が形成されていた。これに対し、第2実施形態の半導体装置31は、半導体基板2の表面7に沿う横方向に一つずつのトレンチ単位32として形成された複数のゲートトレンチ33と、各ゲートトレンチ33の両側(エミッタトレンチ14との間の領域)に形成されたp型ベース領域34と、各p型ベース領域34の表面部に形成されたn⁺型エミッタ領域35とを含む。n⁺型エミッタ領域35は、ゲートトレンチ33の両側面に沿って一つずつ形成され、半導体基板2の表面7に露出している。
40

【0047】

また、p型ベース領域34の表面部には、n⁺型エミッタ領域35の側方(ゲートトレンチ33の反対側)にp⁺型ベースコンタクト領域37が形成されている。p⁺型ベースコンタクト領域37のドーパント濃度は、たとえば、 $5 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ である。
50

【0048】

n^+ 型エミッタ領域 35 は、図 5 (a) (b) に示すように、ゲートトレンチ 33 の側面から半導体基板 2 の表面 7 に沿う横方向に引き出された引き出し部 38 を選択的に有している。引き出し部 38 は、たとえば、ゲートトレンチ 33 の長手方向に沿って一定の間隔を空けて配置されている。この実施形態のようにゲートトレンチ 33 に対して一對の n^+ 型エミッタ領域 35 が設けられる場合、各 n^+ 型エミッタ領域 35 の引き出し部 38 は、図 5 (b) に示すように、一方および他方の端部がゲートトレンチ 33 を挟んで互いに対向するように配置されていてもよいし、一方の引き出し部 38 の端部および他方の引き出し部 38 の端部が、ゲートトレンチ 33 の長手方向に沿って交互に配置されていてもよい (図示せず)。これにより、 p^+ 型ベースコンタクト領域 37 における引き出し部 38 に隣り合う部分は、他の部分よりも選択的に幅が狭い狭部 39 となっている。

10

【0049】

また、層間膜 23 には、 p^+ 型ベースコンタクト領域 37 および n^+ 型エミッタ領域 35 を選択的に露出させるコンタクトホール 36 が形成されている。 n^+ 型エミッタ領域 35 は、引き出し部 38 がコンタクトホール 36 から選択的に露出している。エミッタ電極 25 は、コンタクトホール 36 を介して、 p^+ 型ベースコンタクト領域 37 および n^+ 型エミッタ領域 35 に接続されている。

【0050】

この半導体装置 31 によっても、第 1 実施形態の半導体装置 1 と同様の効果を達成することができる。

【0051】

20

図 6 は、本発明の第 3 実施形態に係る半導体装置の模式的な断面図である。図 7 は、図 6 の破線で囲まれた部分の拡大図である。

【0052】

半導体装置 101 は、IGBT を備えるデバイスであって、本発明の半導体層の一例としての半導体基板 102 を含む。半導体基板 102 は、たとえば、 $50\ \mu\text{m} \sim 200\ \mu\text{m}$ の厚さの n^- 型シリコン基板であってよい。

【0053】

半導体基板 102 は、その裏面 103 側から順に p^+ 型コレクタ領域 104、 n 型バッファ領域 105 および n^- 型ドリフト領域 106 が積層された構造を有している。 p^+ 型コレクタ領域 104 が半導体基板 102 の裏面 103 全体に露出し、 n^- 型ドリフト領域 106 が半導体基板 102 の表面 107 の一部に選択的に露出している。

30

【0054】

p^+ 型コレクタ領域 104 の p 型ドーパントとしては、たとえば、B (ホウ素)、Al (アルミニウム) 等を使用できる (以下、同じ)。一方、 n 型バッファ領域 105 および n^- 型ドリフト領域 106 の n 型ドーパントとしては、たとえば、N (窒素)、P (リン)、As (ヒ素) 等を使用できる (以下、同じ)。

【0055】

また、 p^+ 型コレクタ領域 104 のドーパント濃度は、たとえば、 $1 \times 10^{15}\ \text{cm}^{-3} \sim 2 \times 10^{19}\ \text{cm}^{-3}$ である。一方、 n 型バッファ領域 105 のドーパント濃度は、たとえば、 $1 \times 10^{15}\ \text{cm}^{-3} \sim 5 \times 10^{17}\ \text{cm}^{-3}$ であり、 n^- 型ドリフト領域 106 のドーパント濃度は、 $1 \times 10^{13}\ \text{cm}^{-3} \sim 5 \times 10^{14}\ \text{cm}^{-3}$ である。

40

【0056】

半導体基板 102 の表面 107 側には、複数のゲートトレンチ 108 および複数のダミートレンチ 109 が互いに隣り合って形成されている。この実施形態では、一對のダミートレンチ 109 と、一對のダミートレンチ 109 の間に挟まれたゲートトレンチ 108 とを含むトレンチ単位 110 が、半導体基板 102 の表面 107 に沿う横方向に間隔を空けて複数配置されている。これにより、ゲートトレンチ 108 およびダミートレンチ 109 は、全体としてストライプ状に形成されている。

【0057】

互いに隣り合うトレンチ単位 110 のピッチ P_1 は、たとえば、 $2\ \mu\text{m} \sim 7\ \mu\text{m}$ である

50

。また、各トレンチ単位 110 において、ゲートトレンチ 108 とその両側のダミートレンチ 109 との間隔 L_1 (ゲートトレンチ 108 の側面とダミートレンチ 109 の側面との距離) はそれぞれ、 $2 \mu\text{m}$ 以下であることが好ましい。

【0058】

各トレンチ単位 110 において、ゲートトレンチ 108 の両側 (各ダミートレンチ 109 との間の領域) には、p 型ベース領域 111 が形成され、さらに p 型ベース領域 111 の表面部に n^+ 型エミッタ領域 112 および p^+ 型ベースコンタクト領域 113 が形成されている (図 7 参照)。この実施形態では、p 型ベース領域 111 と n^- 型ドリフト領域 106 との界面がゲートトレンチ 108 の中央部もしくは上部に設定されていて、p 型ベース領域 111 は、半導体基板 102 の比較的浅くに拡散形成されている。

10

【0059】

n^+ 型エミッタ領域 112 および p^+ 型ベースコンタクト領域 113 は、ゲートトレンチ 108 とダミートレンチ 109 との間の領域において互いに隣接して配置されている。具体的には、 n^+ 型エミッタ領域 112 がゲートトレンチ 108 の両側面 114 に沿って一つずつ形成され、 p^+ 型ベースコンタクト領域 113 が各ダミートレンチ 109 の側面 115 に沿って一つずつ形成されている。これにより、 n^+ 型エミッタ領域 112 は、半導体基板 102 の表面 107 およびゲートトレンチ 108 の側面 114 に露出している。一方、 p^+ 型ベースコンタクト領域 113 は、半導体基板 102 の表面 107 およびダミートレンチ 109 の側面 115 に露出している。

【0060】

また、p 型ベース領域 111 のドーパント濃度は、たとえば、 $1 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{18} \text{cm}^{-3}$ である。 n^+ 型エミッタ領域 112 のドーパント濃度は、 $1 \times 10^{19} \text{cm}^{-3} \sim 5 \times 10^{20} \text{cm}^{-3}$ である。 p^+ 型ベースコンタクト領域 113 のドーパント濃度は、たとえば、 $5 \times 10^{18} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$ である。

20

【0061】

また、半導体基板 102 の表面 107 側において隣り合うトレンチ単位 110 の間には、複数 (図 6 では 3 本) のエミッタトレンチ 116 が形成されている。この実施形態では、複数のエミッタトレンチ 116 は、たとえばストライプ状 (ゲートトレンチ 108 およびダミートレンチ 109 に平行) に形成され、半導体基板 102 の表面 107 に沿う横方向に互いに等しい間隔を空けて配置されている。互いに隣り合うエミッタトレンチ 116 の間隔 L_2 (エミッタトレンチ 116 の側面間の距離) は、たとえば、 $3 \mu\text{m}$ 以下、好ましくは、 $0.8 \mu\text{m} \sim 3 \mu\text{m}$ である。また、複数のエミッタトレンチ 116 は、ゲートトレンチ 108 およびダミートレンチ 109 と同じ深さで形成されている。これにより、エミッタトレンチ 116 を、ゲートトレンチ 108 およびダミートレンチ 109 と同一工程で形成することができるので、製造工程を簡略化することができる。

30

【0062】

複数のエミッタトレンチ 116 のうち、ダミートレンチ 109 に隣り合うトレンチ (ダミートレンチ 109 との間にトレンチを介さずに対向するトレンチ) は、ダミートレンチ 109 との間に $0.5 \mu\text{m} \sim 20 \mu\text{m}$ の間隔 L_3 (エミッタトレンチ 116 の側面とダミートレンチ 109 の側面との距離) を隔てて配置されている。

40

【0063】

また、半導体基板 102 には、p 型フローティング領域 117 が形成されている。p 型フローティング領域 117 は、エミッタトレンチ 116 を介して対向する、互いに隣り合うトレンチ単位 110 のダミートレンチ 109 で挟まれた領域に広がっている。p 型フローティング領域 117 は、電氣的にフローティング状態が保たれた半導体領域であって、ゲートトレンチ 108 に隣り合うダミートレンチ 109 によって、ゲートトレンチ 108 と分離されている。p 型フローティング領域 117 は、この実施形態では、p 型ベース領域 111 よりも深く形成されている。

【0064】

p 型フローティング領域 117 は、エミッタトレンチ 116 の底部に対して半導体基板

50

102の裏面103側に膨出する底部118と、ダミートレンチ109の下方に回り込むオーバーラップ部119とを有している。オーバーラップ部119は、当該ダミートレンチ109の幅方向中央に対してゲートトレンチ108の近い側に位置する端部120を有している。この端部120は、エミッタトレンチ116に対してゲートトレンチ108側にはみ出していないことが好ましい。

【0065】

また、p型フローティング領域117のドーパント濃度は、たとえば、 $5 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ である。

【0066】

ゲートトレンチ108、ダミートレンチ109およびエミッタトレンチ116には、絶縁膜121（たとえば、酸化シリコン（ SiO_2 ））を介してゲート電極122、第1埋め込み電極123および第2埋め込み電極124がそれぞれ埋め込まれている。ゲート電極122、第1埋め込み電極123および第2埋め込み電極124は、たとえば、ポリシリコン等の導電材料からなる。絶縁膜121は、ゲートトレンチ108の内面、ダミートレンチ109の内面、半導体基板102の表面107およびエミッタトレンチ116の内面に沿って一体的に形成されている。絶縁膜121のゲートトレンチ108内の部分は、ゲート絶縁膜125として機能する。また、第1埋め込み電極123および第2埋め込み電極124は、後述するエミッタ電極132に電氣的に接続されている。

10

【0067】

また、この実施形態では、ゲート電極122および第2埋め込み電極124はそれぞれのトレンチ108、116を開口端まで埋め戻しているのに対して、第1埋め込み電極123は、ダミートレンチ109の深さ方向途中まで埋め戻している。これにより、ダミートレンチ109には、第1埋め込み電極123の上方領域に電極のない空間が形成されている。そして、この空間を開口端まで埋め戻すように、埋め込み絶縁膜126がダミートレンチ109に埋め込まれている。

20

【0068】

埋め込み絶縁膜126は、たとえば、ホウ素リンシリケートガラス（BPSG）、酸化シリコン（ SiO_2 ）等の絶縁材料からなり、 $0.5 \mu\text{m}$ 以上の厚さを有している。埋め込み絶縁膜126およびその下の絶縁膜121には、ダミートレンチ109の側面115におけるp⁺型ベースコンタクト領域113を露出させる除去部127が選択的に形成されている。すなわち、埋め込み絶縁膜126は、ダミートレンチ109の側面115に連なるように、半導体基板102の表面107よりも低い位置の上面128を選択的に有しており、この上面128と表面107との間のダミートレンチ109の側面115の領域にp⁺型ベースコンタクト領域113が露出している。

30

【0069】

半導体基板102の表面107には、たとえば、ホウ素リンシリケートガラス（BPSG）、酸化シリコン（ SiO_2 ）等の絶縁材料からなる層間膜129が積層されている。層間膜129は、埋め込み絶縁膜126と一体的に形成されている。層間膜129には、半導体基板102の表面107およびダミートレンチ109の開口端に跨るコンタクトホール130が形成されている。このコンタクトホール130は、半導体基板102の表面107でn⁺型エミッタ領域112およびp⁺型ベースコンタクト領域113を露出させ、ダミートレンチ109の側面115（除去部127）でp⁺型ベースコンタクト領域113を露出させる。つまり、p⁺型ベースコンタクト領域113は、表面107と側面115との交差によって形成されるダミートレンチ109の角部131に露出している。なお、n⁺型エミッタ領域112は、ゲートトレンチ108の側面114から半導体基板102の表面107に沿う横方向に引き出された引き出し部を選択的に有して、この引き出し部のみがコンタクトホール130から選択的に露出しているもよい。

40

【0070】

層間膜129上には、本発明のコンタクト電極の一例としてのエミッタ電極132が積層されている。エミッタ電極132は、コンタクトホール130に入り込み、半導体基板

50

102の表面107において n^+ 型エミッタ領域112に接続され、ダミートレンチ109の角部131において p^+ 型ベースコンタクト領域113に接続されている。

【0071】

次に、半導体装置101の製造方法について説明する。図8A～図8Kは、図6および図7の半導体装置101の製造工程を工程順に説明するための図である。なお、図8A～図8Fが図6に対応する断面を示し、図8G～図8Kが図7に対応する断面を示している。

【0072】

半導体装置101を製造するには、図8Aに示すように、 n^- 型の半導体基板102（ n^- 型ドリフト領域106）の表面107にマスク160が形成される。マスク160には、表面107における p 型フローティング領域117に形成すべき領域を選択的に露出させる開口が形成されている。そして、このマスク160を介して、半導体基板102の表面107に対して p 型ドーパントがイオン注入（インプラ）される。これにより、イオン注入領域161が形成される。

【0073】

次に、図8Bに示すように、半導体基板102が選択的にエッチングされることによって、ゲートトレンチ108、ダミートレンチ109およびエミッタトレンチ116が同時形成される。

【0074】

次に、図8Cに示すように、半導体基板102が熱酸化されることによって、ゲートトレンチ108、ダミートレンチ109およびエミッタトレンチ116の内面を含む表面全域に犠牲酸化膜162が形成される。そして、犠牲酸化膜162で覆われた半導体基板102をアニール処理することによって、イオン注入領域161中の p 型ドーパントが拡散する（ドライブイン）。このアニール処理は、 p 型ドーパントがダミートレンチ109の下方に回り込む条件で行われる。これにより、 p 型フローティング領域117が形成される。この際、半導体基板102が犠牲酸化膜162で覆われているので、基板表面からのイオン抜けを防止することができるので、 p 型ドーパントを効率よく拡散させることができる。

【0075】

次に、図8Dに示すように、犠牲酸化膜162が剥離される。

【0076】

次に、図8Eに示すように、半導体基板102が熱酸化されることによって、ゲートトレンチ108、ダミートレンチ109およびエミッタトレンチ116の内面を含む表面全域に絶縁膜121（ゲート絶縁膜125）が形成される。

【0077】

次に、図8Fに示すように、ポリシリコン等の電極材料がゲートトレンチ108、ダミートレンチ109およびエミッタトレンチ116に埋め込まれる。これにより、ゲート電極122、第1埋め込み電極123および第2埋め込み電極124が同時に形成される。

【0078】

次に、図8Gに示すように、半導体基板102の表面107に対して選択的に n 型および p 型ドーパントがイオン注入および拡散されることによって、 p 型ベース領域111および n^+ 型エミッタ領域112が順に形成される。

【0079】

次に、図8Hに示すように、第1埋め込み電極123を上面からエッチングすることによって、ゲート電極122および第2埋め込み電極124の埋め込み状態を維持したまま、第1埋め込み電極123のみが選択的に掘り下げられる。

【0080】

次に、図8Iに示すように、半導体基板102の表面107上に、ホウ素リンシリケートガラス（BPSG）、酸化シリコン（ SiO_2 ）等の絶縁材料を堆積させることによって、第1埋め込み電極123の上方空間が当該絶縁材料で埋め戻されると共に、表面107が当該絶縁材料で覆われる。これにより、埋め込み絶縁膜126および層間膜129が

10

20

30

40

50

同時に形成される。

【 0 0 8 1 】

次に、図 8 J に示すように、層間膜 1 2 9 および埋め込み絶縁膜 1 2 6 を選択的にエッチングすることによって、コンタクトホール 1 3 0 および除去部 1 2 7 が同時に形成される。

【 0 0 8 2 】

次に、図 8 K に示すように、コンタクトホール 1 3 0 内に露出した半導体基板 1 0 2 の表面 1 0 7 に対して p 型ドーパントが選択的にイオン注入および拡散される。これにより、p⁺型ベースコンタクト領域 1 1 3 が形成される。

【 0 0 8 3 】

その後、半導体基板 1 0 2 の表面 1 0 7 側にエミッタ電極 1 3 2 等が形成された後、半導体基板 1 0 2 の裏面 1 0 3 に対して選択的に n 型および p 型ドーパントがイオン注入および拡散されることによって、n 型バッファ領域 1 0 5 および p⁺型コレクタ領域 1 0 4 が順に形成される。

【 0 0 8 4 】

以上のような工程を経ることによって、図 6 および図 7 に示す半導体装置 1 0 1 が得られる。なお、図 8 A ~ 図 8 K では半導体装置 1 0 1 の製造工程の一部を表したに過ぎず、当該製造工程は、図 8 A ~ 図 8 K で示されなかった工程を含んでいてもよい。

【 0 0 8 5 】

この半導体装置 1 0 1 によれば、ダミートレンチ 1 0 9 の側面 1 1 5 を p⁺型ベースコンタクト領域 1 1 3 として有効利用することができるので、p 型ベース領域 1 1 1 に対するエミッタ電極 1 3 2 の接合面積を、半導体基板 1 0 2 の表面 1 0 7 およびダミートレンチ 1 0 9 の側面 1 1 5 の両面で十分確保することができる。これにより、p 型ベース領域 1 1 1 の平面面積を犠牲にすることができるので、ゲートトレンチ 1 0 8 とダミートレンチ 1 0 9 との間隔 L₁ を微細化して、従来に比べて微細な p 型ベース領域 1 1 1 を形成することができる。しかも、ダミートレンチ 1 0 9 は、ゲートトレンチ 1 0 8 と同一のマスクを使用して形成することができるため、ゲートトレンチ 1 0 8 に対する位置ずれが生じない。そして、エミッタ電極 1 3 2 のアライメントは、ダミートレンチ 1 0 9 の平面面積を含めたエリアに合わせればよいので、簡単にとることができる。

【 0 0 8 6 】

具体的には、まず、半導体基板 1 0 2 を同一のマスクを用いてエッチングすることによって、ゲートトレンチ 1 0 8、ダミートレンチ 1 0 9 およびエミッタトレンチ 1 1 6 を同時に形成する（図 8 B）。次に、これらのトレンチ 1 0 8、1 0 9、1 1 6 にポリシリコンを埋め込むことによって、ゲート電極 1 2 2、第 1 埋め込み電極 1 2 3 および第 2 埋め込み電極 1 2 4 を形成する（図 8 F）。次に、ダミートレンチ 1 0 9 を選択的に露出させるマスクを半導体基板 1 0 2 上に形成し、このマスクを介して、ダミートレンチ 1 0 9 内のポリシリコンの上部を選択的にエッチング除去する。これにより、ダミートレンチ 1 0 9 の第 1 埋め込み電極 1 2 3 の上方領域に空間を形成する（図 8 H）。次に、たとえば CVD 法によって BPSG 等の絶縁材料を半導体基板 1 0 2 上に堆積させることによって層間膜 1 2 9 を形成する（図 8 I）。絶縁材料の一部は、ダミートレンチ 1 0 9 内に埋め込み絶縁膜 1 2 6 として入り込む。次に、コンタクトホール 1 3 0 を形成するためのマスクを、半導体基板 1 0 2 に対してアライメントする。この際、コンタクトホール 1 3 0 の端部はダミートレンチ 1 0 9 を覆ってもよいので、アライメントは、半導体基板 1 0 2 の表面 1 0 7 およびダミートレンチ 1 0 9 の平面面積を含めた広いエリアでとることができる。そして、当該マスクを介して、層間膜 1 2 9 および埋め込み絶縁膜 1 2 6 を連続してエッチングする。これにより、コンタクトホール 1 3 0 および除去部 1 2 7 を同時に形成する（図 8 J）。この後、層間膜 1 2 9 をマスクとして p 型ドーパントをイオン注入して p⁺型ベースコンタクト領域 1 1 3 を自己整合的に形成すれば、ダミートレンチ 1 0 9 の角部 1 3 1 に p⁺型ベースコンタクト領域 1 1 3 を確実に形成することができる（図 8 K）。しかも、コンタクトホール 1 3 0 を比較的広く形成できるので、タングステン（W）等

10

20

30

40

50

の埋め込み性の良いプラグを用いなくても、アルミニウム (Al) 等を用いたエミッタ電極 132 の一部をプラグとして利用することができる。

【 0087 】

以上のようなトレンチ構造の微細化の結果、デバイスの短絡耐量とオン電圧とのトレードオフの関係を改善することができるので、電荷促進効果を向上させることができる。よって、低電流域における $V_{CE(sat)}$ を改善することができる。

【 0088 】

また、この半導体装置 101 によれば、ゲート電極 122 が埋め込まれたゲートトレンチ 108 (以下、「ゲート接合トレンチ」という) が、 n^+ 型エミッタ領域 112 に接続された第 1 埋め込み電極 123 が埋め込まれたダミートレンチ 109 (以下、「エミッタ接合トレンチ」という) によって p 型フローティング領域 117 から分離されている。これにより、p 型フローティング領域 117 とゲート接合トレンチとの接合を防止することができる。そのため、ゲート接合トレンチと p 型フローティング領域 117 との間の浮遊容量をなくすことができる。

10

【 0089 】

一方、ゲート接合トレンチが深さ方向に渡って接合している n^- 型ドリフト領域 106 は p^+ 型コレクタ領域 104 と共に接地されるものである。そのため、スイッチング動作時に、ゲート接合トレンチと n^- 型ドリフト領域 106 との間の容量変化が安定するので、ノイズが発生し難い。これらの結果、スイッチング動作時のノイズの発生およびスイッチング損失を低減することができる。

20

【 0090 】

また、エミッタ接合トレンチと、ゲート接合トレンチとの間隔 L_1 が $2\ \mu\text{m}$ 以下であるので、耐圧を良好に保持することもできる。

【 0091 】

さらに、この半導体装置 101 によれば、エミッタ接合トレンチの底部まで p 型フローティング領域 117 (オーバーラップ部 119) が形成されているので、スイッチングオフ動作時にエミッタ接合トレンチに負荷するコレクタ - エミッタ電圧を緩和することができる。そのため、急峻な電圧変化 (dv/dt) に対してデバイスの破壊を防止することができる。

【 0092 】

また、p 型ベース領域 111 よりも深い p 型フローティング領域 117 によって耐圧を向上できる一方、p 型ベース領域 111 は浅くてもよいので、p 型ベース領域 111 の深さを適切に設計することによってチャネル長 (ゲートトレンチ 108 の深さ方向の長さ) を短くしてオン電圧の上昇を抑制することもできる。

30

【 0093 】

図 9 は、本発明の第 4 実施形態に係る半導体装置 141 の模式的な断面図である。図 10 は、図 9 の破線で囲まれた部分の拡大図である。図 9 および図 10 において、前述の図 6 および図 7 に示された各部と対応する部分には同一の参照符号を付して示す。

【 0094 】

前述の第 3 実施形態では、トレンチ単位 110 は、一对のダミートレンチ 109 と、一对のダミートレンチ 109 の間に挟まれたゲートトレンチ 108 とを含んでいた。これに対し、第 4 実施形態の半導体装置 141 は、一对のゲートトレンチ 142 と、一对のゲートトレンチ 142 の間に挟まれたダミートレンチ 143 とを含むトレンチ単位 144 を有している。この場合、ゲートトレンチ 142 とエミッタトレンチ 116 との間隔 L_3 (ゲートトレンチ 142 の側面とエミッタトレンチ 116 の側面との距離) は、 $2\ \mu\text{m}$ 以下であることが好ましい。

40

【 0095 】

各トレンチ単位 144 において、ダミートレンチ 143 の両側 (各ゲートトレンチ 142 との間の領域) には、p 型ベース領域 145 が形成され、さらに p 型ベース領域 145 の表面部に n^+ 型エミッタ領域 146 および p^+ 型ベースコンタクト領域 147 が形成さ

50

れている（図10参照）。この実施形態では、p型ベース領域145とn⁻型ドリフト領域106との界面がゲートトレンチ142の中央部もしくは上部に設定されていて、p型ベース領域145は、半導体基板102の比較的浅くに拡散形成されている。

【0096】

n⁺型エミッタ領域146およびp⁺型ベースコンタクト領域147は、ゲートトレンチ142とダミートレンチ143との間の領域において互いに隣接して配置されている。具体的には、n⁺型エミッタ領域146が各ゲートトレンチ142の側面148に沿って一つずつ形成され、p⁺型ベースコンタクト領域147がダミートレンチ143の両側面149に沿って一つずつ形成されている。これにより、n⁺型エミッタ領域146は、半導体基板102の表面107およびゲートトレンチ142の側面148に露出している。一方、p⁺型ベースコンタクト領域147は、半導体基板102の表面107およびダミートレンチ143の側面149に露出している。

10

【0097】

また、半導体基板102には、p型フローティング領域150が形成されている。p型フローティング領域150は、複数のエミッタトレンチ116の各間に広がっている。p型フローティング領域150は、電氣的にフローティング状態が保たれた半導体領域であって、ゲートトレンチ142に隣り合うエミッタトレンチ116によって、ゲートトレンチ142と分離されている。p型フローティング領域150は、この実施形態では、p型ベース領域145よりも深く形成されている。

【0098】

p型フローティング領域150は、エミッタトレンチ116の底部に対して半導体基板102の裏面103側に膨出する底部151と、ゲートトレンチ142に隣り合うエミッタトレンチ116の下方に回り込むオーバーラップ部152とを有している。オーバーラップ部152は、当該エミッタトレンチ116の幅方向中央に対してゲートトレンチ142の近い側に位置する端部153を有している。この端部153は、エミッタトレンチ116に対してゲートトレンチ142側にはみ出していないことが好ましい。

20

【0099】

このようなp型フローティング領域150は、たとえば、前述のp型フローティング領域117と同様に形成することができる。

【0100】

ダミートレンチ143には、絶縁膜121を介して第1埋め込み電極154が埋め込まれている。第1埋め込み電極154は、たとえば、ポリシリコン等の導電材料からなり、ゲート電極122に電氣的に接続されている。また、第1埋め込み電極154は、ダミートレンチ143の深さ方向途中まで埋め戻している。これにより、ダミートレンチ143には、第1埋め込み電極154の上方領域に電極のない空間が形成されている。そして、この空間を開口端まで埋め戻すように、埋め込み絶縁膜155がダミートレンチ143に埋め込まれている。

30

【0101】

埋め込み絶縁膜155は、たとえば、ホウ素リンシリケートガラス（BPSG）、酸化シリコン（SiO₂）等の絶縁材料からなり、0.5 μm以上の厚さを有している。埋め込み絶縁膜155およびその下の絶縁膜121には、ダミートレンチ143の両側面149におけるp⁺型ベースコンタクト領域147を露出させる除去部156が選択的に形成されている。すなわち、埋め込み絶縁膜155は、ダミートレンチ143の両側面149に連なるように、半導体基板102の表面107よりも低い位置の上面157を選択的に有しており、この上面157と表面107との間のダミートレンチ143の両側面149の領域にp⁺型ベースコンタクト領域147が露出している。

40

【0102】

層間膜129には、ダミートレンチ143を挟んで対向するp型ベース領域145に跨るコンタクトホール158が形成されている。このコンタクトホール158は、半導体基板102の表面107でn⁺型エミッタ領域146およびp⁺型ベースコンタクト領域1

50

47を露出させ、ダミートレンチ143の両側面149(除去部156)でp⁺型ベースコンタクト領域147を露出させる。つまり、p⁺型ベースコンタクト領域147は、表面107と側面149との交差によって形成されるダミートレンチ143の両角部159に露出している。なお、n⁺型エミッタ領域146は、ゲートトレンチ142の側面148から半導体基板102の表面107に沿う横方向に引き出された引き出し部を選択的に有して、この引き出し部のみがコンタクトホール158から選択的に露出しているもよい。

【0103】

そして、エミッタ電極132は、コンタクトホール158に入り込み、半導体基板102の表面107においてn⁺型エミッタ領域146に接続され、ダミートレンチ143の両角部159においてp⁺型ベースコンタクト領域147に接続されている。

10

【0104】

この半導体装置141によっても、第3実施形態の半導体装置101と同様の効果を実現することができる。

【0105】

以上、本発明の実施形態を説明したが、本発明は、他の形態で実施することもできる。

【0106】

たとえば、前述の各実施形態の開示から把握される上記特徴は、異なる実施形態間でも互いに組み合わせることができる。

【0107】

また、前述の実施形態では、半導体装置1, 31, 101, 141が備えるIGBTの構成のみを図示したが、本発明の半導体装置は、IGBT以外の素子(たとえば、MOSFET、ダイオード等)をIGBTの形成領域とは異なる領域に備えていてもよい。

20

【0108】

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【0109】

なお、この明細書および図面の記載から、特許請求の範囲に記載した発明以外にも、以下のような特徴が抽出され得る。

【0110】

(項1)半導体層と、前記半導体層に形成されたゲートトレンチと、前記ゲートトレンチにゲート絶縁膜を介して埋め込まれたゲート電極と、前記ゲートトレンチの側方に所定の間隔を空けて形成されたダミートレンチと、前記ゲートトレンチと前記ダミートレンチとの間の領域において、前記半導体層の表面側から前記ゲートトレンチの深さ方向に順に配置されたn⁺型エミッタ領域、p型ベース領域およびn⁻型ドリフト領域と、前記n⁻型ドリフト領域に対して前記半導体層の裏面側に配置されたp⁺型コレクタ領域と、前記ダミートレンチに埋め込まれ、前記半導体層の前記表面に対して前記ダミートレンチの底側に上面を有する埋め込み絶縁膜であって、前記ダミートレンチの側面における前記表面から前記上面までの部分に前記p型ベース領域の一部をコンタクト領域として選択的に露出させる埋め込み絶縁膜と、前記ダミートレンチの前記埋め込み絶縁膜の上方領域に埋め込まれ、前記ダミートレンチの前記側面において前記コンタクト領域に接続されたコンタクト電極とを含む、半導体装置。

30

40

【0111】

この構成によれば、ダミートレンチの側面をコンタクト領域として有効利用することができるので、p型ベース領域に対するコンタクト電極の接合面積を十分確保することができる。これにより、p型ベース領域の平面面積を犠牲にすることができるので、ゲートトレンチとダミートレンチとの間隔を微細化して、従来に比べて微細なp型ベース領域を形成することができる。しかも、ダミートレンチは、ゲートトレンチと同一のマスクを使用して形成することができるため、ゲートトレンチに対する位置ずれが生じない。そして、コンタクト電極のアライメントは、ダミートレンチの平面面積を含めたエリアに合わせれ

50

ばよいので、簡単にとることができる。

【0112】

また、トレンチ構造の微細化の結果、デバイスの短絡耐量とオン電圧とのトレードオフの関係を改善することができるので、電荷促進効果を向上させることができる。よって、低電流域における $V_{CE(sat)}$ を改善することができる。

【0113】

(項2)前記半導体装置は、前記ダミートレンチの前記埋め込み絶縁膜の下方領域に絶縁膜を介して埋め込まれた第1埋め込み電極をさらに含む、項1に記載の半導体装置。

【0114】

(項3)前記半導体装置は、一对の前記ダミートレンチと、当該一对のダミートレンチの間に挟まれたゲートトレンチを含むトレンチ単位を有する、項2に記載の半導体装置。

10

【0115】

(項4)前記第1埋め込み電極は、前記 n^+ 型エミッタ領域と電氣的に接続されている、項3に記載の半導体装置。

【0116】

(項5)前記トレンチ単位は、前記半導体層の前記表面に沿う横方向に複数形成されており、前記半導体装置は、互いに隣り合う前記トレンチ単位の中に形成された複数のエミッタトレンチと、前記エミッタトレンチに絶縁膜を介して埋め込まれ、前記 n^+ 型エミッタ領域と電氣的に接続された第2埋め込み電極と、前記トレンチ単位の前記ダミートレンチと、その隣の前記トレンチ単位の前記ダミートレンチとの間に形成されたp型フローティング領域とをさらに含む、項4に記載の半導体装置。

20

【0117】

(項6)前記p型フローティング領域は、前記p型ベース領域よりも深く形成され、前記ダミートレンチの下方に回り込むオーバーラップ部を含む、項5に記載の半導体装置。

【0118】

この構成によれば、 n^+ 型エミッタ領域に接続された第1埋め込み電極が埋め込まれたダミートレンチ(以下、「エミッタ接合トレンチ」という)の底部までp型フローティング領域(オーバーラップ部)が形成されているので、スイッチングオフ動作時にエミッタ接合トレンチに負荷するコレクタ-エミッタ電圧を緩和することができる。そのため、急峻な電圧変化(dv/dt)に対してデバイスの破壊を防止することができる。

30

【0119】

また、p型ベース領域よりも深いp型フローティング領域によって耐圧を向上できる一方、p型ベース領域は浅くてもよいので、p型ベース領域の深さを適切に設計することによってオン電圧の上昇を抑制することもできる。

【0120】

(項7)前記オーバーラップ部は、前記ダミートレンチの幅方向中央に対して前記ゲートトレンチの近い側に位置する端部を有している、項6に記載の半導体装置。

【0121】

この構成により、エミッタ接合トレンチにかかるコレクタ-エミッタ電圧を、より良好に緩和することができる。

40

【0122】

(項8)前記半導体装置は、一对の前記ゲートトレンチと、当該一对の前記ゲートトレンチの間に挟まれたダミートレンチを含むトレンチ単位を有する、項2に記載の半導体装置。

【0123】

(項9)前記第1埋め込み電極は、前記ゲート電極と電氣的に接続されている、項8に記載の半導体装置。

【0124】

(項10)前記トレンチ単位は、前記半導体層の前記表面に沿う横方向に複数形成されており、前記半導体装置は、互いに隣り合う前記トレンチ単位の中に形成された複数のエ

50

ミッタトレンチと、前記エミッタトレンチに絶縁膜を介して埋め込まれ、前記 n^+ 型エミッタ領域と電氣的に接続された第 2 埋め込み電極と、前記複数のエミッタトレンチの間に形成された p 型フローティング領域とをさらに含む、項 9 に記載の半導体装置。

【0125】

(項 11) 前記 p 型フローティング領域は、前記 p 型ベース領域よりも深く形成され、前記エミッタトレンチの下方に回り込むオーバーラップ部を含む、項 10 に記載の半導体装置。

【0126】

この構成によれば、 n^+ 型エミッタ領域に接続された第 2 埋め込み電極が埋め込まれたエミッタトレンチ(以下、「エミッタ接合トレンチ」という)の底部まで p 型フローティング領域(オーバーラップ部)が形成されているので、スイッチングオフ動作時にエミッタ接合トレンチに負荷するコレクタ - エミッタ電圧を緩和することができる。そのため、急峻な電圧変化 (dv/dt) に対してデバイスの破壊を防止することができる。

10

【0127】

また、p 型ベース領域よりも深い p 型フローティング領域によって耐圧を向上できる一方、p 型ベース領域は浅くてもよいので、p 型ベース領域の深さを適切に設計することによってオン電圧の上昇を抑制することもできる。

【0128】

(項 12) 前記オーバーラップ部は、前記エミッタトレンチの幅方向中央に対して前記ゲートトレンチの近い側に位置する端部を有している、項 11 に記載の半導体装置。

20

【0129】

この構成により、エミッタ接合トレンチにかかるコレクタ - エミッタ電圧を、より良好に緩和することができる。

【0130】

(項 13) 前記埋め込み絶縁膜は、 $0.5 \mu\text{m}$ 以上の厚さを有している、項 1 ~ 12 のいずれか一項に記載の半導体装置。

【0131】

(項 14) 前記ダミートレンチは、前記ゲートトレンチとの間に $2 \mu\text{m}$ 以下の間隔を隔てて配置されている、項 1 ~ 13 のいずれか一項に記載の半導体装置。

【0132】

(項 15) 前記 n^+ 型エミッタ領域は、 $1 \times 10^{19} \text{cm}^{-3} \sim 5 \times 10^{20} \text{cm}^{-3}$ の n 型ドーパント濃度を有している、項 1 ~ 14 のいずれか一項に記載の半導体装置。

30

【0133】

(項 16) 前記 p 型ベース領域は、 $1 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{18} \text{cm}^{-3}$ の p 型ドーパント濃度を有している、項 1 ~ 15 のいずれか一項に記載の半導体装置。

【0134】

(項 17) 前記 n^- 型ドリフト領域は、 $1 \times 10^{13} \text{cm}^{-3} \sim 5 \times 10^{14} \text{cm}^{-3}$ の n 型ドーパント濃度を有している、項 1 ~ 16 のいずれか一項に記載の半導体装置。

【0135】

(項 18) 前記 p^+ 型コレクタ領域は、 $1 \times 10^{15} \text{cm}^{-3} \sim 2 \times 10^{19} \text{cm}^{-3}$ の p 型ドーパント濃度を有している、項 1 ~ 17 のいずれか一項に記載の半導体装置。

40

【0136】

(項 19) 半導体層と、前記半導体層に形成された複数のゲートトレンチと、前記複数のゲートトレンチにゲート絶縁膜を介して埋め込まれたゲート電極と、各前記ゲートトレンチの側方において、前記半導体層の表面側から前記ゲートトレンチの深さ方向に順に配置された n^+ 型エミッタ領域、p 型ベース領域および n^- 型ドリフト領域と、前記 n^- 型ドリフト領域に対して前記半導体層の裏面側に配置された p^+ 型コレクタ領域と、互いに隣り合う前記複数のゲートトレンチの間に形成された複数のエミッタトレンチと、p 型ベース領域の表面部において、 n^+ 型エミッタ領域に対して前記ゲートトレンチの反対側に形成された p^+ 型ベースコンタクト領域と、前記複数のエミッタトレンチに絶縁膜を介して

50

埋め込まれ、前記 n^+ 型エミッタ領域と電氣的に接続された埋め込み電極と、前記複数のエミッタトレンチの間に形成された p 型フローティング領域と、前記半導体層上に形成された層間膜とを含み、前記 p 型フローティング領域は、前記 p 型ベース領域よりも深く形成され、前記複数のエミッタトレンチのうち前記ゲートトレンチに最も近いエミッタトレンチの下方に回り込み、前記エミッタトレンチの幅方向中央に対して前記ゲートトレンチに近い側に位置する端部を有するオーバーラップ部を含み、前記 p^+ 型ベースコンタクト領域と前記エミッタトレンチとの間には、前記 p 型ベース領域が前記半導体層の前記表面に露出しており、前記層間膜は、前記 n^+ 型エミッタ領域の全体および前記 p^+ 型ベースコンタクト領域の一部を覆うように形成されている、半導体装置。

【0137】

10

この構成によれば、埋め込み電極が埋め込まれたエミッタトレンチ（以下、「エミッタ接合トレンチ」という）の底部まで p 型フローティング領域（オーバーラップ部）が形成されている。これにより、スイッチングオフ動作時にエミッタ接合トレンチに負荷するコレクタ・エミッタ電圧を緩和することができる。そのため、急峻な電圧変化（ dv/dt ）に対してデバイスの破壊を防止することができる。

【0138】

また、 p 型ベース領域よりも深い p 型フローティング領域によって耐圧を向上できる一方、 p 型ベース領域は浅くてもよいので、 p 型ベース領域の深さを適切に設計することによってチャネル長を短くしてオン電圧の上昇を抑制することもできる。

【0139】

20

（項20）前記 p 型フローティング領域は、前記エミッタトレンチの底部に対して前記半導体層の裏面側に膨出する底部を有していてもよい。

【0140】

（項21）前記エミッタトレンチは、前記ゲートトレンチと同じ深さで形成されていることが好ましい。

【0141】

この場合、エミッタトレンチをゲートトレンチと同一工程で形成することができるので、製造工程を簡略化することができる。

【0142】

（項22）前記 n^+ 型エミッタ領域は、 $1 \times 10^{19} \text{ cm}^{-3} \sim 5 \times 10^{20} \text{ cm}^{-3}$ の n 型ドーパント濃度を有していてもよい。

30

【0143】

（項23）前記 p 型ベース領域は、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の p 型ドーパント濃度を有していてもよい。

【0144】

（項24）前記 n^- 型ドリフト領域は、 $1 \times 10^{13} \text{ cm}^{-3} \sim 5 \times 10^{14} \text{ cm}^{-3}$ の n 型ドーパント濃度を有していてもよい。

【0145】

（項25）前記 p^+ 型コレクタ領域は、 $1 \times 10^{15} \text{ cm}^{-3} \sim 2 \times 10^{19} \text{ cm}^{-3}$ の p 型ドーパント濃度を有していてもよい。

40

【0146】

（項26）前記 n^+ 型エミッタ領域は、前記ゲートトレンチの側面から前記半導体層の表面に沿う横方向に引き出された引き出し部を選択的に有していることが好ましい。

【0147】

（項27）半導体層と、前記半導体層に形成された複数のゲートトレンチと、前記複数のゲートトレンチにゲート絶縁膜を介して埋め込まれたゲート電極と、各前記ゲートトレンチの側方において、前記半導体層の表面側から前記ゲートトレンチの深さ方向に順に配置された n^+ 型エミッタ領域、 p 型ベース領域および n^- 型ドリフト領域と、前記 n^- 型ドリフト領域に対して前記半導体層の裏面側に配置された p^+ 型コレクタ領域と、互いに隣り合う前記複数のゲートトレンチの間に形成された複数のエミッタトレンチと、前記複数

50

のエミッタトレンチに絶縁膜を介して埋め込まれ、前記 n^+ 型エミッタ領域と電氣的に接続された埋め込み電極と、前記複数のエミッタトレンチの間に形成された p 型フローティング領域と、前記ゲートトレンチとの間に前記 n^+ 型エミッタ領域、前記 p 型ベース領域および前記 n^- 型ドリフト領域が形成されるように、前記ゲートトレンチの側方に所定の間隔を空けて形成されたダミートレンチと、前記ダミートレンチに埋め込まれ、前記半導体層の前記表面に対して前記ダミートレンチの底側に上面を有する埋め込み絶縁膜であって、前記ダミートレンチの側面における前記表面から前記上面までの部分に前記 p 型ベース領域の一部をコンタクト領域として選択的に露出させる埋め込み絶縁膜と、前記ダミートレンチの前記埋め込み絶縁膜の上方領域に埋め込まれ、前記ダミートレンチの前記側面において前記コンタクト領域に接続されたコンタクト電極とを含み、前記 p 型フローティング領域は、前記 p 型ベース領域よりも深く形成され、前記複数のエミッタトレンチのうち前記ゲートトレンチに最も近いエミッタトレンチの下方に回り込み、前記エミッタトレンチの幅方向中央に対して前記ゲートトレンチに近い側に位置する端部を有するオーバーラップ部を含む、半導体装置。

10

【0148】

この構成によれば、ダミートレンチの側面をコンタクト領域として有効利用することができるので、 p 型ベース領域に対するコンタクト電極の接合面積を十分確保することができる。これにより、 p 型ベース領域の平面面積を犠牲にすることができるので、ゲートトレンチとダミートレンチとの間隔を微細化して、従来に比べて微細な p 型ベース領域を形成することができる。しかも、ダミートレンチは、ゲートトレンチと同一のマスクを使用して形成することができるため、ゲートトレンチに対する位置ずれが生じない。そして、コンタクト電極のアライメントは、ダミートレンチの平面面積を含めたエリアに合わせればよいので、簡単にとることができる。

20

【0149】

また、トレンチ構造の微細化の結果、デバイスの短絡耐量とオン電圧とのトレードオフの関係を改善することができるので、電荷促進効果を向上させることができる。よって、低電流域における $V_{CE(sat)}$ を改善することができる。

【0150】

(項28) 前記半導体装置は、前記ダミートレンチの前記埋め込み絶縁膜の下方領域に絶縁膜を介して埋め込まれた第1埋め込み電極をさらに含んでもよい。

30

【0151】

(項29) 前記半導体装置は、一对の前記ダミートレンチと、当該一对のダミートレンチの間に挟まれたゲートトレンチを含むトレンチ単位を有していてもよい。

【0152】

(項30) 前記ダミートレンチは、前記第1埋め込み電極が前記 n^+ 型エミッタ領域と電氣的に接続されることによって前記エミッタトレンチを兼ねていることが好ましい。

【0153】

(項31) 前記半導体装置は、一对の前記ゲートトレンチと、当該一对の前記ゲートトレンチの間に挟まれたダミートレンチを含むトレンチ単位を有していてもよい。

【0154】

この場合、(項32) 前記第1埋め込み電極は、前記ゲート電極と電氣的に接続されていることが好ましい。

40

【0155】

(項33) 前記埋め込み絶縁膜は、 $0.5 \mu m$ 以上の厚さを有していることが好ましい。

【実施例】

【0156】

次に、本発明を実施例に基づいて説明するが、本発明は下記の実施例によって限定されるものではない。

【0157】

図6に示す半導体装置101の構造に関して、短絡耐量とオン電圧 (V_{CE}) とのトレ

50

ードオフの關係の改善効果が、ゲートトレンチ108とダミートレンチ109との間隔 L_1 によってどのように変化するかを確認するため、当該間隔 L_1 が互いに異なる4種類のデバイスの $V_{CE} - I_{CF}$ 特性を調べた。結果を図11に示す。図11において、デバイスA(トレンチ間隔 $L_1 = 2 \mu m$ 一点鎖線)およびデバイスC(トレンチ間隔 $L_1 = 3.5 \mu m$ 破線)とした。

【0158】

図11によると、トレンチ間隔 L_1 が狭いほど、立ち上がりの $V_{CE}(sat)$ が低く、定常損失が低いことが確認できた(図11の右下拡大図参照)。また、 I_{CF} の高電流域では、トレンチの微細化(p型ベース領域111の体積低減)によって飽和電流密度が低くなっており、短絡耐量が向上していることが確認できた。

10

【符号の説明】

【0159】

- 1 半導体装置
- 2 半導体基板
- 3 裏面
- 4 p⁺型コレクタ領域
- 5 n型バッファ領域
- 6 n⁻型ドリフト領域
- 7 表面
- 8 ゲートトレンチ
- 10 p型ベース領域
- 13 n⁺型エミッタ領域
- 14 エミッタトレンチ
- 15 p型フローティング領域
- 16 底部
- 17 オーバーラップ部
- 18 端部
- 19 絶縁膜
- 20 ゲート電極
- 21 埋め込み電極
- 22 ゲート絶縁膜
- 31 半導体装置
- 33 ゲートトレンチ
- 34 p型ベース領域
- 35 n⁺型エミッタ領域
- 38 引き出し部
- 101 半導体装置
- 102 半導体基板
- 103 裏面
- 104 p⁺型コレクタ領域
- 106 n⁻型ドリフト領域
- 107 表面
- 108 ゲートトレンチ
- 109 ダミートレンチ
- 110 トレンチ単位
- 111 p型ベース領域
- 112 n⁺型エミッタ領域
- 113 p⁺型ベースコンタクト領域
- 114 側面
- 115 側面

20

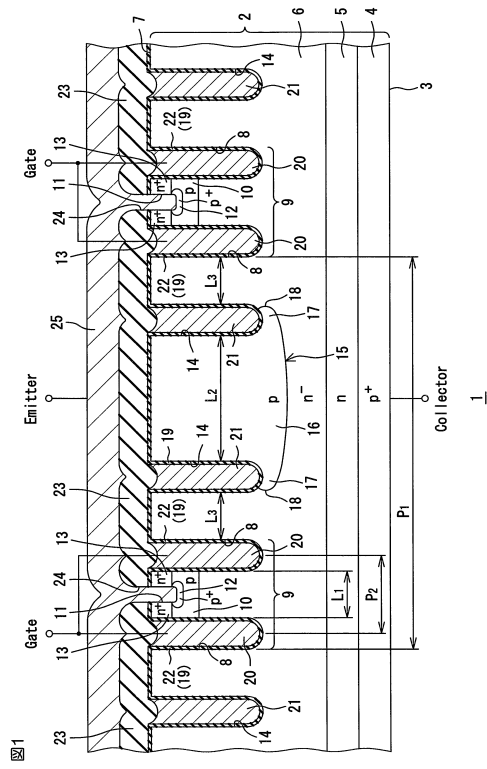
30

40

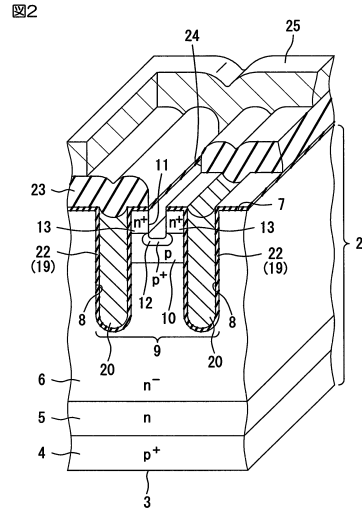
50

1 1 6	エミッタトレンチ	
1 1 7	p型フローティング領域	
1 1 8	底部	
1 1 9	オーバーラップ部	
1 2 0	端部	
1 2 1	絶縁膜	
1 2 2	ゲート電極	
1 2 3	第1埋め込み電極	
1 2 4	第2埋め込み電極	
1 2 5	ゲート絶縁膜	10
1 2 6	埋め込み絶縁膜	
1 2 7	除去部	
1 2 8	上面	
1 3 2	エミッタ電極	
1 4 1	半導体装置	
1 4 2	ゲートトレンチ	
1 4 3	ダミートレンチ	
1 4 4	トレンチ単位	
1 4 5	p型ベース領域	
1 4 6	n ⁺ 型エミッタ領域	20
1 4 7	p ⁺ 型ベースコンタクト領域	
1 4 8	側面	
1 4 9	側面	
1 5 0	p型フローティング領域	
1 5 1	底部	
1 5 2	オーバーラップ部	
1 5 3	端部	
1 5 4	第1埋め込み電極	
1 5 5	埋め込み絶縁膜	
1 5 6	除去部	30
1 5 7	上面	
1 5 9	角部	

【図面】
【図 1】



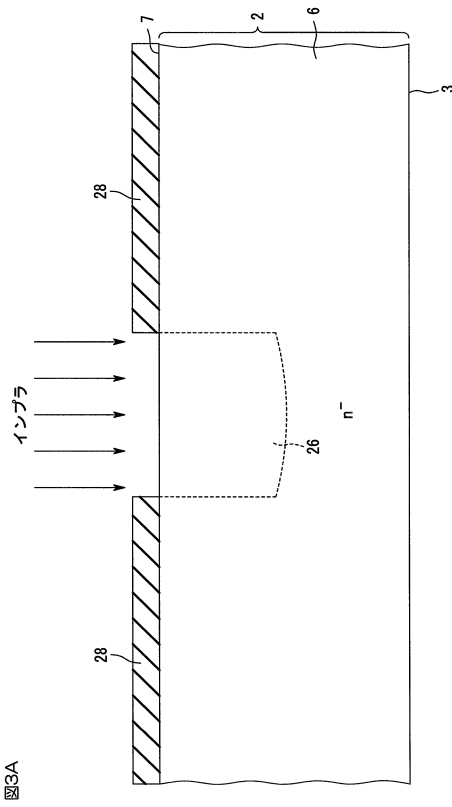
【図 2】



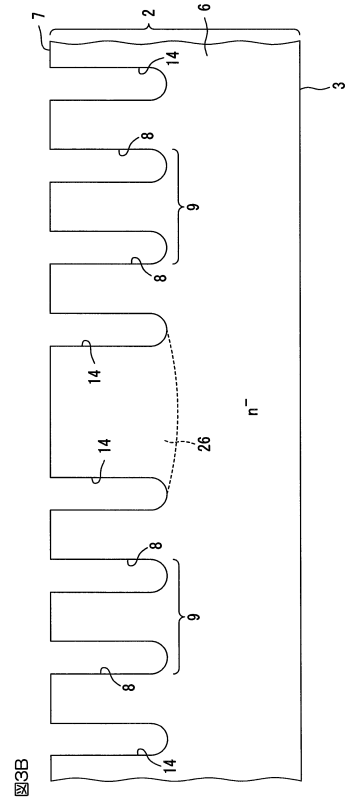
10

20

【図 3 A】




【図 3 B】

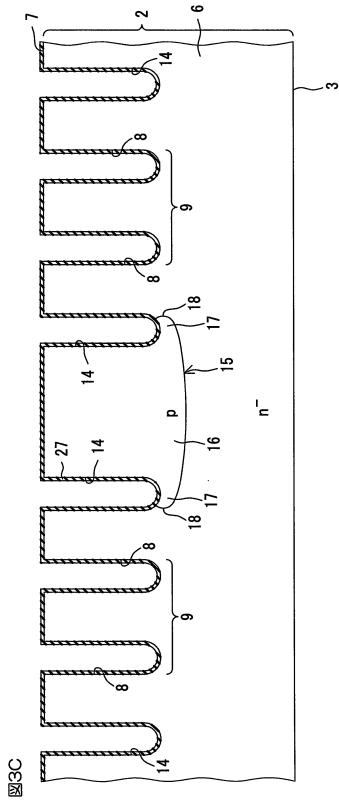



30

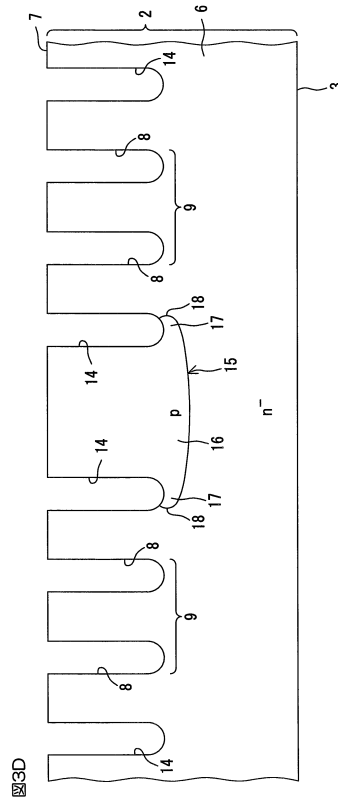
40


50

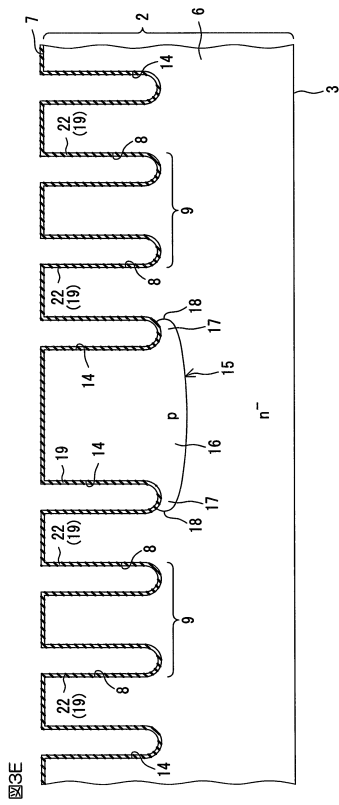
【 3 C】




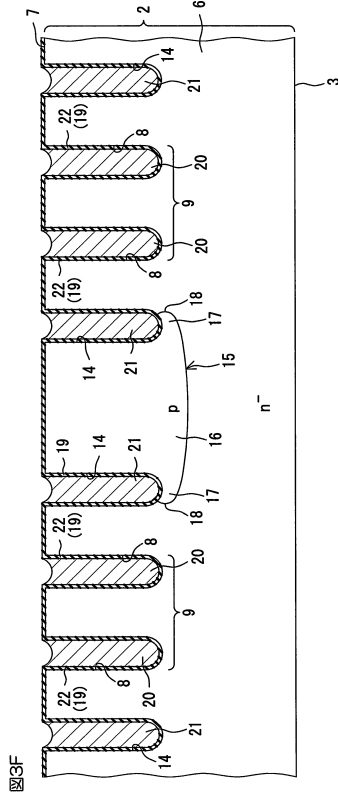
【 3 D】



【 3 E】



【 3 F】



10

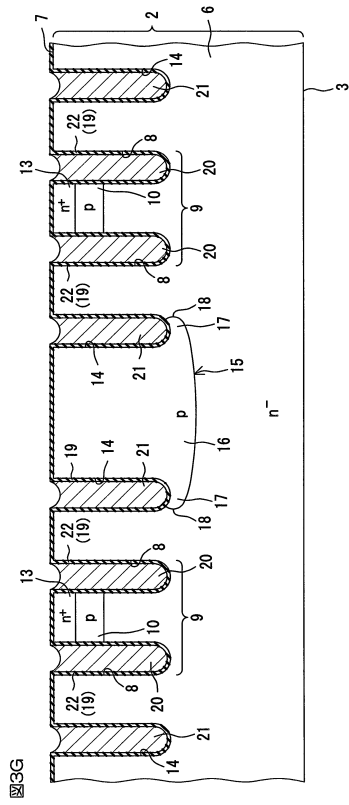
20

30

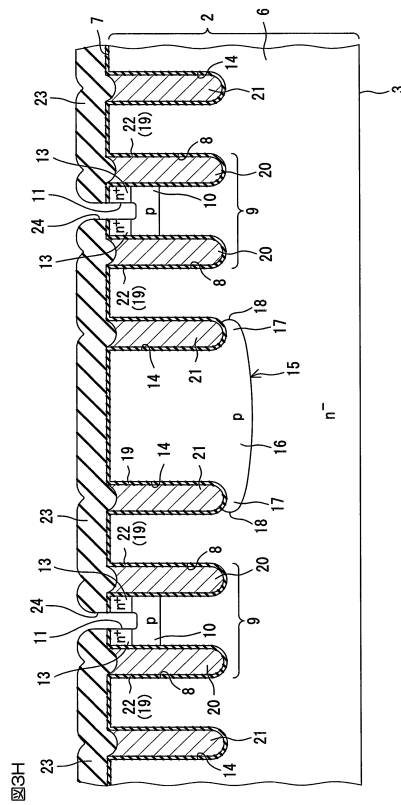
40

50

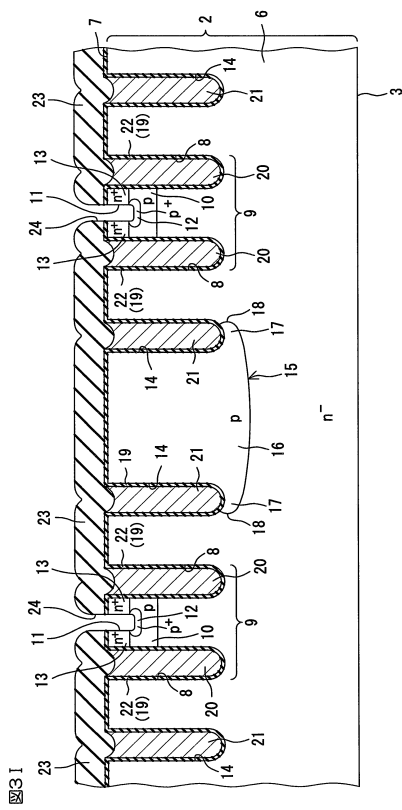
【図3G】



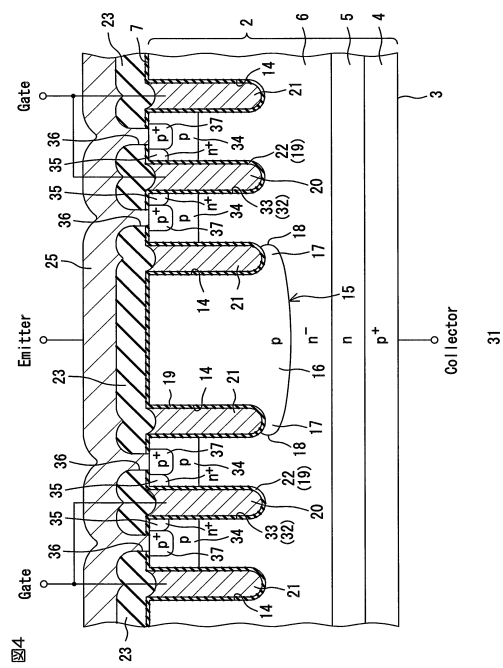
【図3H】



【図3I】



【図4】



10

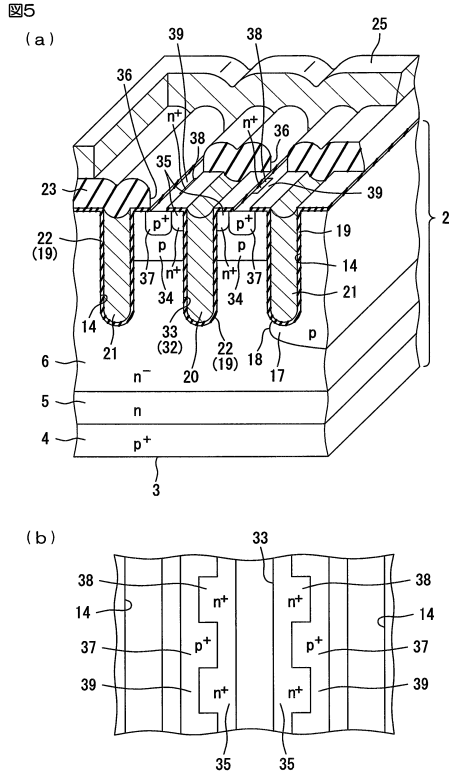
20

30

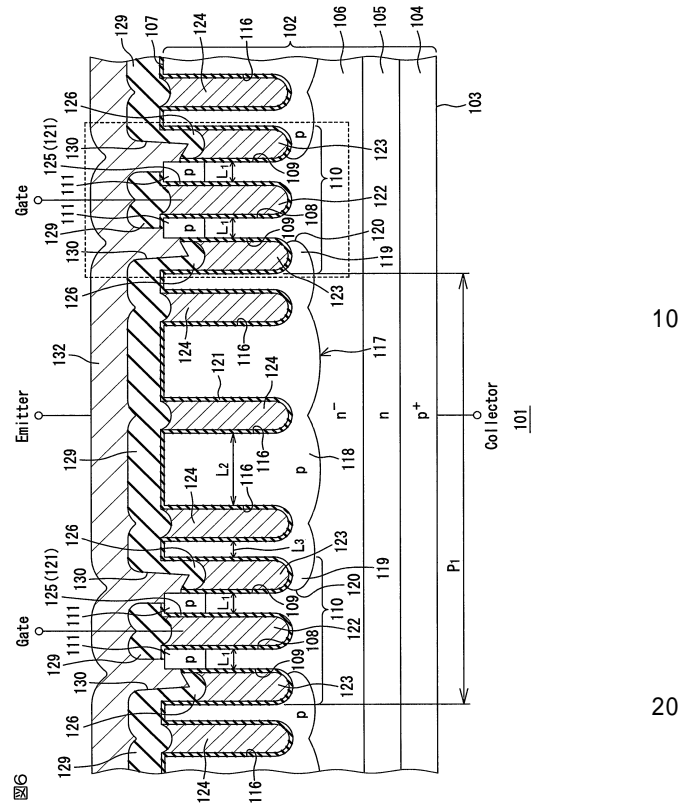
40

50

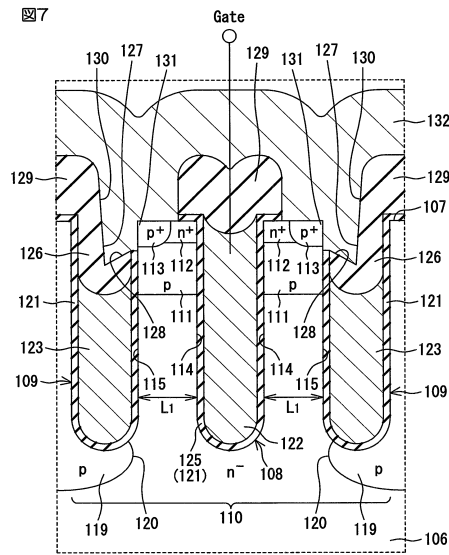
【図5】



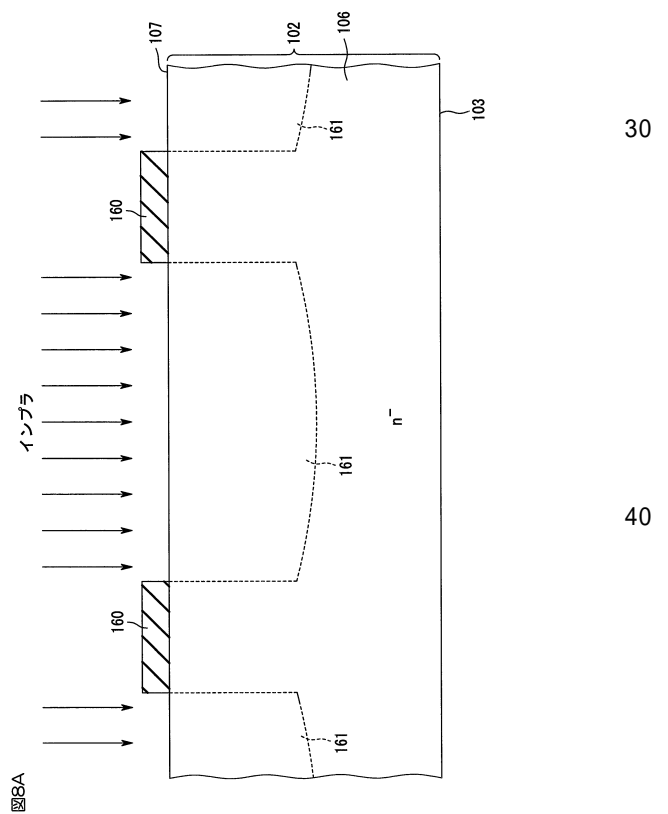
【図6】



【図7】



【図8A】



10

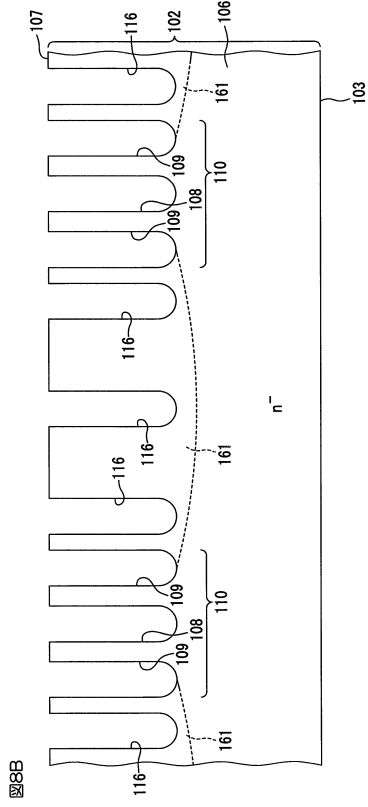
20

30

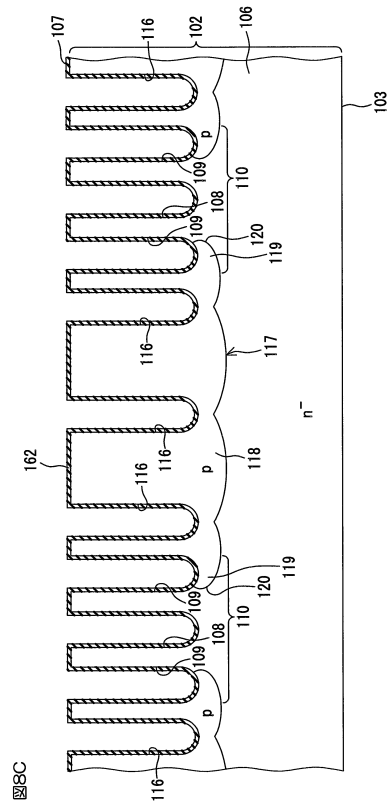
40

50

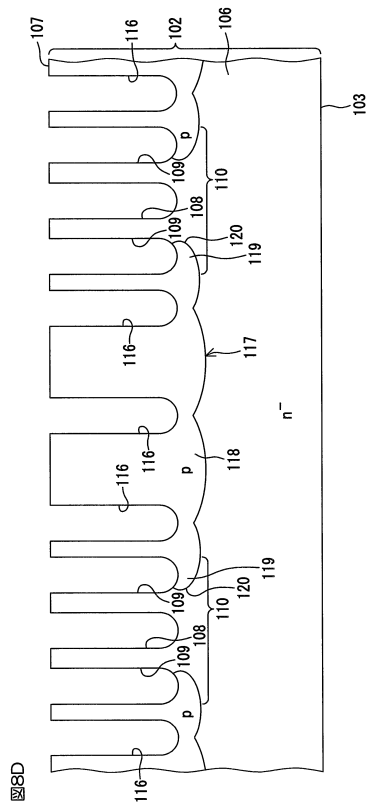
【 8 B 】



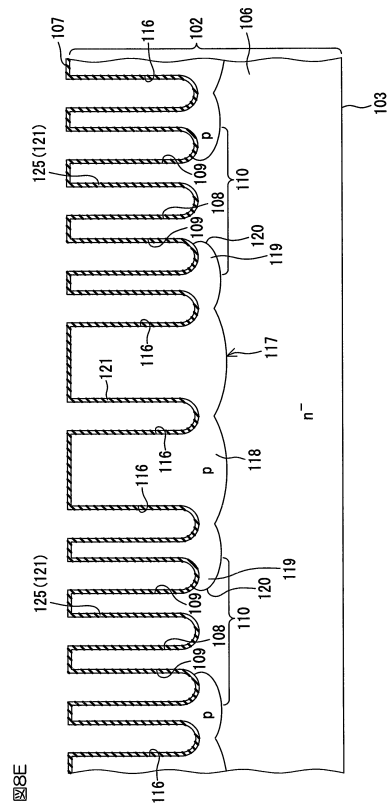
【 8 C 】



【 8 D 】



【 8 E 】



10

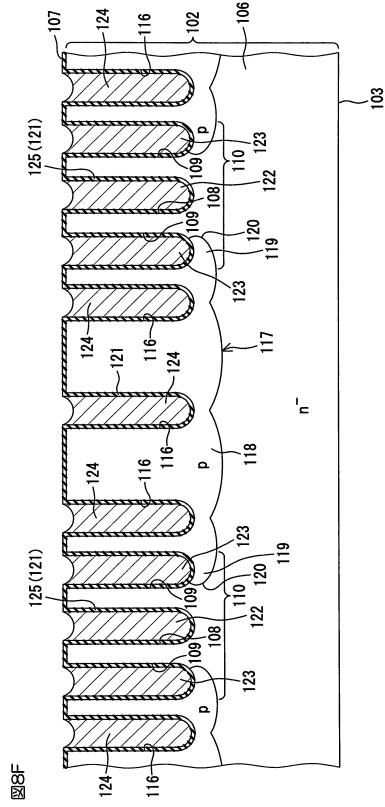
20

30

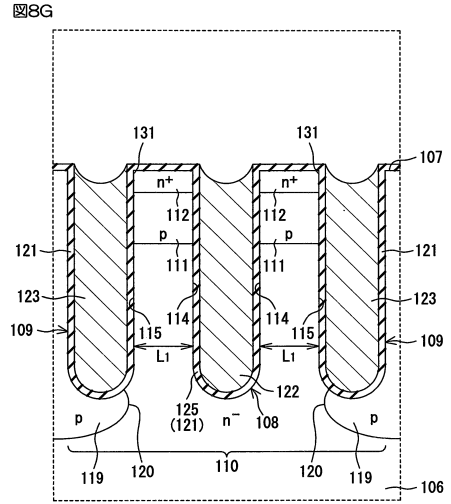
40

50

【 8 F 】



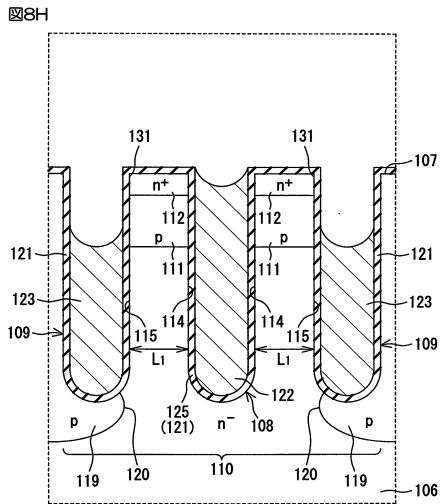
【 8 G 】



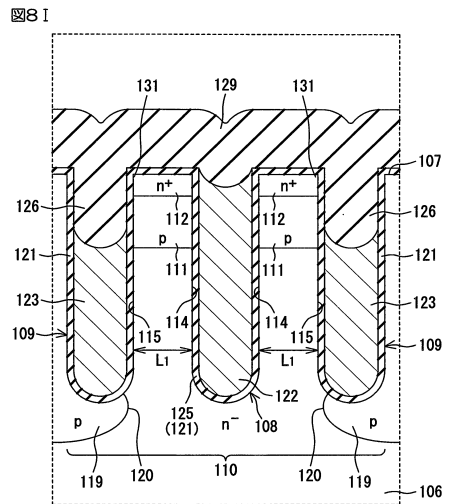
10

20

【 8 H 】



【 8 I 】

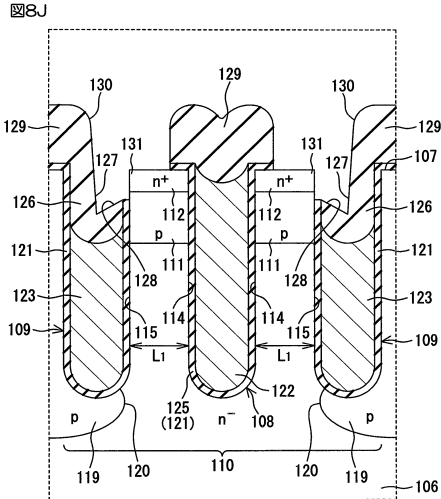


30

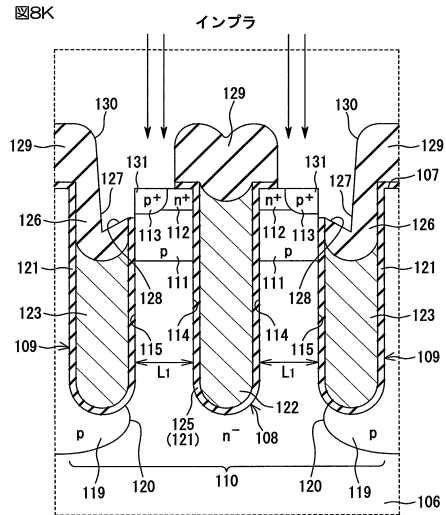
40

50

【 図 8 J 】

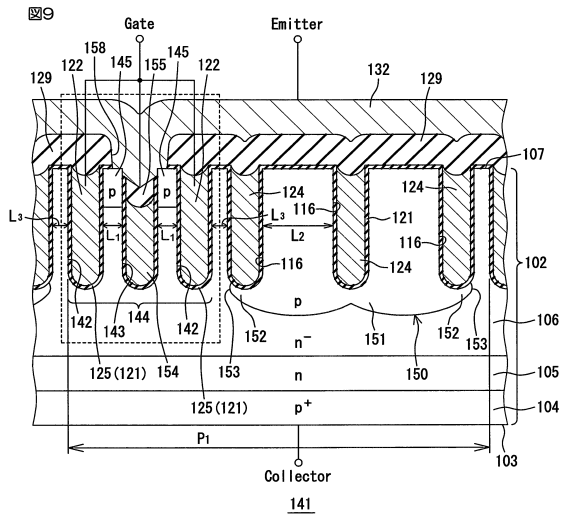


【 図 8 K 】

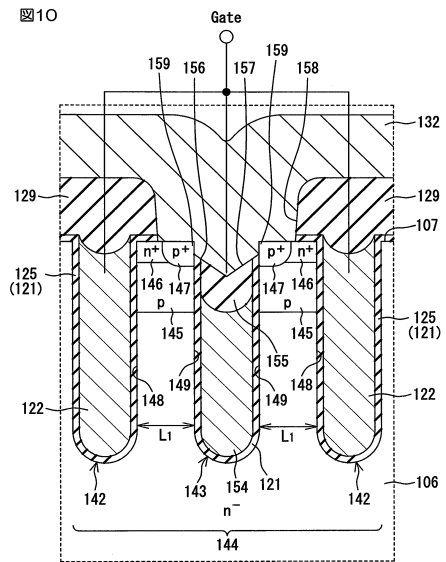


10

【 図 9 】



【 図 10 】



20

30

40

50

【 1 1 】

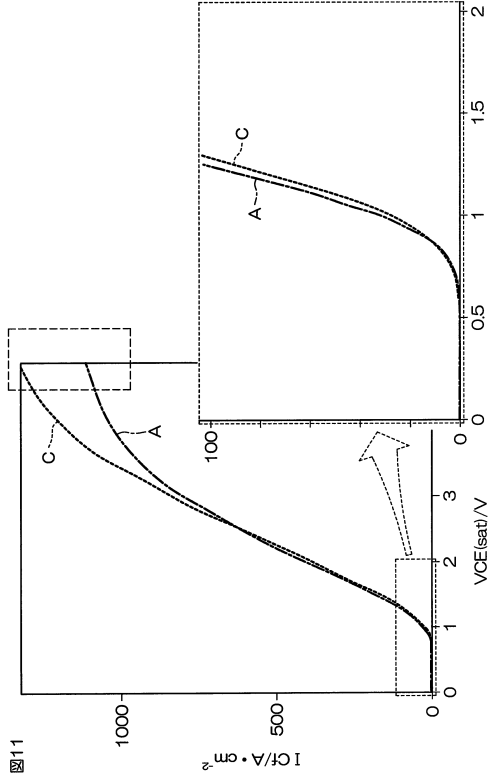


图11

10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
<i>H 0 1 L 29/423 (2006.01)</i>	H 0 1 L	29/78	6 5 2 K
<i>H 0 1 L 29/49 (2006.01)</i>	H 0 1 L	29/78	6 5 2 M
	H 0 1 L	29/78	6 5 3 C
	H 0 1 L	29/78	6 5 5 A
	H 0 1 L	29/78	6 5 5 B
	H 0 1 L	29/78	6 5 8 A
	H 0 1 L	29/78	6 5 8 G
	H 0 1 L	29/44	S
	H 0 1 L	29/58	G

(32)優先日 平成24年8月21日(2012.8.21)

(33)優先権主張国・地域又は機関

日本国(JP)

(56)参考文献 中国特許出願公開第 1 0 2 2 4 4 0 9 5 (C N , A)
 国際公開第 2 0 1 2 / 0 3 4 3 7 2 (W O , A 1)
 特開 2 0 1 1 - 2 0 4 8 0 8 (J P , A)
 特表 2 0 0 5 - 5 2 4 9 7 0 (J P , A)
 特開 2 0 0 9 - 5 4 9 0 3 (J P , A)
 特開 2 0 0 5 - 3 4 0 6 2 6 (J P , A)
 特開 2 0 1 2 - 1 5 1 4 7 0 (J P , A)
 特開 2 0 1 1 - 2 0 4 8 0 3 (J P , A)
 特開 2 0 0 7 - 1 6 5 6 3 5 (J P , A)
 特開 2 0 1 0 - 1 7 1 0 5 7 (J P , A)
 米国特許出願公開第 2 0 1 0 / 0 0 7 8 7 5 6 (U S , A 1)

(58)調査した分野 (Int.Cl., D B 名)

H01L 21/336
 H01L 21/76
 H01L 29/41
 H01L 29/423
 H01L 29/49
 H01L 29/78
 H01L 29/739