

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-119460

(P2016-119460A)

(43) 公開日 平成28年6月30日(2016.6.30)

(51) Int.Cl.		F I		テーマコード (参考)
H01L 23/12	(2006.01)	H01L 23/12	F	5E316
H05K 3/46	(2006.01)	H01L 23/12	K	
		H05K 3/46	N	
		H05K 3/46	B	
		H05K 3/46	Q	
審査請求 未請求 請求項の数 20 O L 外国語出願 (全 25 頁)				

(21) 出願番号 特願2015-243707 (P2015-243707)
 (22) 出願日 平成27年12月15日 (2015.12.15)
 (31) 優先権主張番号 14/580, 269
 (32) 優先日 平成26年12月23日 (2014.12.23)
 (33) 優先権主張国 米国 (US)

(71) 出願人 390041542
 ゼネラル・エレクトリック・カンパニイ
 アメリカ合衆国、ニューヨーク州 123
 45、スケネクタデイ、リバーロード、1
 番
 (74) 代理人 100137545
 弁理士 荒川 聡志
 (74) 代理人 100105588
 弁理士 小倉 博
 (74) 代理人 100129779
 弁理士 黒川 俊久
 (74) 代理人 100113974
 弁理士 田中 拓人

最終頁に続く

(54) 【発明の名称】 所定のビアパターンを有する電子パッケージおよびそれを製造ならびに使用する方法

(57) 【要約】

【課題】 電子パッケージを提供する。

【解決手段】 電子パッケージは、基板と、対応する複数の所定のビアパターンによって規定される複数のビアとを含む。電子パッケージは、基板の一部に配置された金属ビルドアップ層をさらに含み、複数の所定のビア位置および複数のビアについての複数の所定のビアパターンをもたらし。また、電子パッケージは、金属ビルドアップ層の少なくとも一部に配置される第1の導電層を含む。さらに、電子パッケージは、第1の導電層に配置される第2の導電層を含み、複数のビアが、金属ビルドアップ層、第1の導電層、および第2の導電層に少なくとも部分的に配置される。

【選択図】 図1



FIG. 1

【特許請求の範囲】**【請求項 1】**

電子パッケージ（1320）であって、
基板（102、1302、1408、2602）と、
対応する複数の所定のビアパターンによって規定される複数のビアと、
複数の所定のビア位置および前記複数のビアの前記所定のビアパターンを提供するために前記基板（102、1302、1408、2602）の一部に配置された金属ビルドアップ層（1306、1412、2902）と、
前記金属ビルドアップ層（1306、1412、2902）の少なくとも一部に配置された第1の導電層（152、1307、1602、2302、3402）と、
前記第1の導電層（152、1307、1602、2302、3402）上に配置された第2の導電層（160、1308、1702、2402、3502）と
を備え、

前記複数のビアが、前記金属ビルドアップ層（1306、1412、2902）、前記第1の導電層（152、1307、1602、2302、3402）、および前記第2の導電層（160、1308、1702、2402、3502）に少なくとも部分的に配置される、電子パッケージ（1320）。

【請求項 2】

前記金属ビルドアップ層（1306、1412、2902）が、複数の所定のトレースパターンに対応する前記基板（102、1302、1408、2602）の部分に配置される、請求項1に記載の電子パッケージ（1320）。

【請求項 3】

前記所定のトレースパターンの平均幅が、約1ミクロンから約1000ミクロンの範囲内である、請求項2に記載の電子パッケージ（1320）。

【請求項 4】

前記複数のビアの平均直径が、約1ミクロンから約500ミクロンの範囲内である、請求項1に記載の電子パッケージ（1320）。

【請求項 5】

前記複数のビアの2つの隣接配置されるビアの間の平均ピッチが、約2ミクロンから約1000ミクロンの範囲内である、請求項1に記載の電子パッケージ（1320）。

【請求項 6】

前記複数のビアは、ブラインドビア、スルービア、またはそれらの組み合わせを備える、請求項1に記載の電子パッケージ（1320）。

【請求項 7】

前記金属ビルドアップ層（1306、1412、2902）、前記第1の導電層（152、1307、1602、2302、3402）、および前記第2の導電層（160、1308、1702、2402、3502）の1つまたは複数は、チタン、タンタル、銅、ニッケル、金、銀、クロム、アルミニウム、チタン-タングステン、またはそれらの組み合わせを備える、請求項1に記載の電子パッケージ（1320）。

【請求項 8】

電子組立品（1200、1300、1900、2500、3800）であって、
電子パッケージ（1320）を備え、
前記電子パッケージ（1320）が、
基板（102、1302、1408、2602）と、
対応する複数の所定のビアパターンによって規定される複数のビアと、
複数の所定のビア位置および前記複数のビアの前記所定のビアパターンを提供するために前記基板（102、1302、1408、2602）の一部に配置された金属ビルドアップ層（1306、1412、2902）と、
前記金属ビルドアップ層（1306、1412、2902）の少なくとも一部に配置された第1の導電層（152、1307、1602、2302、3402）と、

10

20

30

40

50

前記第1の導電層(152、1307、1602、2302、3402)上に配置された第2の導電層(160、1308、1702、2402、3502)と

を備え、

前記複数のビアが、前記金属ビルドアップ層(1306、1412、2902)、前記第1の導電層(152、1307、1602、2302、3402)、および前記第2の導電層(160、1308、1702、2402、3502)に少なくとも部分的に配置され、

前記電子パッケージ(1320)がさらに、前記複数のビアの対応するビアに結合される電子素子(138、1414、3004)を備える、電子組立品(1200、1300、1900、2500、3800)。

10

【請求項9】

前記電子素子(138、1414、3004)が、前記所定のビアパターンに結合される、請求項8に記載の電子組立品(1200、1300、1900、2500、3800)。

【請求項10】

前記複数のビアが、ブラインドビアである、請求項8に記載の電子組立品(1200、1300、1900、2500、3800)。

【請求項11】

前記複数の電子素子(138、1414、3004)が、半導体ダイ(1312)を備える、請求項8に記載の電子組立品(1200、1300、1900、2500、3800)。

20

【請求項12】

前記複数のビアの前記ビアの平均直径が、約1ミクロンから約500ミクロンの範囲内である、請求項8に記載の電子組立品(1200、1300、1900、2500、3800)。

【請求項13】

前記複数のビアの2つの隣接配置されるビアの間の平均ピッチが、約2ミクロンから約1000ミクロンの範囲内である、請求項8に記載の電子組立品(1200、1300、1900、2500、3800)。

【請求項14】

電子パッケージ(1320)を製造する方法であって、
第1の側面および第2の側面を備える基板(102、1302、1408、2602)を提供するステップと、

30

複数の所定のビア位置および複数の所定のビアパターンを提供するために前記基板(102、1302、1408、2602)の前記第1の側面上に金属ビルドアップ層(1306、1412、2902)を配置するステップと、

電子素子(138、1414、3004)を前記基板(102、1302、1408、2602)の前記第2の側面に結合して、前記電子素子(138、1414、3004)の接触パッド(140、1314、1418、3006)が1つまたは複数の所定のビアパターンと位置合わせされるステップと、

40

前記複数の所定のビア位置の前記1つまたは複数の所定のビア位置で前記基板(102、1302、1408、2602)の部分を選択的に取り除くステップと、

前記金属ビルドアップ層(1306、1412、2902)の少なくとも一部に第1の導電層(152、1307、1602、2302、3402)を配置するステップと、

前記第1の導電層(152、1307、1602、2302、3402)の少なくとも一部に第2の導電層(160、1308、1702、2402、3502)を配置するステップと

を備え、

前記複数の所定のビアパターンが、前記金属ビルドアップ層(1306、1412、2902)、前記第1の導電層(152、1307、1602、2302、3402)、お

50

よび前記第2の導電層(160、1308、1702、2402、3502)に少なくとも部分的に配置される複数のビアに対応する、方法。

【請求項15】

前記金属ビルドアップ層(1306、1412、2902)を配置する前記ステップが、

前記基板(102、1302、1408、2602)の前記第1の側面の少なくとも一部上にパターン化レジスト層(116、2802)を提供するステップと、

前記パターン化レジスト層(116、2802)を使用して前記基板(102、1302、1408、2602)の部分に金属を選択的に堆積するステップと

を備える、請求項14に記載の方法。

10

【請求項16】

前記複数の所定のビア位置のビア位置から前記パターン化レジスト層(116、2802)の部分を選択的に除去するステップをさらに備える、請求項15に記載の方法。

【請求項17】

前記基板(102、1302、1408、2602)の前記部分を選択的に除去する前記ステップは、前記基板(102、1302、1408、2602)の前記部分をレーザー穿孔するステップを備える、請求項14に記載の方法。

【請求項18】

前記金属ビルドアップ層(1306、1412、2902)の少なくとも一部、前記複数の所定のビア位置の1つまたは複数の所定のビア位置、前記複数の所定のビアパターンの2つ以上の隣接配置された所定のビアパターンの間、またはそれらの組み合わせに、誘電体材料(1402、2002)を配置するステップをさらに備える、請求項14に記載の方法。

20

【請求項19】

前記基板(102、1302、1408、2602)上に複数の所定のトレースパターンを提供するステップをさらに備える、請求項14に記載の方法。

【請求項20】

前記電子素子(138、1414、3004)を、前記基板(102、1302、1408、2602)の前記第2の側面に結合する前に、前記所定のビアパターンおよび前記所定のトレースパターンを検査するステップをさらに備える、請求項14に記載の方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本明細書の実施形態は、電子パッケージに関し、より詳しくは、所定のビアパターンを有する電子パッケージに関する。

【背景技術】

【0002】

電子素子の領域における技術進歩は、近年では、極めて大きな成長を遂げている。例えば、携帯電話は、より小さく、より軽くなっている一方で、それらの機能および能力は、同時に、拡張し続けている。このことは、そのような装置で見られる電子部品の複雑さおよび動作を増やし、そのような部品の設置スペースを減らすという結果を引き起こしている。電子部品の複雑さの増加および利用可能なスペースの減少から、いくつかの課題が発生している。例えば、スペースの限界に基づいて、回路基板は、基板の配線密度を所望の量未満に制限することができる程度のサイズに小型化されている。集積回路(IC)は、徐々に小さくなり、より良好な動作性能を生みだし、集積回路(IC)パッケージングのためのパッケージング技術は、それに応じて、導線型パッケージングから、積層式ボールグリッドアレイ(BGA)パッケージングに、最終的に、チップスケールパッケージング(CSP)に発展している。ICチップパッケージング技術の進歩は、より良好な性能、さらなる小型化、およびより高い信頼性に対するニーズが常に高まっていることにより駆り立てられている。新しいパッケージング技術は、大規模製造のためのバッチ生産の可能

40

50

性をさらに提供しなければならず、それにより、規模の生産性が高まる。

【0003】

さらに、ICパッケージの小型化および複雑さのため、ICパッケージを生産するための処理は、典型的に、高価で、時間がかかる。また、所望の両面入力/出力(I/O)システムを生成するためにさらなる再配線層を使用することは、処理ステップの数を増やし、さらに、製造処理のコストと複雑度を高めてしまう。さらに、装置ごとのI/Oを増やすことは、装置ごとに要求される配線密度およびビアの数を増やすことになる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】米国特許第8716870号明細書

【発明の概要】

【0005】

本明細書の態様により、電子パッケージが提供される。電子パッケージは、基板と、対応する複数の所定のビアパターンによって規定される複数のビアを含む。電子パッケージは、基板の一部に配置された金属ビルドアップ層をさらに含み、複数の所定のビア位置および複数のビアについての複数の所定のビアパターンをもたらす。さらに、電子パッケージは、金属ビルドアップ層の少なくとも一部に配置される第1の導電層を含む。さらに、電子パッケージは、第1の導電層に配置される第2の導電層を含み、複数のビアが、金属ビルドアップ層、第1の導電層、および第2の導電層に少なくとも部分的に配置される。

【0006】

本明細書の別の態様により、電子組立品が提供される。電子組立品は、基板と、対応する複数の所定のビアパターンによって規定される複数のビアを有する電子パッケージを含む。さらに、電子パッケージは、基板の一部に配置された金属ビルドアップ層を含み、複数の所定のビア位置および複数のビアについての複数の所定のビアパターンをもたらす。さらに、電子パッケージは、金属ビルドアップ層の少なくとも一部に配置される第1の導電層と、第1の導電層に配置される第2の導電層とを含み、複数のビアが、金属ビルドアップ層、第1の導電層、および第2の導電層に少なくとも部分的に配置される。電子組立品はまた、複数のビアの対応するビアに結合される電子素子を含む。

【0007】

本明細書のさらに別の態様により、電子パッケージの生成方法が提供される。本方法は、第1の側面および第2の側面を有する基板を提供するステップと、基板の第1の側面に金属ビルドアップ層を配置して、所定のビア位置および所定のビアパターンを提供するステップとを含む。本方法は、基板の第2の側面に電子素子を結合するステップをさらに含み、電子素子上の接触パッドを1つまたは複数の所定のビア位置と位置合わせする。さらに、本方法は、1つまたは複数の所定のビア位置で基板の部分を選択的に除去するステップを含む。本方法はまた、金属ビルドアップ層の少なくとも一部に配置される第1の導電層を提供するステップと、第1の導電層の少なくとも一部に配置される第2の導電層を提供するステップとを含む。さらに、所定のビアパターンが、金属ビルドアップ層、第1の導電層、および第2の導電層に少なくとも部分的に配置される複数のビアに対応する。

【0008】

本開示のこれらの、および他の特徴、態様、および利点は、以下の詳細な説明を添付図面を参照して読むと、より理解されるであろう。添付図面において、同様の参照符号は、図面を通じて、同様の項目を意味する。

【図面の簡単な説明】

【0009】

【図1】本明細書の態様により、所定のビアパターンを有する電子組立品を生成する例示的方法に含まれるステップの模式図である。

【図2】本明細書の態様により、所定のビアパターンを有する電子組立品を生成する例示

10

20

30

40

50

的方法に含まれるステップの模式図である。

【図 3】本明細書の態様により、所定のビアパターンを有する電子組立品を生成する例示的方法に含まれるステップの模式図である。

【図 4】本明細書の態様により、所定のビアパターンを有する電子組立品を生成する例示的方法に含まれるステップの模式図である。

【図 5】本明細書の態様により、所定のビアパターンを有する電子組立品を生成する例示的方法に含まれるステップの模式図である。

【図 6】本明細書の態様により、所定のビアパターンを有する電子組立品を生成する例示的方法に含まれるステップの模式図である。

【図 7】本明細書の態様により、所定のビアパターンを有する電子組立品を生成する例示的方法に含まれるステップの模式図である。

【図 8】本明細書の態様により、所定のビアパターンを有する電子組立品を生成する例示的方法に含まれるステップの模式図である。

【図 9】本明細書の態様により、所定のビアパターンを有する電子組立品を生成する例示的方法に含まれるステップの模式図である。

【図 10】本明細書の態様により、所定のビアパターンを有する電子組立品を生成する例示的方法に含まれるステップの模式図である。

【図 11】本明細書の態様により、所定のビアパターンを有する電子組立品を生成する例示的方法に含まれるステップの模式図である。

【図 12】本明細書の態様により、所定のビアパターンを有する電子組立品を生成する例示的方法に含まれるステップの模式図である。

【図 13】本明細書の態様による、図 1 から図 12 で示した方法を使用して製造された電子パッケージの断側面図である。

【図 14】本明細書の態様による、図 9 から図 11 に図示したステップに対する例示的な代替ステップの模式図である。

【図 15】本明細書の態様による、図 9 から図 11 に図示したステップに対する例示的な代替ステップの模式図である。

【図 16】本明細書の態様による、図 9 から図 11 に図示したステップに対する例示的な代替ステップの模式図である。

【図 17】本明細書の態様による、図 9 から図 11 に図示したステップに対する例示的な代替ステップの模式図である。

【図 18】本明細書の態様による、図 9 から図 11 に図示したステップに対する例示的な代替ステップの模式図である。

【図 19】本明細書の態様による、図 9 から図 11 に図示したステップに対する例示的な代替ステップの模式図である。

【図 20】本明細書の態様による、図 9 から図 11 に図示したステップに対する例示的な代替ステップの模式図である。

【図 21】本明細書の態様による、図 9 から図 11 に図示したステップに対する例示的な代替ステップの模式図である。

【図 22】本明細書の態様による、図 9 から図 11 に図示したステップに対する例示的な代替ステップの模式図である。

【図 23】本明細書の態様による、図 9 から図 11 に図示したステップに対する例示的な代替ステップの模式図である。

【図 24】本明細書の態様による、図 9 から図 11 に図示したステップに対する例示的な代替ステップの模式図である。

【図 25】本明細書の態様による、図 9 から図 11 に図示したステップに対する例示的な代替ステップの模式図である。

【図 26】本明細書の態様による、所定のビア位置、所定のビアパターン、および所定のトレースパターンを有する電子組立品を製造するための別の例示的方法の模式図である。

【図 27】本明細書の態様による、所定のビア位置、所定のビアパターン、および所定の

10

20

30

40

50

トレースパターンを有する電子組立品を製造するための別の例示的方法の模式図である。
【図28】本明細書の態様による、所定のビア位置、所定のビアパターン、および所定のトレースパターンを有する電子組立品を製造するための別の例示的方法の模式図である。
【図29】本明細書の態様による、所定のビア位置、所定のビアパターン、および所定のトレースパターンを有する電子組立品を製造するための別の例示的方法の模式図である。
【図30】本明細書の態様による、所定のビア位置、所定のビアパターン、および所定のトレースパターンを有する電子組立品を製造するための別の例示的方法の模式図である。
【図31】本明細書の態様による、所定のビア位置、所定のビアパターン、および所定のトレースパターンを有する電子組立品を製造するための別の例示的方法の模式図である。
【図32】本明細書の態様による、所定のビア位置、所定のビアパターン、および所定のトレースパターンを有する電子組立品を製造するための別の例示的方法の模式図である。
【図33】本明細書の態様による、所定のビア位置、所定のビアパターン、および所定のトレースパターンを有する電子組立品を製造するための別の例示的方法の模式図である。
【図34】本明細書の態様による、所定のビア位置、所定のビアパターン、および所定のトレースパターンを有する電子組立品を製造するための別の例示的方法の模式図である。
【図35】本明細書の態様による、所定のビア位置、所定のビアパターン、および所定のトレースパターンを有する電子組立品を製造するための別の例示的方法の模式図である。
【図36】本明細書の態様による、所定のビア位置、所定のビアパターン、および所定のトレースパターンを有する電子組立品を製造するための別の例示的方法の模式図である。
【図37】本明細書の態様による、所定のビア位置、所定のビアパターン、および所定のトレースパターンを有する電子組立品を製造するための別の例示的方法の模式図である。
【図38】本明細書の態様による、所定のビア位置、所定のビアパターン、および所定のトレースパターンを有する電子組立品を製造するための別の例示的方法の模式図である。
【発明を実施するための形態】

10

20

【0010】

本明細書の実施形態は、所定のビア位置および所定のビアパターンを有する電子パッケージに関する。さらに、電子パッケージはまた、所定のトレースパターンを含むことができる。一実施形態において、電子素子は、電子パッケージの所定のビア位置で所定のビアパターンに結合されて、電子組立品を形成することができる。各ビアパターンは、対応するビアを規定するよう構成されることが留意されよう。特に、各ビアパターンは、対応するビア位置を取り囲む。さらに、所定のビア位置、所定のビアパターン、および所定のトレースパターンは、電子素子を電子パッケージに動作可能に結合する前に検査され、パターンング不良、メッキ異常、および他の生産に影響する問題を識別し、機器とビアパターンとの間の適切なビア接続を得ることができるかどうかを判断することができる。「所定の」という用語は、電子パッケージの要素の状態を言及するために使用することができ、要素は、電子素子を電子パッケージに接続する前に形成される。それに応じて、「所定のビアパターン」および「所定のトレースパターン」という用語は、電子素子を電子パッケージに結合する前に形成されるビアおよびトレースパターンに関する。

30

【0011】

有利には、本明細書の方法は、ビア位置の提供を、電子装置を電子パッケージに結合する前に予め形成することを可能にし、それにより、ビア位置およびビアパターンの状態の識別を容易にし、ビアパターンが、電子素子に結合されるのに適しているかどうかを判断する。特に、ある実施形態において本明細書の電子パッケージは、電子パッケージを電子素子に結合する前に、ビア位置を規定し、およびビアパターンを形成することの利点を提供する。ビアパターンおよびトレースパターンを予め規定することにより、不良ビアパターンおよび/またはトレースパターンを識別し、半導体ダイなどの、1つまたは複数の電子素子に接続されることを防ぐことを可能にすることに留意されたい。例えば、電子素子を電子パッケージに結合する前にビア位置およびビアパターンを規定することは、欠陥ビアをもたらす可能性のあるビア位置から、機能するビアをもたらすことのできるビア位置を分離する可能性を提供する。理解されるであろうように、特定用途向け集積回路(AS

40

50

IC)チップなどの電子素子(例えば、半導体ダイ)のコストおよび複雑度の増加に伴い、これらの機器に対するパッケージングの設計、修正、および製造のコストが対応して増加する。一例において、特定のビア位置、ビアパターン、および/またはトレースパターンが、不良があるとして識別された場合、または不良ビアをもたらす可能性があるとして識別された場合、電子素子は、その特定のビア位置に結合されない可能性がある。さらに、電子素子は、不良ビアをもたらすであろう特定のビア位置を含む可能性のあるビア位置の群に結合されない可能性がある。さらに、ビアおよび/またはビアパターンは、視覚検査または当業者に周知の自動テスト装置ならびにプローバを使用して自動化された方法を使用して試験することができる。いくつかの実施形態において、不良または欠陥のあるビア位置、ビアパターン、および/またはトレースパターンが識別されると、識別されたビアは電子素子に結合されない可能性があり、高価な電子素子が、欠陥ビアに接続されることにより動作不能になることを防ぐ。したがって、電子素子が欠陥ビアに結合されることを防ぎ、電子素子を機能するビアに結合して欠陥ビアに結合しないことによって、機能する電子パッケージに電子素子を結合する機会を増やすことにより、電子パッケージの生産性を高める。

10

20

30

40

50

【0012】

図1から図12は、所定のビア位置および所定のビアパターンを有する電子パッケージを製造する方法のステップの概略図である。さらに、本明細書の方法はまた、所定のトレースパターンを形成するための規定をもたらす。図1の模式図100に示したように、製造処理は、ポリイミドの層などの基板102を提供することによって開始することができる。基板102は、第1の側面104および第2の側面106を含むことができる。

【0013】

さらに、いくつかの実施形態において、基板102は、ガラス、セラミック、または高分子材料から製造してもよい。一例において、高分子材料は、可撓性材料としてもよい。一実施形態において、基板102は、限定するものではないが、ポリイミド、またはポリイミドベースの材料などの、誘電体材料から製造してもよい。特定の例において、基板102は、Kapton(登録商標)から製造してもよい。ある実施形態において、基板102は、例えば、約12ミクロンから約50ミクロンの厚さを有することができる。一実施形態において、基板102は、処理フレーム(図示せず)上に配置してもよい。さらに、処理フレームは、アルミニウム、銅、セラミック-金属複合材、ニッケル、銀、ステンレス鋼、プリント回路板(PCB)コア、繊維ガラス強化エポキシ、もしくは別の適切な材料、またはそれらの組み合わせなどの、硬質材料から製造することができる。一例において、処理フレームは、ステンレス鋼から製造することができる。また、処理フレームは、結果として得られた回路または電子パッケージの一部を形成してもよいし、しなくてもよい。

【0014】

さらに、図2の模式図200に示したように、シード金属の層108は、基板102の第1の側面104の少なくとも一部に堆積させることができる。ある実施形態において、シード金属層108は、これらに限定されないが、コーティング、スパッタリング、スプレー、気化、蒸着、浸漬コーティング、積層、またはそれらの組み合わせなどの技術を使用することによって、基板102に堆積させることができる。いくつかの実施形態において、基板102が基板102の第1の側面104に予め堆積されたシード金属層108を有することは、電子組立品1200(図12(a)参照)の電子パッケージなどの、電子パッケージを製造するための第1のステップとして提供することができる。主として、電子パッケージは、電子素子138などの電子素子以外の構成要素を有する電子組立品1200の構造のことを表すことに留意されたい。一例において、シード金属層のシード金属は、チタン、タンタル、チタン-タングステン、銅、ニッケル、クロム、またはそれらの組み合わせを含むことができる。一実施形態において、シード金属層108の厚さは、約10ナノメートルから約25ミクロンの範囲内とすることができる。

【0015】

次に、図3(a)の模式図300で示したように、および模式図300の上面図122として図3(b)に示したように、パターン化レジスト層116などのパターン化マスクをシード金属層108に塗布し、複数のビア位置110、複数の所定のビアパターン112、および複数の所定のトレースパターン114を規定することができる。

【0016】

代替実施形態において、パターン化レジスト層116は、ブランケットレジスト層を使用して形成してもよいことに留意されたい。これらの実施形態において、ブランケットレジスト層は、シード金属層108に配置することができる。さらに、このブランケットレジスト層は、パターン化されて、複数のビア位置110、複数の所定のビアパターン112、および複数の所定のトレースパターン114を規定することができる。一実施形態において、ブランケットレジスト層は、積層、浸漬コーティング、または他の既知の堆積方法を使用することによって堆積させることができ、ブランケットレジスト層をパターン化して、望ましいパターンを形成する。いくつかの実施形態において、レジスト材料は、これらに限定されないが、レーザ直接描画またはステップなどのような、既知のパターン化方法を使用して後の堆積をパターン化させることができるフィルムまたは液体として利用可能とすることができる。

10

【0017】

ある実施形態において、パターン化レジスト層116は、結果として得られる電子組立品1200(図12(a)参照)におけるビア位置110、ビアのサイズ、ビアパターン112、およびトレースパターン114を最終的に規定するパターン118および119を含むことができる。一実施形態において、パターン化レジスト層116は、パターン化レジスト層116のパターン118をシード金属層108に変換するためのフォトリソグラフィの間にフォトリソマスクの役目を果たすよう構成することができる。

20

【0018】

さらに、図4の模式図400に示したように、金属ビルドアップ層120が、ビアパターン112(図3(b)参照)およびトレースパターン114(図3(b)参照)に対応するシード金属層108に少なくとも部分的に堆積することができる。非限定の例において、金属ビルドアップ層120は、銅から作ることができる。

【0019】

非限定の例において、複数のビアの平均直径は、約1ミクロンから約500ミクロンの範囲とすることができる。しかしながら、500ミクロンより大きなビアもまた、本明細書の範囲内であると考えられる。同じ、または異なる例において、2つの隣接配置されるビアの間の平均ピッチは、約2ミクロンから約1000ミクロンの範囲内とすることができる。さらに、複数の所定のトレースパターン114の平均幅は、約1ミクロンから約500ミクロンの範囲内とすることができる。

30

【0020】

また、図5の模式図500で示したように、金属ビルドアップ層120を堆積した後、パターン化レジスト層116は、パターン118の基となるシード金属層108の部分を露出するよう除去され、ビア位置110、ビアパターン112、およびトレースパターン114(図3(b)参照)の部分125および127を形成することができる。一例において、パターン化レジスト層116は、ドライエッチング、ウェットエッチング、ストリッピング、レーザアブレーション、またはそれらの組み合わせを使用して除去することができる。

40

【0021】

次に、図6(a)の模式図600に示したように、および図6(b)における上面図124に示したように、ここでの上面図124は模式図600の上面図であり、シード金属層108は、基板102の第1の側面104の部分から少なくとも部分的に除去され、ビア位置110(図3(b)参照)および所定のビアならびにトレースパターン131の少なくとも一部130を規定することができる。特に、シード金属層108は、ビア位置110に対応する基板102の第1の側面104の部分から除去することができる。

50

【0022】

さらに、図7の模式図700に示したように、接着剤の層136を、基板102の第2の側面106に塗布することができる。接着剤は、エポキシ系接着剤などの、非導電性接着剤とすることができる。ある実施形態において、接着層136は、電子組立品1200（図12（a）参照）を効率的に製造することを容易にするよう、Bステージ化するように構成してもよい。

【0023】

次に、図8（a）の模式図800および図8（b）の上面図142に示したように、半導体ダイなどの望ましい電子素子138は、接着層136を介して基板102に結合することができる。参照番号142は、所定のビア位置130および所定のビアならびにトレースパターン131に対する電子素子138の相対位置を示す模式図800の上面図を表す。特に、電子素子138は、所定のビア位置130および所定のビアならびにトレースパターン131に対して位置合わせすることができ、電子素子138上の接触パッド140または任意の望ましい電氣的接続部が、所定のビア位置130および/または所定のビアもしくはトレースパターン131に動作可能に結合される。所定のビアおよびトレースパターン131は、欠陥ビア位置またはパターンを識別するために検査することができることに留意されたい。1つまたは複数の欠陥ビア位置またはパターンが識別された場合において、電子素子138は、そのような欠陥ビア位置またはパターンに結合されない可能性がある。

10

【0024】

いくつかの実施形態において、電子素子138は、半導体ダイとすることができる。しかしながら、能動または受動電子素子などの、半導体ダイ以外の他の電子部品もまた、基板102に取り付けることができると考えられる。さらに、図1から図12では、単一の電子素子に対して説明したが、本明細書の方法は、ダイの配列を含む、複数の電子素子を結合するために使用してもよく、ダイの配列での1つまたは複数のダイは、電子パッケージにおける各ビアに結合することができる。したがって、図示しないが、複数のそのような電子素子は、基板102に取り付けることができ、多要素モジュールまたは層を形成することができることが想定される。さらに、複数の電子素子を使用する実施形態において、電子素子の接触パッドは、ビア126（図12（a）および図12（b）参照）に位置合わせすることができる。

20

30

【0025】

図9の模式図900に示したように、基板102および接着層136の部分146は、取り除かれて、電子素子138まで所定のビア位置130を伸ばすことができる。伸ばされた所定のビア位置は、参照番号156によって示され、伸ばされた所定のビアおよびトレースパターンは、参照番号158によって示される。一実施形態において、基板102の部分146を除去することは、ドライエッチング、ウェットエッチング、アブレーション、溶解、穿孔、レーザアブレーション、またはそれらの組み合わせを含むことができる。一例において、基板102の部分146は、CO₂レーザ、プラズマエッチング、紫外線レーザ、またはそれらの組み合わせの1つまたは複数を使用して、選択的に除去してもよい。さらに、基板102および接着層136をレーザアブレーションする場合、レーザビーム（図9では図示せず）を使用して、基板102の決まった部分を除去し、所定のビア位置156および所定のビアならびにトレースパターン158を形成することができる。ビアのサイズは、パターン146によって規定することができることに留意されたい。一実施形態において、レーザビームは、UVレーザビームを含むことができる。例示的な実施形態において、レーザビームのサイズは、基板102に形成されるビアのサイズより大きいか、または等しくすることができる。レーザビームのサイズがビアのサイズより大きい実施形態において、金属ビルドアップ層120の存在により、ビアに対して望ましいサイズに対応するレーザビームの部分のみが、基板102に入射することを可能にする。一実施形態において、金属ビルドアップ層120の厚さは、金属ビルドアップ層120が、望ましくない崩壊を受けることなく、レーザビームのエネルギーに耐えるよう構成される

40

50

ようにすることができる。一実施形態において、複数のビアは、ブラインドビア、スルービア、またはそれらの組み合わせを含むことができる。ビアがブラインドビアである一例において、ブラインドビアは、電子素子138と、チップなどの電子部品との間に電氣的接続を提供するよう構成され、電子素子138およびチップは、電子組立品1200（図12(a)参照）を使用して結合される。ある実施形態において、スルーホールビア、すなわち、スルービアが、基板102の第1の側面104に形成されるビアおよびトレースパターンを、基板102の第2の側面106に形成される金属パターンに接続するよう形成することができる。さらに、基板102の第2の側面106上の金属パターンは、金属ビルドアップ層を形成するために使用される同様の技術を介して、電子素子138を基板102に結合する前に、形成することができる。これらの金属パターンはまた、電子素子138を望ましい位置に結合する前に、基板102の第1の側面104上のパターンと共に検査してもよい。基板102の第2の側面106上に、何らのビア位置も存在しない可能性があることに留意されたい。例えば、基板102の第2の側面106は、電子素子138の接触パッド140の役目を果たすよう構成することができる1つまたは複数の銅パッドを有することができる。さらに、ビアは、電子素子138の接触パッド140に形成することができるのと同じ方式で、この金属パターンに形成することができる。

10

【0026】

さらに、図10の模式図1000に示すように、第1の導電層152は、所定のビア位置156および所定のビアならびにトレースパターン158の少なくとも一部に配置され、ビア位置156およびビアならびにトレースパターン158にメタライゼーションをもたらしすることができる。一実施形態において、メタライゼーションは、スパッタリングを使用して実行することができる。この実施形態において、メタライゼーションは、スパッタリングを使用して第1の導電層152を堆積することを含むことができる。特に、スパッタリングは、ビアの位置を規定するよう、第1の導電層152の材料で少なくとも部分的に満たされるビア位置110（図3(b)参照）に対応する領域をもたらしすることができる。さらに、メタライゼーション処理は、蒸着、無電解、または電解めっきを使用して実行することができる。一例において、第1の導電層152は、チタン、銅、またはその両方を含むことができ、後の層のためのシード層の役目を果たすことができる。第1の導電層152に対する金属の他の非限定の例には、銅、チタン、チタン-タングステン、クロム、金、銀、ニッケル、またはそれらの組み合わせを含むことができる。一例において、第1の導電層152は、後続の1つまたは複数の導電層の堆積を容易にするために、シード層の役目を果たすよう構成することができる。

20

30

【0027】

次に、図11の模式図1100に示したように、第2の導電層160を、第1の導電層152に堆積させることができる。一例において、第2の導電層160は、第2の導電層160の電解めっきのためのシード層の役目を果たす第1の導電層152を使用して電解めっきすることができる。一実施形態において、第2の導電層160は、セミアディティブめっき（semi-additive plating）または優先堆積を使用してビア位置156（図10参照）に堆積され、第1および第2の導電層152および160の一部を好ましくはビア126（図12(a)参照）の外側に堆積した領域から除去するようエッチングが実行された後に、第2の導電層160の材料がビア位置に残ることを確実にすることができる。一実施形態において、第2の導電層160は、単一層または層の組み合わせを含むことができる。第2の導電層160に対する金属の非限定の例には、銅、チタン、チタン-タングステン、クロム、銅、金、銀、ニッケル、アルミニウム、またはそれらの組み合わせを含むことができる。さらに、複合材料を使用して、第2の導電層160を形成してもよいことも想定される。いくつかの実施形態において、金属含浸エポキシまたは金属充填塗布剤を、第2の導電層160として使用することができる。他のいくつかの実施形態において、第2の導電層160は、セミアディティブめっき、スパッタリング、電解めっき、無電解めっき、またはそれらの組み合わせを使用して堆積させることができる。シード金属層108、金属ビルドアップ層120、第1の導電層152、およ

40

50

び第2の導電層160の材料は、同じ組成物を有してもよいし、異なる組成物を有してもよいことに留意されたい。

【0028】

図12(a)および図12(b)をここで参照すると、電子組立品1200の模式図1200および上面図162が、図12(a)および図12(b)にそれぞれ図示される。ビア126、ビアパターン128、およびトレースパターン144を、第1および第2の導電層152および160の一部を選択的に除去することによって形成することができる。特に、ビア126の外側に堆積される第1および第2の導電層152および160の部分を除去することができる。

【0029】

さらに、1つまたは複数の清掃ステップを、電子組立品1200の1つまたは複数の層の少なくとも一部を除去することを伴う任意のステップの後に導入することができる。例えば、清掃ステップは、パターン化レジスト層116が除去される、図4によって示されるステップの後に実行することができる。同様に、清掃ステップまたはエッチングステップは、少なくとも図6(a)、図9、および図12(a)で示したステップが実行された後に実行することができる。そのような清掃ステップは、電子組立品1200を形成するよう構成される層の積み重ねから、任意の余分な材料を取り除くよう実行してもよい。追加の清掃ステップを実行してもよいことに留意されたい。例えば、清掃ステップを実行して、第1の導電層152を堆積する前に、ビアパターン156の内側の表面の少なくとも一部を清掃することができる。いくつかの実施形態において、シード金属層108を清掃するオプションのステップを、第2の導電層160を堆積する前に実行してもよい。一例において、清掃ステップを使用して、酸化物、金属、誘電体、汚染物、粒子、接着剤などの任意の望ましくない材料を、電子組立品の1つまたは複数の層の表面から取り除き、隣接配置された層の間の接着性の向上を促進することができる。

【0030】

ある実施形態において、電子組立品1200を製造するための方法は、例えば、環境保護をもたらすために電子素子138を密閉することによってさらに進めることができる。本方法はまた、表面仕上げ、はんだマスク、および/またははんだボールを追加することを含んでもよい。さらに、電子組立品1200は、電子基板(例えば、はんだ付け、接着剤、ボールグリッドアレイ、フリップチップアセンブリ、ワイヤボンディング、もしくは他の任意の既知の結合技術、またはそれらの組み合わせを使用するプリント回路板(PCB))上に取り付けてもよい。

【0031】

別の例において、半導体ダイまたは電子組立品1200におけるI/O密度を低コストで比較的高くするために、フリップチップ技術を使用して、電子組立品1200を電子基板に電氣的に結合することができる。さらに、いくつかの実施形態において、金属バンプ、スタッド、または金属のボール(総称して、本明細書では「バンプ型」相互接続と称する)を、例えば、2次元配列パターンにおいて、電子組立品1200のアクティブ表面に直接適用することができ、能動面は、ビア126、ビアパターン128、および/またはトレースパターン144を含むことができる。あるいは、一実施形態において、導電性接着剤を使用して、電子組立品1200を電子回路に結合してもよい。

【0032】

さらに、電子組立品は、これらに限定されないが、半導体ダイ、ダイオード、集積回路(IC)、コンデンサ、抵抗器、または他の電子素子などの、2つ以上の電子素子を含むことに留意されたい。さらに、電子パッケージは、面実装パッケージとすることができ、電子素子は、外部素子への直接金属接続を形成するサブモジュール内にパッケージされる。一実施形態において、電子パッケージの複数の電子素子は、配列構成で配置することができる。さらに、複数の電子素子は、ピックアップブレースロボット装置および1つまたは複数の基準参照点を使用してビアの位置に対して位置合わせしてもよい。さらに、いくつかの実施形態において、本方法はまた、処理フレームごとに複数の電子パ

10

20

30

40

50

パッケージを製造するために使用してもよい。これらの実施形態において、各電子パッケージは、1つまたは複数の電子素子を有することができる。

【0033】

図13は、シード金属層1304、金属ビルドアップ層1306、第1の導電層1307、および第2の導電層1308を伴う基板1302を有する例示的電子組立品1300を示す。電子組立品1300は、対応する複数の所定のビアパターン1311および複数の所定のトレースパターン1310によって規定される複数のビア1309をさらに含む。複数のビア1309の1つまたは複数のビア1309は、複数の電子素子、例えば、半導体ダイ1312と電気的に通信することができる。複数の半導体ダイ1312は、接触パッド1314および接着層1316を使用して、基板1302に結合される。さらに、複数の半導体ダイ1312は、基板1302上に配置され、半導体ダイ1312のそれぞれの、接触パッド1314などの電気接続部が、複数のビア1309の対応するビア位置と位置合わせされる。さらに、複数のビア位置、複数のビアおよびトレースパターン1311および1310は、半導体ダイ1312を基板1302に取り付ける前に検査することができる。さらに、半導体ダイ1312は、欠陥ビアと識別される可能性のあるビア位置に結合されない可能性がある。いくつかの実施形態において、第1および第2の導電層1307および1308は共に、電子組立品1300に対するルーティング相互接続を形成し、ルーティング相互接続は、複数の電子パッケージ1320を有する電子組立品1300の中で電気通信を提供するよう構成される。有利には、所定のビアおよびトレースパターンを提供することに加え、本明細書の電子パッケージは、スペース限界、ピッチの低減、およびルーティング密度の増加に対応しながら、少なくとも1つまたは複数の電子部品の間のルーティングを提供するよう構成される。例えば、約1ミクロンから約500の範囲の平均直径および約2ミクロンから約1000ミクロンの範囲のピッチを有するビアを有することにより、より小さなサイズの接触パッドを有する電子素子への、より高いルーティング密度および接続性を可能にする。

10

20

【0034】

図1から図12を再び参照すると、電子組立品1200の構造と同様の構造を、代替ステップを使用して取得することができる。例えば、図9から図11によって表されるステップを、図14から図18で示されるステップによって置き換えて、物理的構造および機能において電子組立品1200と同様の電子組立品1900（図19参照）を製造することができる。あるいは、図9から図11によって表されるステップを、図20から図24で示されるステップによって置き換えて、構造において電子組立品1200と同様の電子組立品2500（図25参照）を取得することができる。

30

【0035】

図14から図19をここで参照すると、図14の模式図1400は、シード金属層1410と、その上に配置された金属ビルドアップ層1412とを有する基板1408を示す。さらに、電子素子1414は、接着層1416および接触パッド1418を使用して、基板1408に結合される。さらに、誘電体材料1402が、中間構造体1400の少なくとも一部に配置される。特に、誘電体材料1402は、金属ビルドアップ層1412の露出面に配置される。一実施形態において、誘電体材料1402はまた、所定のビア位置1404に配置することができる。さらに、誘電体材料1402は、2つ以上の隣接配置された所定のビアパターン1406、または隣接配置された所定のトレースパターン1407、または隣接配置された所定のビアならびにトレースパターン1406ならびに1407の間であってもよい。有利には、所定のビアおよび/またはトレースパターン1406および1407の間に誘電体材料1402が存在することは、ビアをメタライゼーションする間、所定のビアおよび/またはトレースパターン1406および1407の偶発的な電氣的短絡を防ぐのに有用である可能性がある。そのような誘電体材料の非限定的な例には、ポリメリックレジスト、高分子コーティング、有機酸化物、無機酸化物、またはその両方を含むことができる。次に、図15の模式図1500に示したように、誘電体材料1402は、対応する所定のビアパターン1406のビア位置1404（図14参照）に

40

50

対応するビア位置 1 5 0 2 から除去される。非限定の例において、誘電体材料 1 4 0 2 は、レーザパターニング、エッチング、アブレーション、穿孔、またはそれらの組み合わせを使用して、ビア位置 1 5 0 2 から除去することができる。

【 0 0 3 6 】

さらに、図 1 6 の模式図 1 6 0 0 に示したように、第 1 の導電層 1 5 2 (図 1 0 参照) と同様の層 1 6 0 2 が、誘電体材料 1 4 0 2 と、少なくとも位置 1 5 0 2 の部分とに配置され、ビア位置 1 4 0 4 (図 1 4 参照) の少なくとも一部にメタライゼーションをもたらすことができる。一実施形態において、メタライゼーションは、スパッタリングまたは蒸着を使用して実行することができる。さらに、メタライゼーション処理は、無電解、または電解めっきを使用して実行することができる。一例において、第 1 の導電層 1 6 0 2 は、チタン、銅、またはその両方を含むことができ、後の層のためのシード層の役目を果たすことができる。

10

【 0 0 3 7 】

さらに、図 1 7 の模式図 1 7 0 0 に示したように、第 2 の導電層 1 7 0 2 を、第 1 の導電層 1 6 0 2 に堆積させることができる。一例において、第 1 の導電層 1 6 0 2 は、第 2 の導電層 1 7 0 2 などの、1 つまたは複数の後続の導電層の堆積を容易にするために、シード層の役目を果たすよう構成することができる。一例において、第 2 の導電層 1 7 0 2 は、第 1 の導電層 1 6 0 2 を有する位置 1 5 0 2 を満たすように使用してもよい。さらに、第 2 の導電層 1 7 0 2 は、第 2 の導電層 1 7 0 2 の電解めっきのためのシード層の役目を果たす第 1 の導電層 1 6 0 2 を使用して電解めっきすることができる。いくつかの実施形態において、第 2 の導電層 1 7 0 2 は、セミアディティブめっきまたは優先堆積を使用して、位置 1 5 0 2 に堆積させることができる。他のいくつかの実施形態において、第 2 の導電層 1 7 0 2 は、電解めっき、無電解めっき、またはそれらの組み合わせを使用して堆積させることができる。

20

【 0 0 3 8 】

さらに、図 1 8 の模式図 1 8 0 0 に示したように、ビア位置 1 5 0 2 の外側に配置された第 1 および第 2 の導電層 1 6 0 2 および 1 7 0 2 の部分を、例えば、エッチングにより除去することができる。ビア位置 1 5 0 2 の外側に配置された第 1 および第 2 の導電層 1 6 0 2 および 1 7 0 2 の材料を優先的に除去するためにエッチングを実行して、ビア 1 8 0 2 およびビアならびにトレースパターン 1 4 0 6 ならびに 1 4 0 7 を規定することができることに留意されたい。さらに、誘電体材料 1 4 0 2 の残りの部分を除去することができる。図 1 9 の模式図 1 9 0 0 は、図 1 から図 8 および図 1 4 から図 1 8 で示したステップを使用することによって形成された、本明細書の結果としての電子組立品を示す。

30

【 0 0 3 9 】

図 2 0 から図 2 5 は、図 1 4 から図 1 9 によって示されたステップに対する代替方法ステップとして使用することができる例示的な方法ステップを示す。図 2 0 の模式図 2 0 0 0 に示したように、電子素子 1 4 1 4 を基板 1 4 0 8 の少なくとも一部に結合した後、誘電体材料 2 0 0 2 を、組立品 2 0 0 0 の少なくとも一部に配置することができる。特に、誘電体材料 2 0 0 2 は、金属ビルドアップ層 1 4 1 2 の露出面、ビア位置 2 0 0 4、および隣接配置された所定のビアならびにトレースパターン 2 0 0 6 ならびに 2 0 0 7 上もしくはその間に、配置することができる。一実施形態において、誘電体材料 2 0 0 2 は、フォトリジスト層とすることができる。さらに、図 2 1 の模式図 2 1 0 0 に示したように、誘電体材料 2 0 0 2 を選択的に除去して、その下にある金属ビルドアップ層 1 4 1 2 を露出させることができる。特に、誘電体材料 2 0 0 2 は、ビアおよびトレースパターン 2 0 0 6 および 2 0 0 7 の間に保持することができる。次に、図 2 2 の模式図 2 2 0 0 に示したように、誘電体材料 2 0 0 2 は、これらに限定されないが、レーザパターニング、エッチング、アブレーション、穿孔、またはそれらの組み合わせなどの技術を使用して、ビアパターン 2 0 0 6 におけるビア位置 2 0 0 4 から除去することができる。さらに、誘電体材料 2 0 0 2 は、ビア位置 2 0 0 4 から除去されて、ビア位置 2 2 0 2 を形成することができる。さらに、金属ビルドアップ層 1 4 1 2、シード金属層 1 4 1 0、および基板 1 4

40

50

08の部分は、ビア位置2202を形成するために除去することができる。

【0040】

さらに、図23の模式図2300に示したように、第1の導電層2302は、ビア位置2202に、および/またはビアならびにトレースパターン2006ならびに2007の部分上に、配置することができる。次に、図24に示したように、第2の導電層2402を、第1の導電層2302に配置させることができる。第2の導電層2402を使用して、位置2202を満たし、ビア2502を形成する。図25は、ビア2502およびビアならびにトレースパターン2006ならびに2007を有する、結果として得られる電子組立品2500を示す。

【0041】

図26から図38は、本明細書の、電子組立品3800(図38参照)などの、電子組立品を製造する代替方法を示す。図26の模式図2600で示したように、基板2602が提供される。基板2602は、第1の側面2604および第2の側面2606を有する。さらに、図27の模式図2700に示したように、シード層2702が、基板2602の第1の側面2604に配置される。次に、図28の模式図2800に示したように、パターン化レジスト層2802が、シード層2702の一部に配置される。パターン化レジスト層2802は、ビア位置を規定するために使用することができるパターン2804を少なくとも含むことができる。

【0042】

さらに、図29の模式図2900に示したように、金属ビルドアップ層2902がシード層2702に堆積され、金属ビルドアップ層2902が、パターン化レジスト層2802の、パターン2804などの、パターンの間に配置される。金属ビルドアップ層2902のパターン2904は、所定のビアパターンの少なくとも一部を表し、金属ビルドアップ層2902のパターン2906は、所定のトレースパターンの少なくとも一部を表す。

【0043】

図30の模式図3000に示したように、パターン化レジスト層2802のパターン2804を使用してビア位置を規定した後、および所定のビアおよびトレースパターン2904および2906を形成した後、電子素子3004などの電子素子は、基板2602の第2の側面2606に結合することができる。特に、電子素子3004は、接着層3002を使用して基板2602の第2の側面2606に結合することができ、電子素子3004の接触パッド3006が、パターン化レジスト層2802のパターン2804に対して位置合わせされる。理解されるであろうように、これらのパターン2804は、電子組立品3800(図38参照)におけるビア位置に対応する。

【0044】

次に、図31の模式図3100に示したように、位置3102に配置されたパターン化レジスト層2802の部分2804を除去することができる。次いで、図32および図33の模式図3200および3300にそれぞれ示したように、シード金属層2702の部分3202および基板2602の部分3302、および接着層3002の対応する部分が除去される。一実施形態において、部分3102、3202、および3302は、レーザーアブレーション、ウェットエッチング、ドライエッチング、およびそれらの組み合わせを使用して除去することができる。

【0045】

さらに、図34の模式図3400に示したように、第1の導電層3402は、パターン化レジスト層2802、金属ビルドアップ層2902の露出部分、および金属ビルドアップ層2902、シード金属層2702、および基板2602に部分的に形成されたビア位置に、堆積される。次に、図35の模式図3500に示したように、第2の導電層3502が、第1の導電層3402に堆積される。第1の導電層3402は、第2の導電層3502の堆積のためのシード層の役目を果たすことができる。第2の導電層3502は、第2の導電層3502の材料でビア位置を満たすために使用される。したがって、いくつかの実施形態において、第2の導電層3502は、ビア位置に堆積した第2の導電層350

10

20

30

40

50

2の厚さが、他の場所に堆積した第2の導電層3502の厚さより厚くなることを確実にするために、優先堆積を使用して堆積させることができる。

【0046】

さらに、図36の模式図3600に示したように、第1および第2の導電層3402および3502は、少なくとも優先的にエッチングされ、ビア位置でビア3602を規定することができる。さらに、図37の模式図3700に示したように、パターン化レジスト層2802の残りの部分を、選択的に除去することができる。図38の模式図3800に示したように、シード金属層2702を選択的に除去した後、ビア3602およびビアならびにトレースパターン2904ならびに2906をそれぞれ有する電子組立品3800が形成される。

10

【0047】

第1および第2の導電層3402および3502を堆積する間、パターン化レジスト層2802の部分が存在することは、隣接配置された1つまたは複数のビア、ビアパターン、およびトレースパターンの間の電氣的短絡を防ぐことに留意されたい。さらに、第1および第2の導電層3402および3502を堆積して、ビア3602を形成した後、パターン化レジスト層2802の残りの部分を、電子組立品3800の健全性を損なうことなく除去することができる。特に、パターン化レジスト層2802が存在するため、ビア充填の間の金属の何らかの流出により、ビア3602および隣接するビアならびにトレースパターン2904ならびに2906の間に望ましくない接続部が形成される結果となることはない可能性がある。

20

【0048】

図1から図12、図14から図19、図20から図25、および図26から図38に示した方法は、電氣的機能モジュールを生じるよう構成されるが、他のいくつかの機能またはアドオンは、他の電子素子および/または部品に動作可能に結合されるのに適した、電子組立品1200などの、電氣的機能モジュールを表すことが望ましい可能性があることに留意されたい。例えば、電子組立品1200を密封して、プリント回路基板(PCB)上に電子組立品1200を組み立てる前に、機械的剛性をもたらすことが望ましい可能性がある。また、図1から図12、図14から図19、図20から図25、および図26から図38に示した方法は、第1のルーティング層のみを示し、いくつかの用途に対して充分であることができるが、本明細書の方法を使用して、複数の追加ルーティング層またはそのような電子パッケージ1200、1300、1900、2500、および3800を含む積層構造体を形成することができる。さらに、はんだマスク、表面仕上げ層などの他の特徴を、本明細書の電子パッケージに追加することができる。

30

【0049】

有利には、本明細書の方法により、欠陥ビアをもたらす可能性のあるビア位置を、電子素子を基板に結合する前に、検査および/またはテストすることを可能にする。さらに、不良または欠陥のあるビア位置が識別されると、識別されたビアは電子素子に結合されない可能性があり、高価な電子素子が、結果として生じる欠陥ビアに接続されることにより動作不能になることを防ぐ。

【0050】

本開示の一部の特徴のみを、本明細書で図示および説明してきたが、多くの修正および変更が、当業者によって行われるであろう。したがって、添付の特許請求の範囲は、本開示の真の精神内に入るすべてのそのような修正および変更を包含するものであることを理解されたい。

40

【符号の説明】

【0051】

- 102 基板
- 108 シード金属層
- 116 パターン化レジスト層
- 120 金属ビルドアップ層

50

1 3 6	接着層	
1 3 8	電子素子	
1 4 0	接触パッド	
1 5 2	第 1 の導電層	
1 6 0	第 2 の導電層	
1 2 0 0	電子組立品	
1 3 0 0	電子組立品	
1 3 0 2	基板	
1 3 0 4	シード金属層	
1 3 0 6	金属ビルドアップ層	10
1 3 0 7	第 1 の導電層	
1 3 0 8	第 2 の導電層	
1 3 1 2	半導体ダイ	
1 3 1 4	接触パッド	
1 3 1 6	接着層	
1 3 2 0	電子パッケージ	
1 4 0 0	中間構造体	
1 4 0 2	誘電体材料	
1 4 0 8	基板	
1 4 1 0	シード層	20
1 4 1 2	金属ビルドアップ層	
1 4 1 4	電子素子	
1 4 1 6	接着層	
1 4 1 8	接触パッド	
1 6 0 2	第 1 の導電層	
1 7 0 2	第 2 の導電層	
1 9 0 0	電子組立品	
2 0 0 0	組立品	
2 0 0 2	誘電体材料	
2 3 0 2	第 1 の導電層	30
2 4 0 2	第 2 の導電層	
2 5 0 0	電子組立品	
2 6 0 2	基板	
2 7 0 2	シード層、シード金属層	
2 8 0 2	パターン化レジスト層	
2 9 0 2	金属ビルドアップ層	
3 0 0 2	接着層	
3 0 0 4	電子素子	
3 0 0 6	接触パッド	
3 4 0 2	第 1 の導電層	40
3 5 0 2	第 2 の導電層	
3 8 0 0	電子組立品	

【 図 1 】

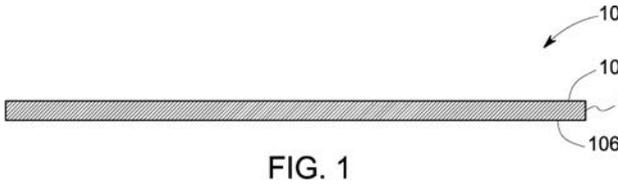


FIG. 1

【 図 3 】

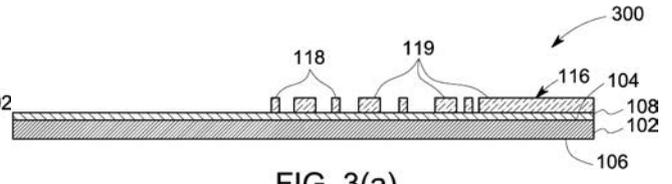


FIG. 3(a)

【 図 2 】

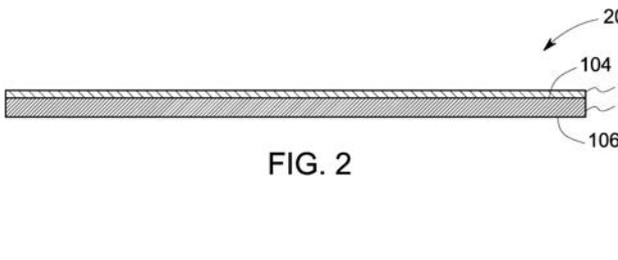


FIG. 2

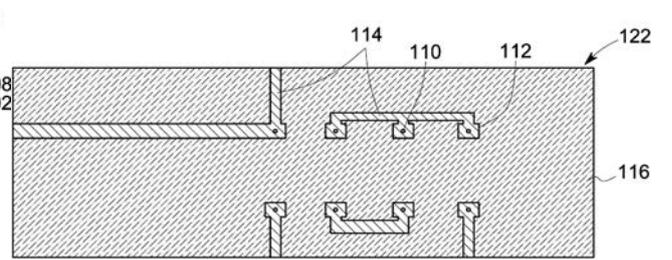


FIG. 3(b)

【 図 4 】

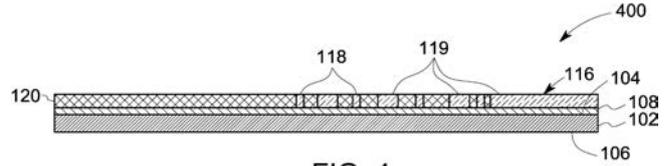


FIG. 4

【 図 5 】

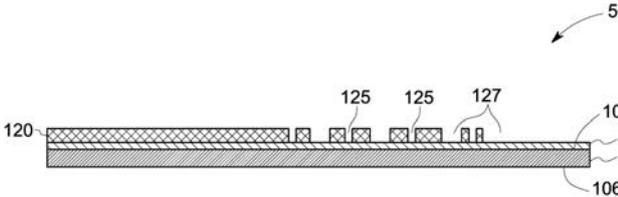


FIG. 5

【 図 7 】

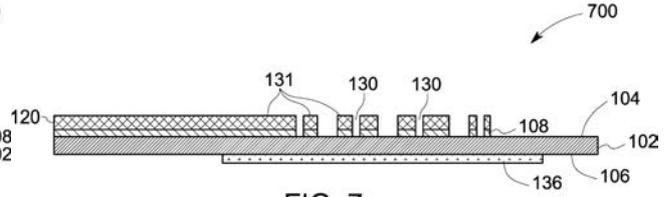


FIG. 7

【 図 6 】

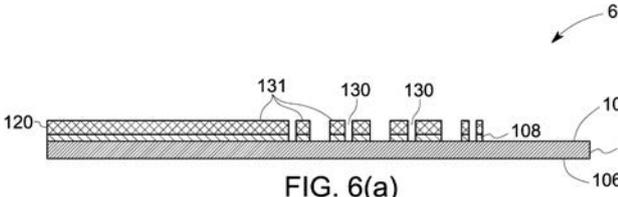


FIG. 6(a)

【 図 8 】

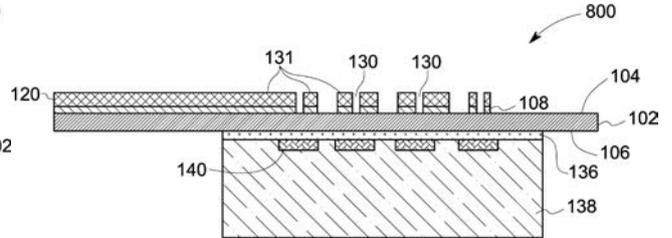


FIG. 8(a)

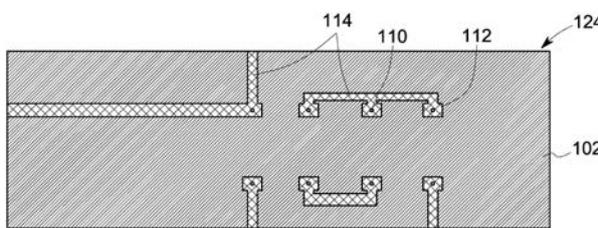


FIG. 6(b)

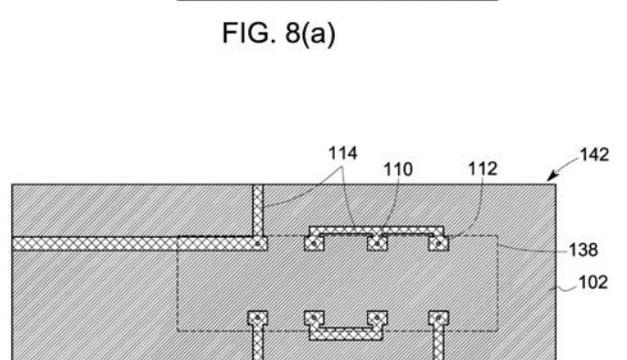


FIG. 8(b)

【 図 9 】

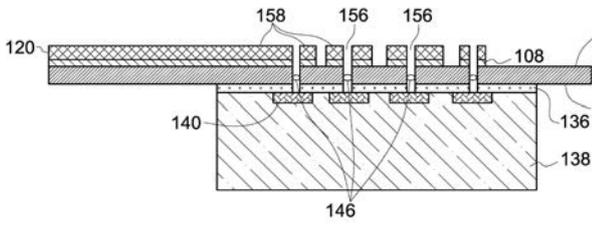


FIG. 9

【 図 1 1 】

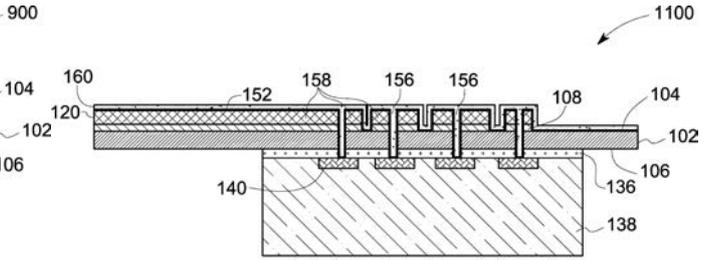


FIG. 11

【 図 1 0 】

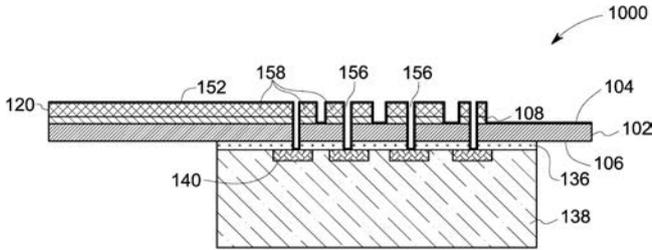


FIG. 10

【 図 1 2 】

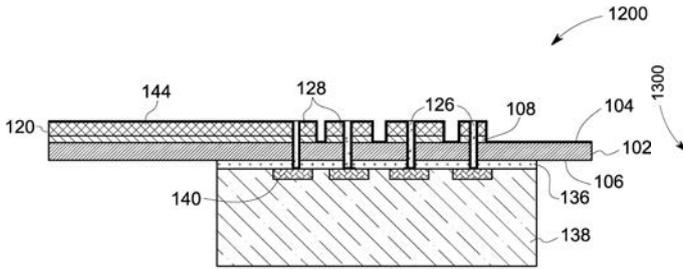


FIG. 12(a)

【 図 1 3 】

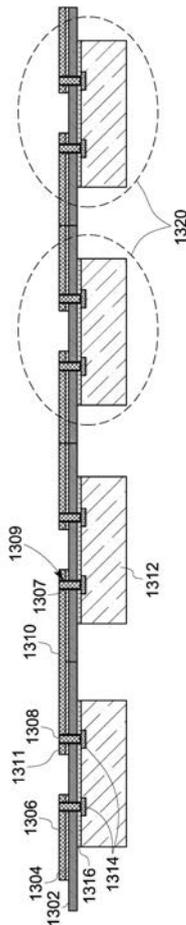


FIG. 13

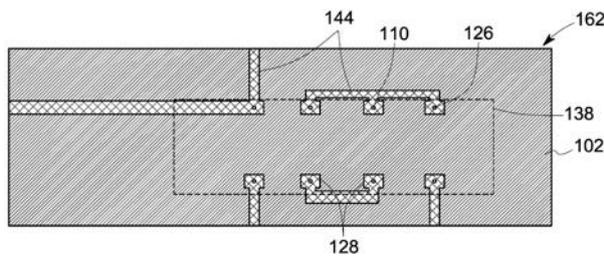


FIG. 12(b)

【 図 1 4 】

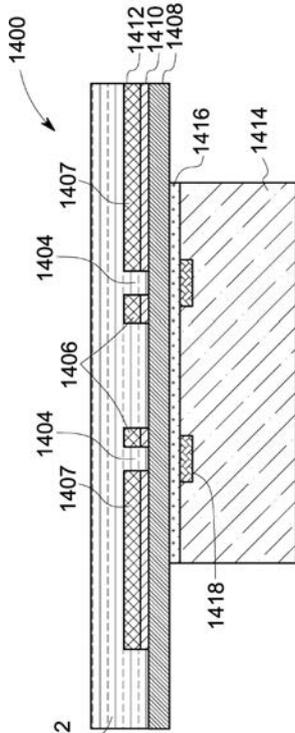


FIG. 14

【 図 1 5 】

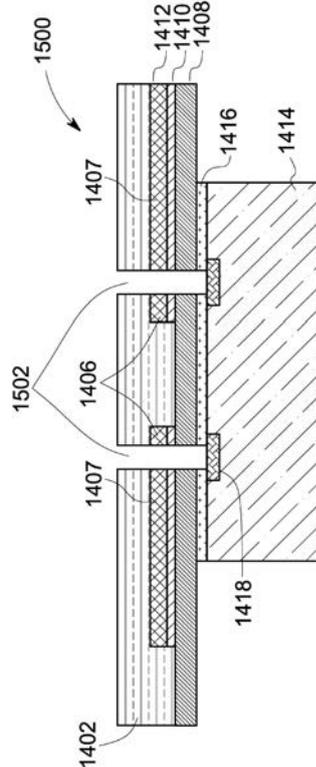


FIG. 15

【 図 1 6 】

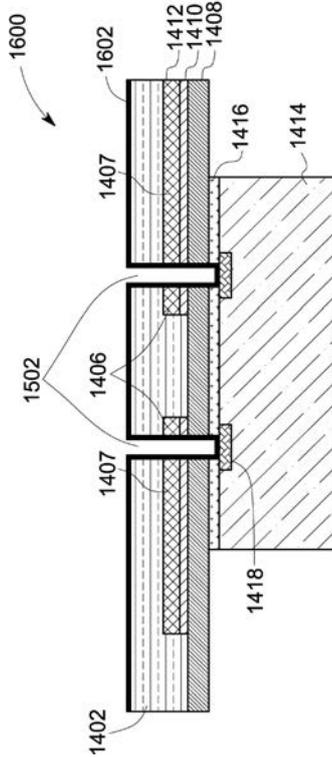


FIG. 16

【 図 1 7 】

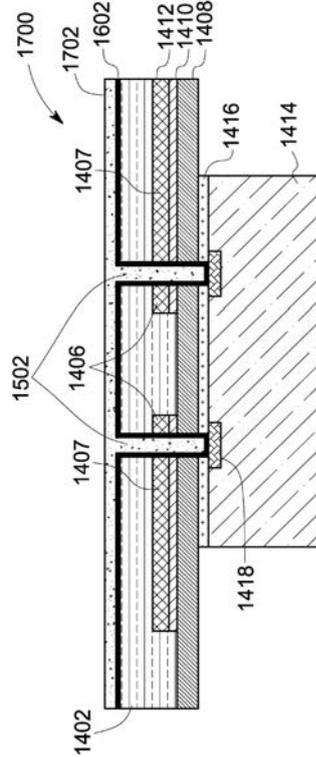


FIG. 17

【 図 1 8 】

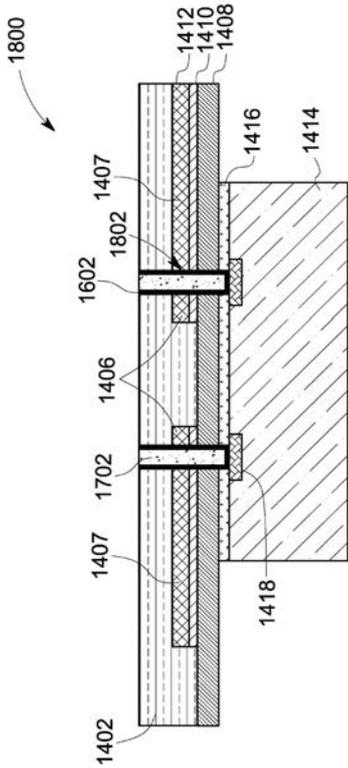


FIG. 18

【 図 1 9 】

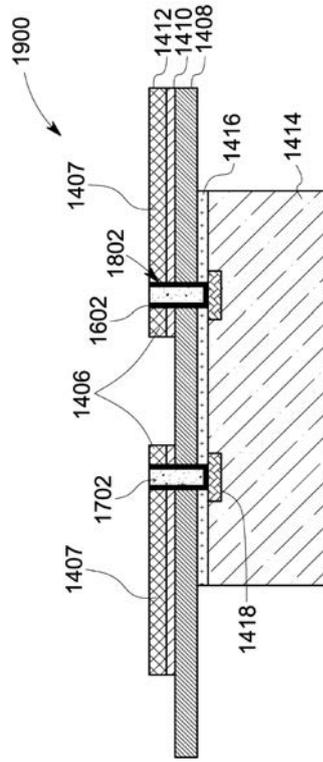


FIG. 19

【 図 2 0 】

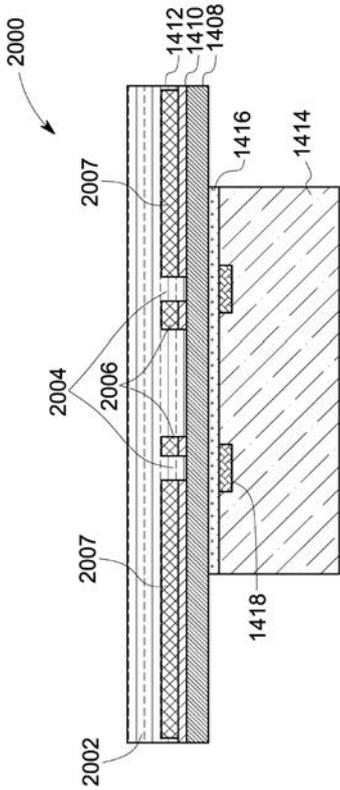


FIG. 20

【 図 2 1 】

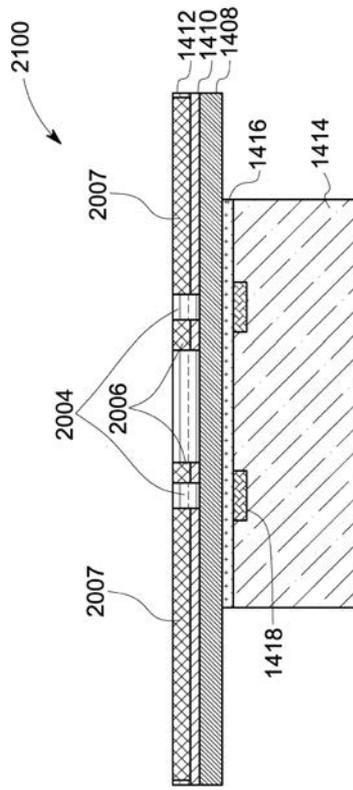


FIG. 21

【 図 2 2 】

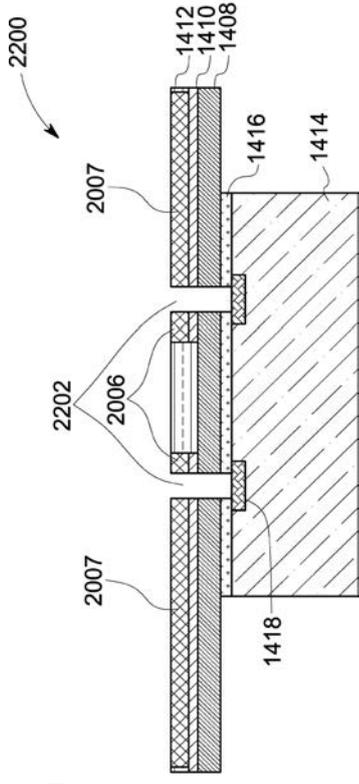


FIG. 22

【 図 2 3 】

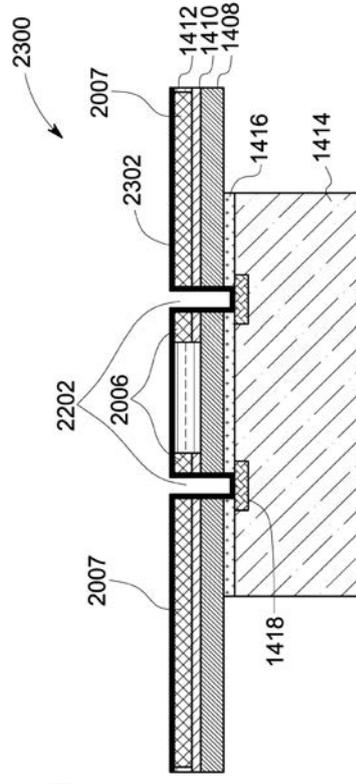


FIG. 23

【 図 2 4 】

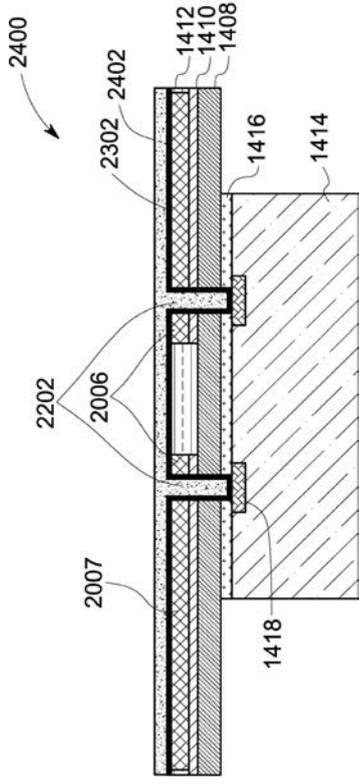


FIG. 24

【 図 2 5 】

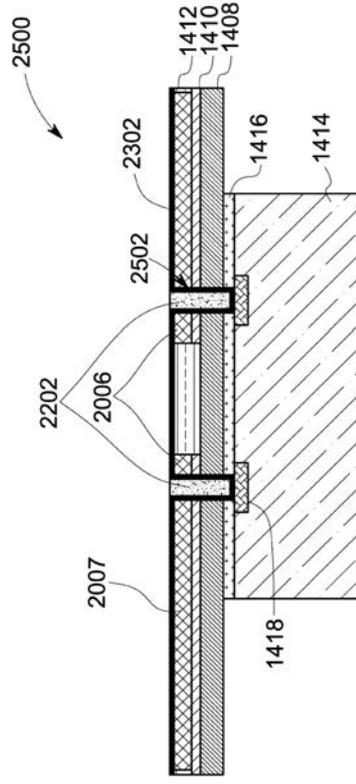


FIG. 25

【図26】



FIG. 26

【図30】

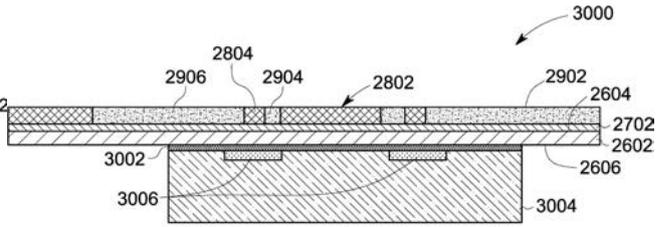


FIG. 30

【図27】

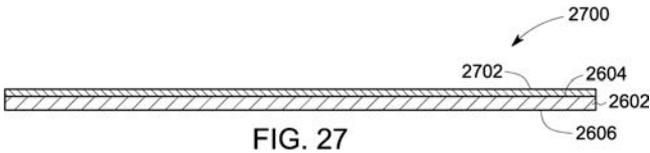


FIG. 27

【図31】

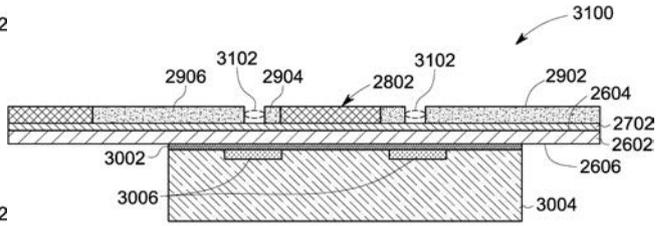


FIG. 31

【図28】

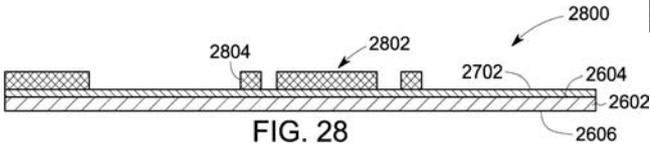


FIG. 28

【図32】

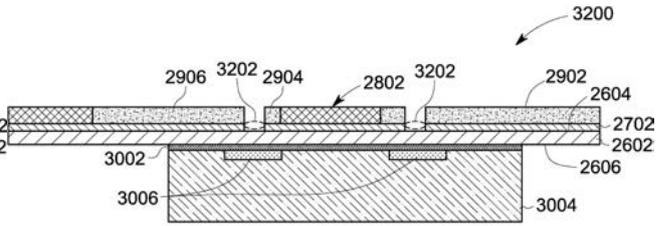


FIG. 32

【図29】

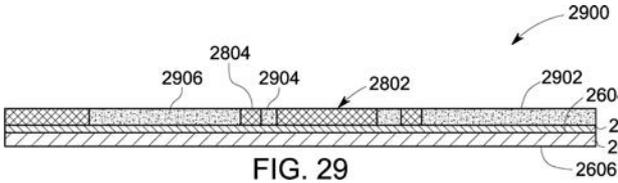


FIG. 29

【図33】

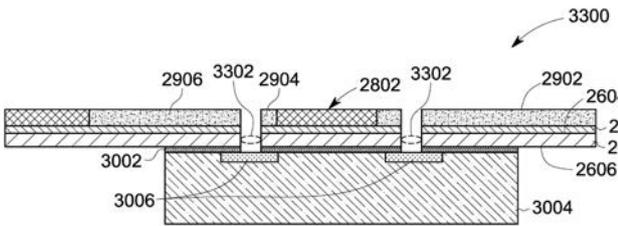


FIG. 33

【図36】

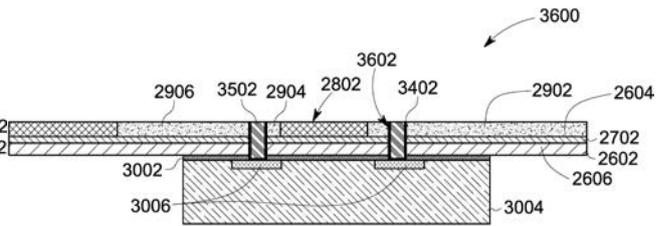


FIG. 36

【図34】

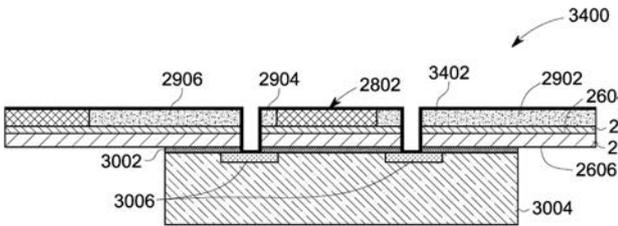


FIG. 34

【図37】

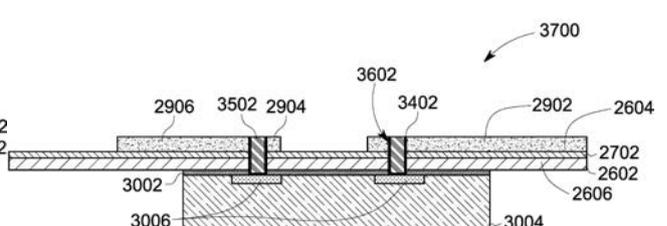


FIG. 37

【図35】

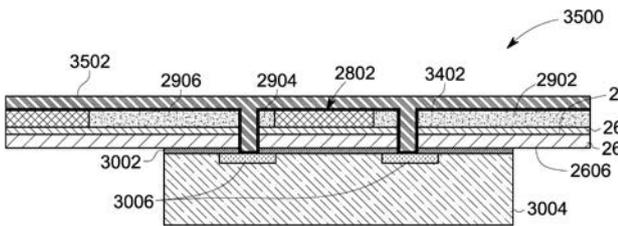


FIG. 35

【図38】

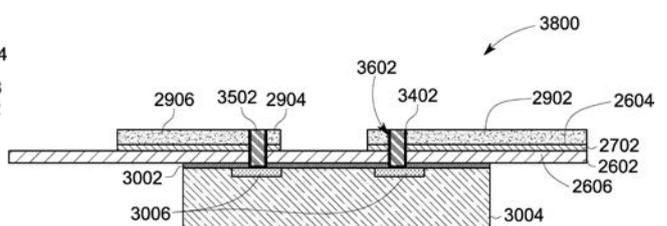


FIG. 38

フロントページの続き

- (72)発明者 アルン・ヴィルパクシャ・ゴウダ
アメリカ合衆国、ニューヨーク州・12309、ニスカユナ、ビルディング・ケイ1-3エイ59
、ワン・リサーチ・サークル、ゼネラル・エレクトリック・カンパニー・グローバル・リサーチ
- (72)発明者 ポール・アラン・マッコネリー
アメリカ合衆国、ニューヨーク州・12309、ニスカユナ、ビルディング・ケイ1-3エイ59
、ワン・リサーチ・サークル、ゼネラル・エレクトリック・カンパニー・グローバル・リサーチ
- (72)発明者 リスト・イルッカ・トゥオミネン
アメリカ合衆国、ニューヨーク州・12309、ニスカユナ、ビルディング・ケイ1-3エイ59
、ワン・リサーチ・サークル、ゼネラル・エレクトリック・カンパニー・グローバル・リサーチ
- Fターム(参考) 5E316 AA02 AA12 AA15 AA43 CC08 CC10 CC16 CC32 DD22 EE31
FF04 FF45 HH26 HH31 JJ02

【外国語明細書】

2016119460000001.pdf