



(12) 发明专利申请

(10) 申请公布号 CN 103022056 A

(43) 申请公布日 2013. 04. 03

(21) 申请号 201210585682. 8

(22) 申请日 2012. 12. 28

(71) 申请人 北京京东方光电科技有限公司  
地址 100176 北京市大兴区北京市经济技术  
开发区西环中路 8 号

(72) 发明人 郭建

(74) 专利代理机构 北京中博世达专利商标代理  
有限公司 11274

代理人 申健

(51) Int. Cl.

H01L 27/12(2006. 01)

H01L 21/77(2006. 01)

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

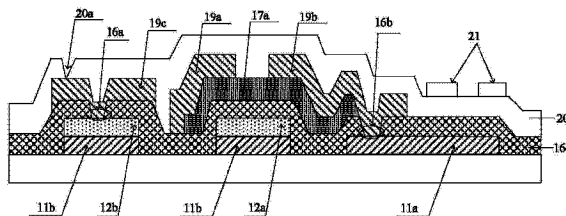
权利要求书 2 页 说明书 6 页 附图 7 页

(54) 发明名称

一种阵列基板及制备方法、显示装置

(57) 摘要

本发明实施例提供了一种阵列基板及制备方法、显示装置,涉及显示技术领域,可减少构图工艺次数,从而提升量产产品的产能,降低成本;该方法包括:在基板上依次形成透明导电薄膜和金属薄膜,通过构图工艺形成包括第一电极的图案层、以及包括栅电极、栅线和栅线引线的图案层;在基板上依次形成绝缘薄膜和有源层薄膜,通过构图工艺形成带有第一过孔和第二过孔的栅绝缘层的图案层和有源层的图案层,其中第一过孔位于所述栅线引线上方,第二过孔位于第一电极图案层上方;在基板上形成包括数据线、源电极和漏电极的图案层;在基板上形成包括钝化层的图案层;在基板上形成包括第二电极的图案层。用于制备阵列基板、显示装置等。



1. 一种阵列基板的制备方法,包括:

步骤 1、在基板上依次形成透明导电薄膜和金属薄膜,通过构图工艺形成包括第一电极的图案层、以及包括栅电极、栅线和栅线引线的图案层;

步骤 2、在完成前述步骤的基板上依次形成绝缘薄膜和有源层薄膜,通过构图工艺形成带有第一过孔和第二过孔的栅绝缘层的图案层和有源层的图案层;其中,所述第一过孔位于所述栅线引线上方,所述第二过孔位于所述第一电极图案层上方;

步骤 3、在完成前述步骤的基板上形成包括数据线、源电极和漏电极的图案层;

步骤 4、在完成前述步骤的基板上形成包括钝化层的图案层;

步骤 5、在完成前述步骤的基板上形成包括第二电极的图案层。

2. 根据权利要求 1 所述的方法,其特征在于,所述步骤 1 的构图工艺包括:

在所述金属薄膜上涂覆光刻胶;

采用第一灰色调掩膜板或第一半色调掩膜板对形成有所述光刻胶的基板进行曝光,显影后形成光刻胶完全保留部分、光刻胶半保留部分和光刻胶完全去除部分;其中,所述光刻胶完全保留部分至少对应待形成的所述栅电极、栅线和栅线引线的图案层的区域,所述光刻胶半保留部分对应待形成的所述第一电极的图案层的区域,所述光刻胶完全去除部分对应其他区域;

采用刻蚀工艺去除所述光刻胶完全去除部分的所述金属薄膜和所述透明导电薄膜,形成所述栅极、栅线和栅线引线的图案层以及所述栅极、栅线和栅线引线的图案层下方的透明导电图案层、所述第一电极的图案层、以及所述第一电极的图案层上方的部分金属薄膜;

采用灰化工艺去除所述光刻胶半保留部分的光刻胶;

采用刻蚀工艺去除露出的所述第一电极图案层上方的部分金属薄膜;

采用剥离工艺去除所述光刻胶完全保留部分的光刻胶。

3. 根据权利要求 1 所述的方法,其特征在于,所述步骤 2 的构图工艺包括:

在所述有源层薄膜上涂覆光刻胶;

采用第二灰色调掩膜板或第二半色调掩膜板对形成有所述光刻胶的基板进行曝光,显影后形成光刻胶完全保留部分、光刻胶半保留部分和光刻胶完全去除部分;其中,所述光刻胶完全保留部分对应待形成的所述有源层的图案层的区域,所述光刻胶完全去除部分对应待形成的所述第一过孔的区域和所述第二过孔的区域,所述光刻胶半保留部分对应其他区域;

采用刻蚀工艺去除所述光刻胶完全去除部分的所述有源层薄膜和所述绝缘薄膜,形成所述带有第一过孔和第二过孔的栅绝缘层的图案层;

采用灰化工艺去除所述光刻胶半保留部分的光刻胶;

采用刻蚀工艺去除露出的所述栅绝缘层上方的部分有源层薄膜,形成所述有源层的图案层;

采用剥离工艺去除所述光刻胶完全保留部分的光刻胶。

4. 根据权利要求 2 或 3 任一项所述的方法,其特征在于,所述光刻胶半保留部分的光刻胶厚度为  $2000\text{Å} \sim 10000\text{Å}$ 。

5. 一种阵列基板,包括:设置在基板上的包括第一电极图案层的第一电极层、包括栅

极、栅线及栅线引线图案层的栅金属层、带有第一过孔和第二过孔的栅绝缘层、有源层、以及源漏金属层,其中所述第一过孔位于所述栅线引线上方;其特征在于,所述第一电极层还包括:设置于所述栅极、栅线及栅线引线图案层下方的透明导电图案层。

6. 根据权利要求5所述的阵列基板,其特征在于,还包括:带有第三过孔的钝化层,所述第三过孔露出位于所述钝化层下方的导电部分。

7. 根据权利要求6所述的阵列基板,其特征在于,还包括:位于所述钝化层上的第二电极层。

8. 一种显示装置,其特征在于,包括权利要求5至7任一项所述的阵列基板。

## 一种阵列基板及制备方法、显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种阵列基板及制备方法、显示装置。

### 背景技术

[0002] 随着TFT-LCD(Thin Film Transistor-Liquid Crystal Display,薄膜场效应晶体管液晶显示器)显示技术的不断发展,越来越多的新技术不断地被提出和应用,例如高分辨率、高开口率、GOA(Gate on Array,阵列基板行驱动)技术等。目前,对于TFT-LCD而言,现有技术中对于高级超维场转换(Advanced-Super Dimensional Switching,简称为ADS)型阵列基板通常需要栅金属层掩膜,有源层掩膜,栅绝缘层掩膜,第一电极层掩膜,源漏金属层掩膜,钝化层掩膜以及第二电极层掩膜构图工艺来制造,而每一次构图工艺中又分别包括成膜、曝光、显影、刻蚀和剥离等工艺。现有技术中第一电极层需要单独的一次构图工艺,带有过孔的栅绝缘层图案层和有源层图案层分别需要一次构图工艺。然而,构图工艺的次数过多将直接导致产品的成本上升以及量产产品的产能降低,因此如何能够进一步减少构图工艺的次数也就成为了人们日益关注的问题。

### 发明内容

[0003] 本发明的实施例提供一种阵列基板及制备方法、显示装置,通过将包括第一电极、栅电极、栅线和栅线引线的图案层在一次构图工艺中形成以及将带有第一过孔和第二过孔的栅绝缘层的图案层和有源层的图案层在一次构图工艺中形成来减少构图工艺次数,从而提升量产产品的产能,降低成本。

[0004] 为达到上述目的,本发明的实施例采用如下技术方案:

[0005] 第一方面,提供了一种阵列基板的制备方法,包括:步骤1、在基板上依次形成透明导电薄膜和金属薄膜,通过构图工艺形成包括第一电极的图案层、以及包括栅电极、栅线和栅线引线的图案层;步骤2、在完成前述步骤的基板上依次形成绝缘薄膜和有源层薄膜,通过构图工艺形成带有第一过孔和第二过孔的栅绝缘层的图案层和有源层的图案层,其中,所述第一过孔位于所述栅线引线上方,所述第二过孔位于所述第一电极图案层上方;步骤3、在完成前述步骤的基板上形成包括数据线、源电极和漏电极的图案层;步骤4、在完成前述步骤的基板上形成包括钝化层的图案层;步骤5、在完成前述步骤的基板上形成包括第二电极的图案层。

[0006] 第二方面,提供一种阵列基板,包括:设置在基板上的包括第一电极图案层的第一电极层、包括栅极、栅线及栅线引线图案层的栅金属层、带有第一过孔和第二过孔的栅绝缘层、有源层、以及源漏金属层,其中所述第一过孔位于所述栅线引线上方;进一步地,所述第一电极层还包括:设置于所述栅极、栅线及栅线引线图案层下方的透明导电图案层。

[0007] 第三方面,提供一种显示装置,包括:上述第二方面的阵列基板。

[0008] 本发明实施例提供了一种阵列基板及制备方法、显示装置,通过一次构图工艺处理形成包括第一电极的图案层和包括栅极、栅线和栅线引线的图案层,以及通过一次构图

工艺处理形成带有第一过孔和第二过孔的栅绝缘层的图案层和有源层的图案层,与现有技术中通过两次构图工艺处理分别形成第一电极的图案层及栅极、栅线和栅线引线的图案层,以及通过两次构图工艺处理分别形成带有第一过孔和第二过孔的栅绝缘层的图案层和所述有源层的图案层相比,本发明实施例减少构图工艺的次数,从而提升量产产品的产能,降低成本。

### 附图说明

[0009] 图 1 为本发明实施例一提供的一种阵列基板的制备方法的流程示意图;

[0010] 图 2 ~ 图 7 为本发明实施例一提供的一种形成包括第一电极的图案层和包括栅极、栅线及栅线引线的图案层的过程示意图;

[0011] 图 8 ~ 图 13 为本发明实施例一提供的一种形成带有第一过孔和第二过孔的栅绝缘层和有源层的过程示意图;

[0012] 图 14 为本发明实施例一提供的一种阵列基板的示意图;

[0013] 图 15 为本发明实施例一提供的另一种阵列基板的示意图;

[0014] 图 16 为本发明实施例一提供的一种包括钝化层的一种阵列基板的示意图;

[0015] 图 17 为本发明实施例一提供的一种包括第二电极层的一种阵列基板的示意图。

[0016] 附图标记:

[0017] 11- 透明导电薄膜, 11a- 第一电极, 11b- 透明导电图案层; 12- 金属薄膜, 12a- 栅极, 12b- 栅线引线; 13- 光刻胶, 13a- 光刻胶完全保留部分, 13b- 光刻胶半保留部分, 13c- 光刻胶完全去除部分; 14- 第一灰色调掩模板, 14a- 不透明部分, 14b- 半透明部分, 14c- 透明部分; 16- 绝缘薄膜, 16a- 第一过孔, 16b- 第二过孔, 16c- 栅绝缘层; 17- 有源层薄膜, 17a- 有源层; 18- 第二灰色调掩模板; 19a- 源电极, 19b- 漏电极, 19c- 源漏金属层保留图案层; 20a- 第三过孔, 20- 钝化层; 21- 第二电极。

### 具体实施方式

[0018] 下面将结合本发明实施例中的附图, 对本发明实施例中的技术方案进行清楚、完整地描述, 显然, 所描述的实施例仅仅是本发明一部分实施例, 而不是全部的实施例。基于本发明中的实施例, 本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例, 都属于本发明保护的范围。

[0019] 本发明实施例提供了一种阵列基板的制备方法, 包括: 步骤 1、在基板上依次形成透明导电薄膜和金属薄膜, 通过构图工艺形成包括第一电极、栅电极、栅线和栅线引线的图案层; 步骤 2、在完成前述步骤的基板上依次形成绝缘薄膜和半导体薄膜, 通过构图工艺形成带有第一过孔和第二过孔的栅绝缘层的图案层和有源层的图案层; 其中, 所述第一过孔位于所述栅线引线上方, 所述第二过孔位于所述第一电极图案层上方; 步骤 3、在完成前述步骤的基板上形成包括数据线、源电极和漏电极的图案层; 步骤 4、在完成前述步骤的基板上形成包括钝化层的图案层; 步骤 5、在完成前述步骤的基板上形成包括第二电极的图案层。。

[0020] 需要说明的是, 所述第一电极的图案层、栅电极、栅线和栅线引线的图案层、带有第一过孔和第二过孔的栅绝缘层的图案层和有源层的图案层、数据线、源电极和漏电极的

图案层是构成阵列基板的必不可少的图案层；对于 ADS 型阵列基板，钝化层的图案层、第二电极的图案层也是必不可少的图案层。此外，在本发明所有实施例中所述一次构图工艺是对应于一次掩膜工艺来说的，应用一次掩模板制作完成某些图案层称为进行了一次构图工艺。

[0021] 在本发明实施例中，通过一次构图工艺处理形成包括第一电极的图案层和栅极、栅线及栅线引线的图案层，以及通过一次构图工艺处理形成带有第一过孔和第二过孔的栅绝缘层的图案层和有源层的图案层，与现有技术中通过两次构图工艺处理分别形成第一电极的图案层和栅极、栅线及栅线引线的图案层，以及通过两次构图工艺处理分别形成带有第一过孔和第二过孔的栅绝缘层和所述有源层的图案层相比，本发明实施例减少构图工艺的次数，从而提升量产产品的产能，降低成本

[0022] 实施例一，一种阵列基板的制备方法，如图 1 所示，包括如下步骤：

[0023] S10、在基板上依次制作透明导电薄膜 11 和金属薄膜 12，并在所述金属薄膜 12 上涂覆光刻胶 13，形成如图 2 所示的基板。

[0024] 具体的，可以先利用化学汽相沉积法在整个玻璃基板上沉积一层厚度在 $100\text{\AA}$ 至 $1000\text{\AA}$ 之间的透明导电薄膜层 11，之后可以使用磁控溅射方法，在基板上制备一层厚度在 $1000\text{\AA}$ 至 $7000\text{\AA}$ 的金属薄膜 12；其中，常用的透明导电薄膜 11 可以为 ITO(Indium Tin Oxides, 铟锡氧化物) 或 IZO(Indium Zinc Oxide, 铟锌氧化物) 薄膜，金属薄膜 12 的金属材料通常可以采用钼、铝、铝镍合金、钼钨合金、铬、或铜等金属，也可以使用上述几种材料薄膜的组合结构。

[0025] S11、利用如图 3 所示的第一灰色调掩模板 14 对形成有所述光刻胶 13 的基板进行曝光显影后形成光刻胶完全保留部分 13a、光刻胶半保留部分 13b 和光刻胶完全去除部分 13c。

[0026] 其中，所述光刻胶完全保留部分 13a 至少对应待形成的所述栅极 12a、栅线（图中未标出）及栅线引线 12b 的图案层的区域，所述光刻胶半保留部分 13b 对应待形成的所述第一电极 11a 的图案层的区域，所述光刻胶完全去除部分 13c 对应其他区域。

[0027] 进一步优选的，所述光刻胶半保留部分 13b 的光刻胶厚度为 $2000\text{\AA} \sim 10000\text{\AA}$ 。这样可以进一步的增加工艺稳定性以及节省工艺时间。

[0028] 此处，参考图 3 所示，对第一灰色调掩模板 14 的主要原理说明如下：

[0029] 第一灰色调掩模板 14 是通过光栅效应，使曝光在不同区域透过光的强度不同，而使光刻胶进行选择性的曝光、显影。在第一灰色调掩模板 14 中，包括不透明部分 14a、半透明部分 14b 和透明部分 14c。光刻胶 13 曝光后，光刻胶完全保留部分 13a 对应第一灰色调掩模板 14 的不透明部分 14a，光刻胶半保留部分 13b 对应第一灰色调掩模板 14 的半透明部分 14b，光刻胶完全去除部分 13c 对应第一灰色调掩模板 14 的透明部分 14c。

[0030] 所述第一半色调掩模板的原理与所述第一灰色调掩模板 14 类似，在此不再赘述。

[0031] 其中，本发明所有实施例中所述的所述光刻胶 13 均为正性胶，即，对于第一灰色调掩模板 14，所述光刻胶完全去除部分 13c 对应的所述透明部分 14c 为完全曝光区域，所用材料为透光材料；所述光刻胶半保留部分 13b 对应的半透明部分 14b 为半曝光区域，所用材料为半透光材料，所述光刻胶完全保留部分 13a 对应的不透明部分 14a 为不曝光区域，所用材料为不透光材料。

[0032] S12、采用刻蚀工艺去除所述光刻胶完全去除部分 13c 的所述金属薄膜和所述透明导电薄膜，形成如图 4 所示的所述栅极 12a、栅线（图中未标出）和栅线引线 12b 的图案层以及所述栅极、栅线和栅线引线的图案层下方的透明导电图案层 11b、所述第一电极 11a 的图案层以及所述第一电极的图案层上方的部分金属薄膜。

[0033] S13、采用灰化工艺去除所述光刻胶半保留部分 13b 的光刻胶，形成如图 5 所示的基板。

[0034] S14、采用刻蚀工艺去除露出的所述第一电极 11a 的图案层上方的部分金属薄膜，形成如图 6 所示的基板。

[0035] S15、采用剥离工艺去除所述光刻胶完全保留部分 13a 的光刻胶，形成如图 7 所示的基板。

[0036] 步骤 S10 ~ S15 进行一次构图工艺处理，形成包括所述第一电极 11a 的图案层和包括栅极 12a、栅线和栅线引线 12b 的图案层，与现有技术通过两次构图工艺处理分别形成第一电极 11a 的图案层及栅极 12a、栅线和栅线引线 12b 的图案层相比，本发明实施例减少了构图工艺的次数，从而提升量产产品的产能，降低成本。

[0037] S16、在完成步骤 S15 的基板上依次制作绝缘薄膜 16 和有源层薄膜 17，并在所述有源层薄膜 17 上涂覆光刻胶 13，形成如图 8 所示的基板。

[0038] 具体的，可以利用化学汽相沉积法先在形成有第一电极 11a 的图案层和栅极 12a、栅线、以及栅线引线 12b 的图案层的基板上沉积厚度为 $1000\text{\AA}$ 至 $6000\text{\AA}$ 的绝缘薄膜 16，栅绝缘层薄膜的材料通常是氮化硅，也可以使用氧化硅和氮氧化硅等；再利用化学汽相沉积法在基板之上沉积厚度为 $1000\text{\AA}$ 至 $6000\text{\AA}$ 的有源层薄膜 17，所述有源层薄膜 17 此处可以是金属氧化物半导体薄膜；然后在金属氧化物半导体薄膜上涂覆一层光刻胶 13。

[0039] S17、采用如图 9 所示的第二灰色调掩膜板 18 对形成有所述光刻胶的基板进行曝光，显影后形成光刻胶完全保留部分 13a、光刻胶半保留部分 13b 和光刻胶完全去除部分 13c。

[0040] 其中，所述光刻胶完全保留部分 13a 对应待形成的所述有源层 17a 的图案层的区域，所述光刻胶完全去除部分 13c 对应待形成的所述第一过孔 16a 的区域和所述第二过孔 16b 的区域，所述光刻胶半保留部分 13b 对应其他区域。

[0041] 所述第二灰色调掩膜板 18 同样包括不透明部分 14a、半透明部分 14b 和透明部分 14c，具体可参照上述步骤 S11 中对第一灰色调掩膜板 14 的描述，在此不再赘述。所述第二半色调掩膜板与所述第二灰色调掩膜板 18 类似，在此不再赘述。

[0042] 进一步优选的，所述光刻胶半保留部分 13b 的光刻胶厚度为 $2000\text{\AA}$  ~  $10000\text{\AA}$ 。这样可以进一步的增加工艺稳定性以及节省工艺时间。

[0043] S18、采用刻蚀工艺去除所述光刻胶完全去除部分 13c 的所述有源层薄膜和所述绝缘薄膜，如图 10 所示，形成所述带有第一过孔 16a 和第二过孔 16b 的栅绝缘层 16c 的图案层；其中，所述第一过孔 16a 位于所述栅线引线 12b 上方，所述第二过孔 16b 位于所述第一电极 11a 的图案层上方。

[0044] S19、采用灰化工艺去除所述光刻胶半保留部分 13b 的光刻胶，形成如图 11 所示的基板。

[0045] S20、采用刻蚀工艺去除露出的所述栅绝缘层 16c 上方的部分有源层薄膜，如图 12

所示,形成所述有源层 17a 的图案层。

[0046] S21、采用剥离工艺去除所述光刻胶完全保留部分 13a 的光刻胶,形成如图 13 所示的基板。

[0047] 步骤 S16 ~ S21 进行一次构图工艺处理,形成所述带有第一过孔 16a 和第二过孔 16b 的栅绝缘层 16c 的图案层和有源层 17a 的图案层,与现有技术通过两次构图工艺处理分别形成所述带有第一过孔 16a 和第二过孔 16b 的栅绝缘层 16c 的图案层、以及有源层 17a 的图案层,本发明实施例减少了构图工艺的次数,从而提升量产产品的产能,降低成本。

[0048] S22、在完成步骤 S21 的基板上制作金属薄膜,通过一次构图工艺形成如图 14 所示的包括数据线(图中未标出)、源电极 19a 和漏电极 19b 的图案层、以及覆盖所述第一过孔 16a 的源漏金属层保留图案层 19c 的源漏金属层,其中所述漏电极 19b 通过所述第二过孔 16b 与所述第一电极 11a 相连。

[0049] 此外,当步骤 S16 在基板上制作的有源层薄膜 17 包括一层非晶硅薄膜和一层 n+ 非晶硅薄膜时,在形成源漏金属层时,需将源电极 19a 和漏电极 19b 之间沟道处的位于上方的 n+ 非晶硅薄膜刻蚀掉,形成如图 15 所示的基板,在此不再赘述。

[0050] 此外,为了防止导电的薄膜(例如金属薄膜)裸露在空气中发生氧化等,导致该阵列基板使用寿命降低,进一步地,所述方法还可以包括如下步骤:

[0051] S23、完成步骤 S22 的基板上制作钝化层薄膜,通过一次构图工艺处理形成钝化层 20 的图案层。

[0052] 此处,如图 16 所示,可通过一次构图工艺处理形成带有第三过孔 20a 的钝化层 20 的图案层,所述第三过孔 20a 露出位于下方的源漏金属层保留图案层 19c。

[0053] 由于栅极 12a 需要被驱动电路驱动,才能实现显示的作用,因此,在本发明实施例中,需形成带有第三过孔 20a 的钝化层 20,以使驱动电路通过该第三过孔 20a 与所述栅线引线 12b 电连接。

[0054] 此外,本发明实施例提供的阵列基板可以适用于 ADS 型、TN 型等类型的液晶显示装置的生产。其中,ADS 技术,其核心技术特性描述为:通过同一平面内狭缝电极边缘所产生的电场以及狭缝电极层与板状电极层间产生的电场形成多维电场,使液晶盒内狭缝电极间、电极正上方所有取向液晶分子都能够产生旋转,从而提高了液晶工作效率并增大了透光效率。高级超维场转换技术可以提高 TFT-LCD 产品的画面品质,具有高分辨率、高透过率、低功耗、宽视角、高开口率、低色差、无挤压水波纹(push Mura)等优点。

[0055] 因此,优选的,在步骤 S23 的基础上,所述方法还包括:

[0056] S24、在完成步骤 S23 的基板上再制作一层透明导电薄膜,通过一次构图工艺处理形成如图 17 所示的第二电极 21 的图案层。

[0057] 本发明实施例提供一种阵列基板的制备方法,通过一次构图工艺形成包括第一电极 11a 的图案层和包括栅极 12a、栅线和栅线引线 12b 的图案层,以及通过一次构图工艺形成带有第一过孔 16a 和第二过孔 16b 的栅绝缘层 16c 的图案层和有源层的图案层,与现有技术通过两次构图工艺处理分别形成所述第一电极 11a 的图案层和所述栅极 12a、栅线及栅线引线 12b 的图案层,以及所述带有第一过孔 16a 和第二过孔 16b 的栅绝缘层 16c 的图案层和所述有源层 17a 的图案层,本发明实施例减少了构图工艺的次数,从而提升量产产品的产能,降低成本。



[0058] 本发明实施例提供了一种阵列基板,参考图 14 或图 15 所示,该阵列基板包括:设置在基板上的包括第一电极 11a 图案层的第一电极层、包括栅极 12a、栅线及栅线引线 12b 图案层的栅金属层、带有第一过孔 16a 和第二过孔 16b 的栅绝缘层 16c、包括有源层 17a 以及源漏金属层,所述第一过孔 16a 位于所述栅线引线 12b 上方;其中,所述第一电极层还包括设置于所述栅极、栅线及栅线引线图案层下方的透明导电图案层 11b。

[0059] 其中,所述源漏金属层包括数据线(图中未标出)、源电极 19a 和漏电极 19b 的图案层,其是构成阵列基板的必不可少的图案层,也就是说,在源漏金属层可能还包括其他图案层对于构成阵列基板非必须的图案层。在本发明实施例中所述源漏金属层还包括覆盖所述第一过孔 16a 的源漏金属层保留图案层 19c。

[0060] 此外,在本发明实施例中第一电极层中的第一电极 11a 图案层、是构成阵列基板的必不可少的图案层;由于构图工艺的限制,在本发明实施例中所述第一电极层还包括设置于所述栅极、栅线及栅线引线图案层下方的透明导电图案层 11b,其对于构成阵列基板是非必须的图案层。

[0061] 对于栅金属层中的栅极 12a、栅线及栅线引线 12b 图案层,其均为构成阵列基板的必不可少的图案层。

[0062] 进一步地,参考图 16 所示,所述阵列基板还包括:带有第三过孔 20a 的钝化层 20,所述第三过孔 20a 露出位于所述钝化层下方的导电部分。

[0063] 此处,参考图 16,位于所述钝化层 20 下方的为源漏金属层,因此,第三过孔 20a 则露出所述源漏金属层中的源漏金属层保留图案层 19c。

[0064] 进一步地,参考图 17 所示,所述阵列基板还包括:位于所述钝化层上的第二电极层。

[0065] 其中,第二电极层包括第二电极 21 图案层,且所述第二电极 21 做成包括多个电连接的条形电极。此外,在本发明实施中,所述第一电极 11a 可以为像素电极,第二电极 21 为公共电极。

[0066] 本发明实施例提供的一种阵列基板,包括设置在基板上的包括第一电极图案层的第一电极层、包括栅极、栅线及栅线引线图案层的栅金属层、带有第一过孔和第二过孔的栅绝缘层、有源层、以及源漏金属层,所述第一过孔位于所述栅线引线上方;其中,所述第一电极层还包括:设置于所述栅极、栅线及栅线引线图案层下方的透明导电图案层;在制作过程中,相对于现有技术通过两次构图工艺处理分别形成第一电极图案层及栅极、栅线和栅线引线图案层,以及通过两次构图工艺处理分别形成带有第一过孔和第二过孔的栅绝缘层和所述有源层相比,本发明实施例减少构图工艺的次数,从而提升量产产品的产能,降低成本。

[0067] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应所述以权利要求的保护范围为准。

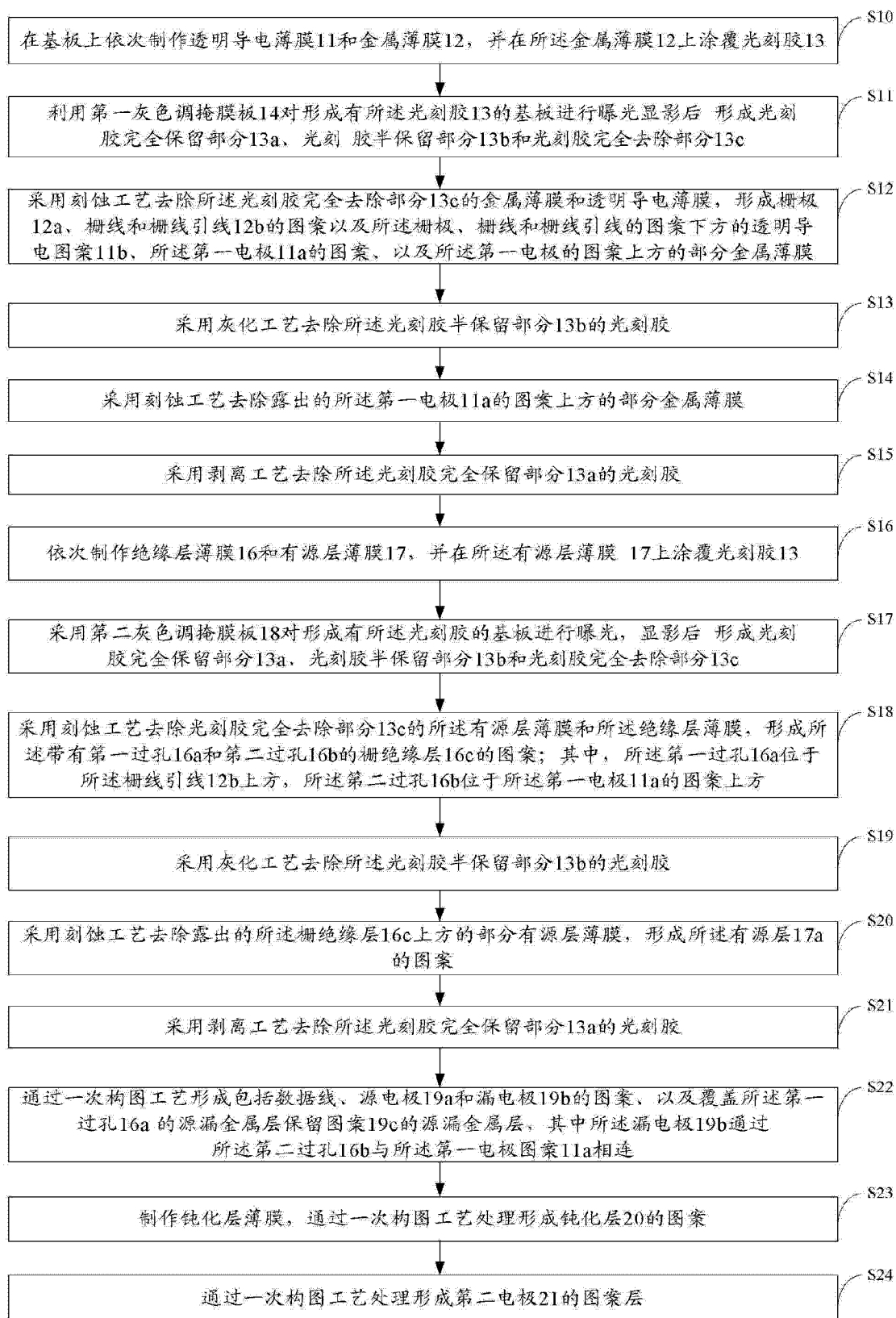


图 1

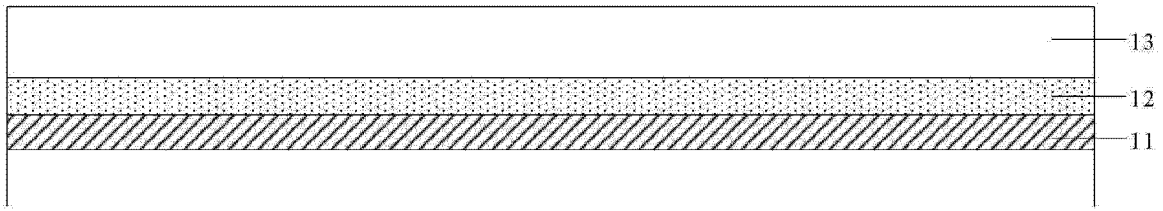


图 2

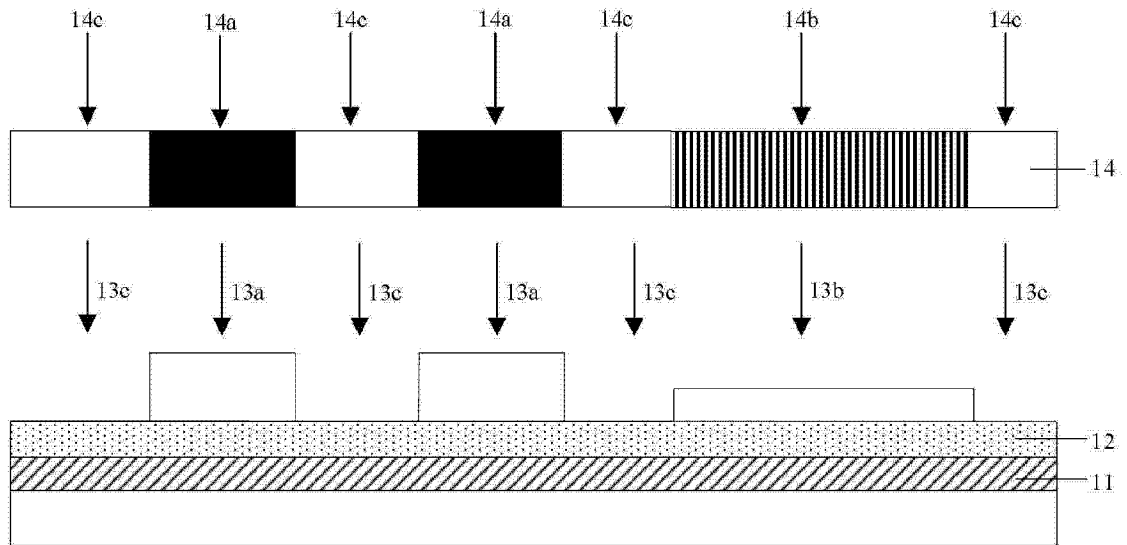


图 3

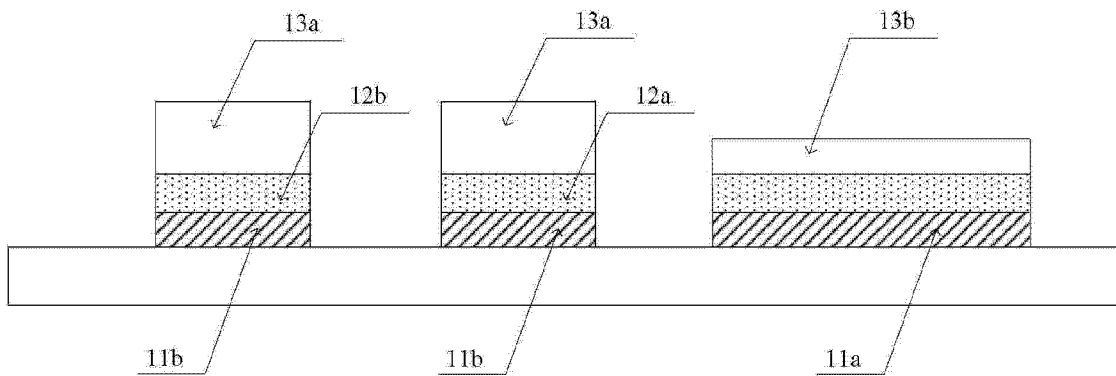


图 4

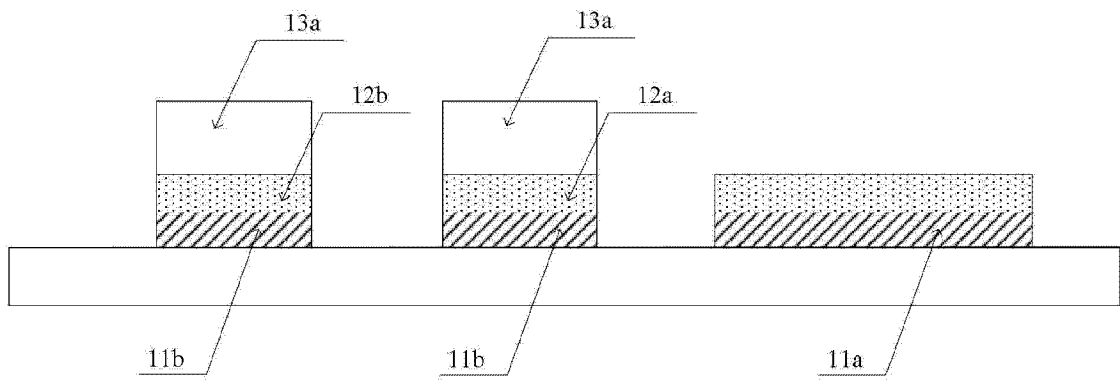


图 5

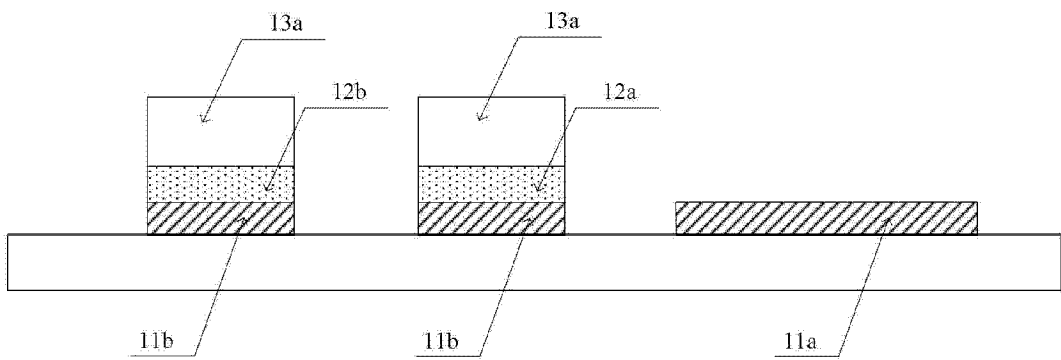


图 6

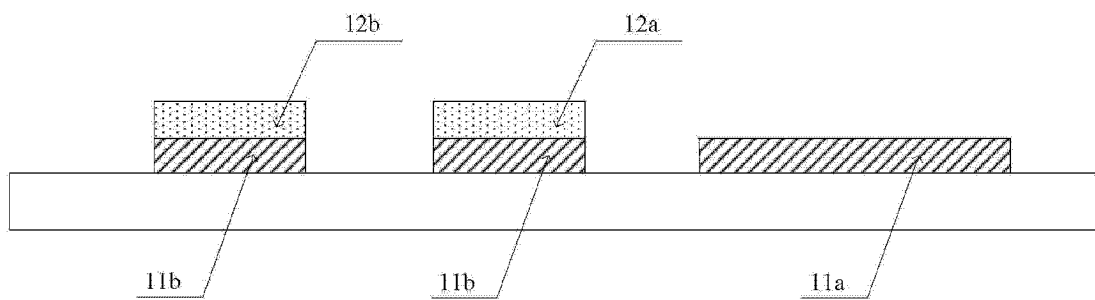


图 7

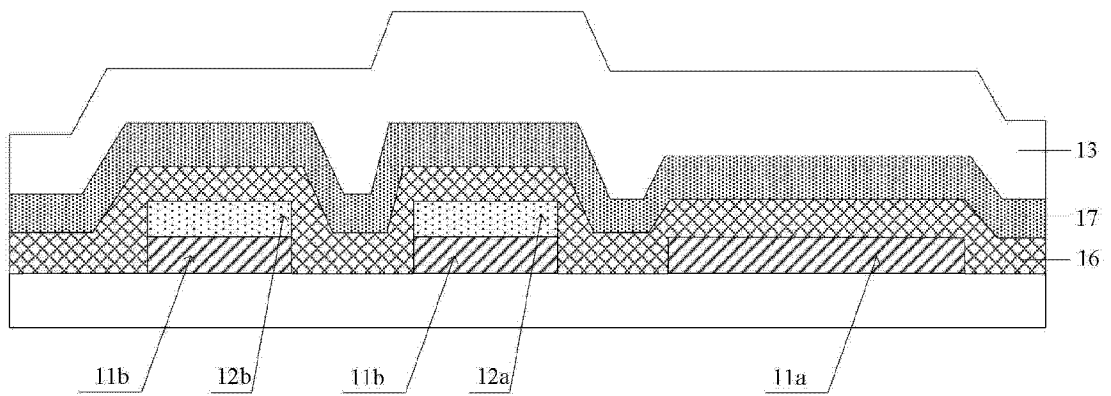


图 8

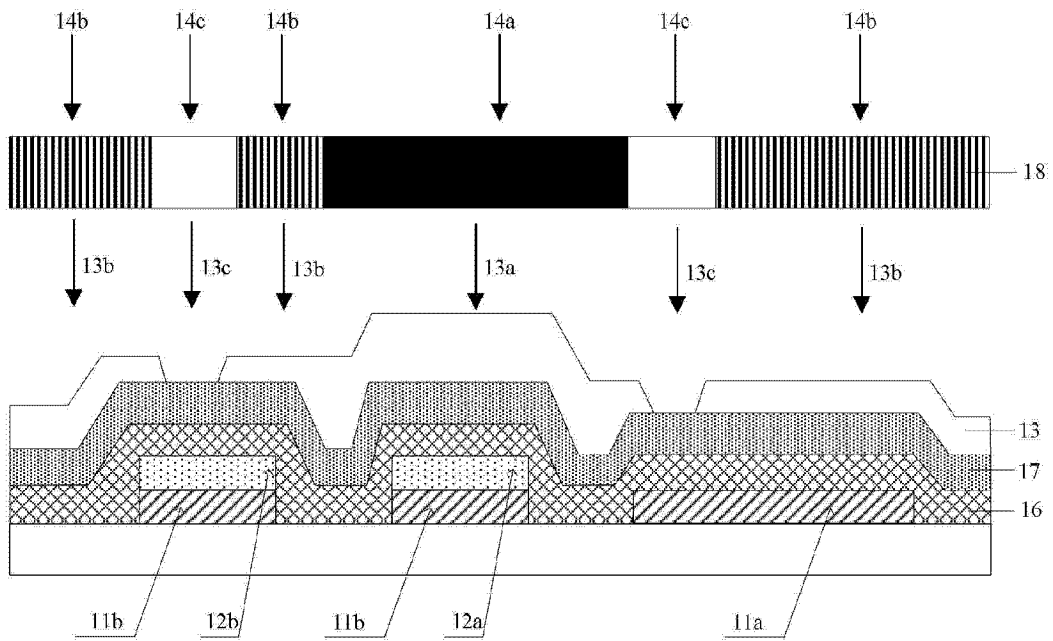


图 9

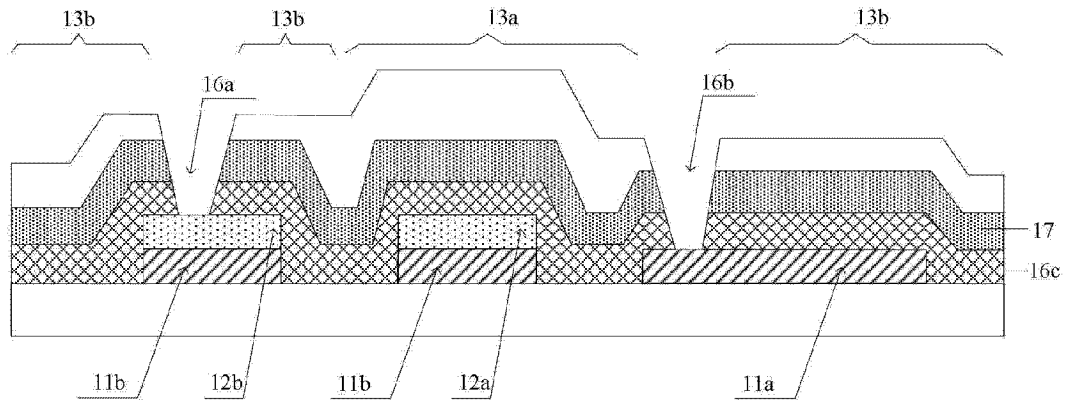


图 10

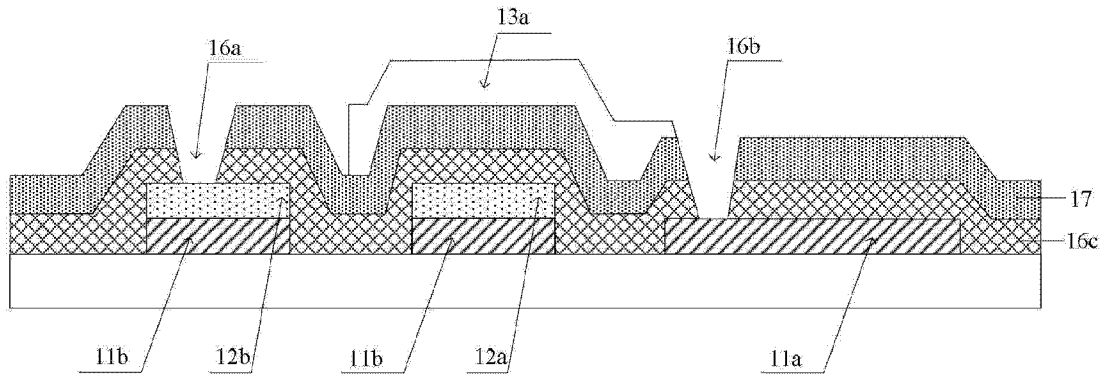


图 11

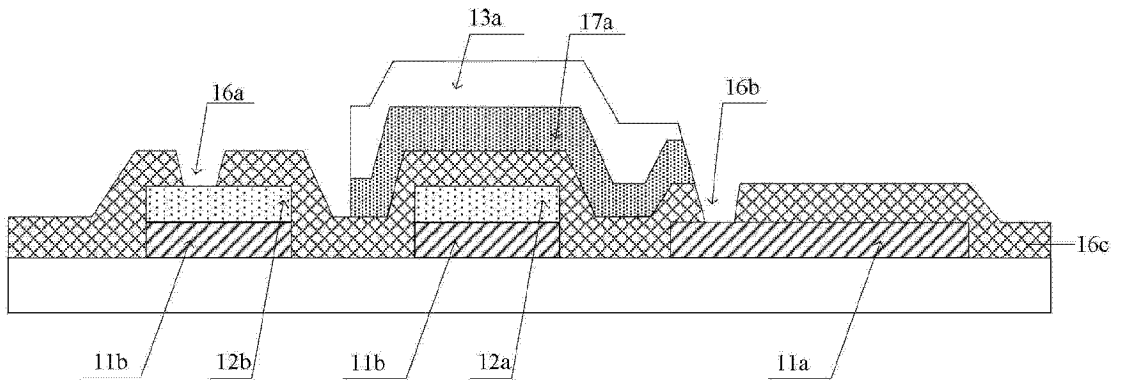


图 12

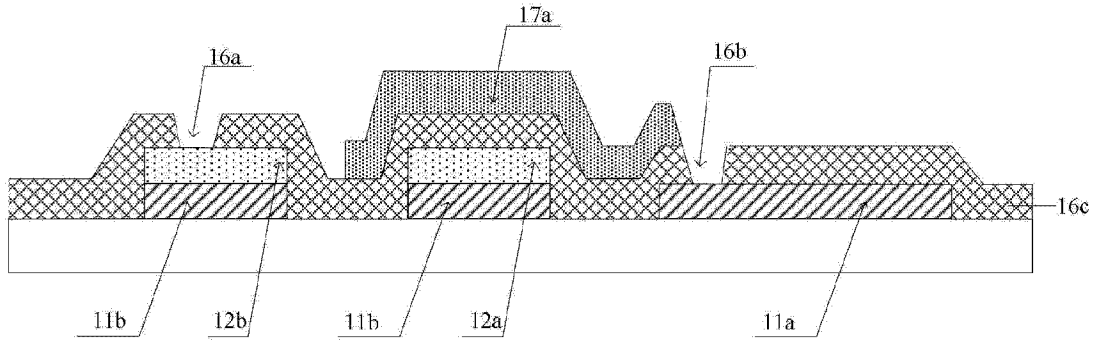


图 13

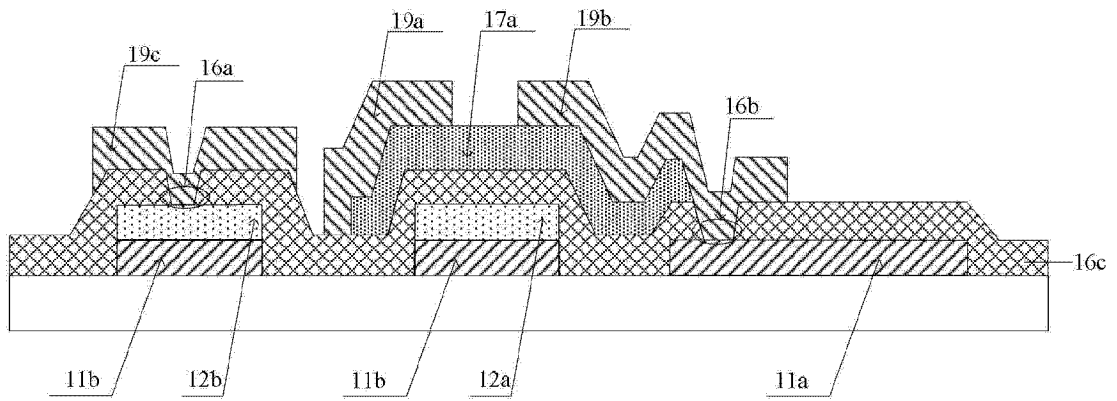


图 14

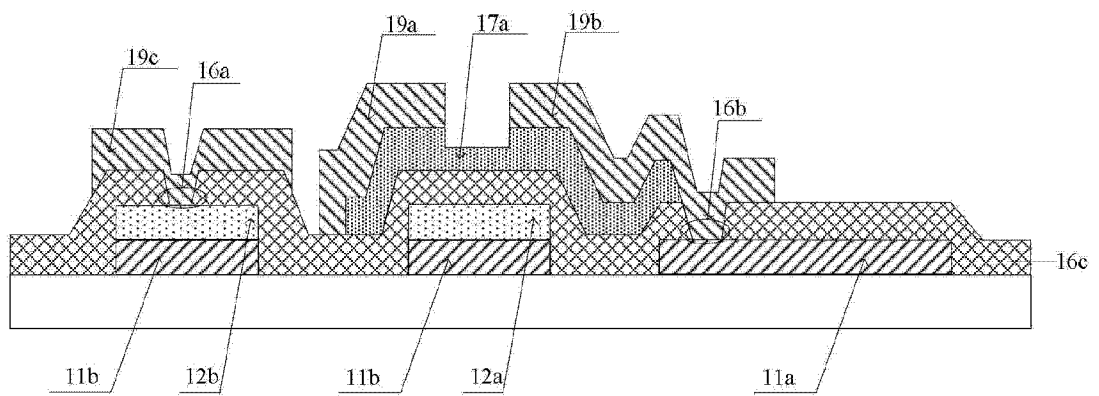


图 15

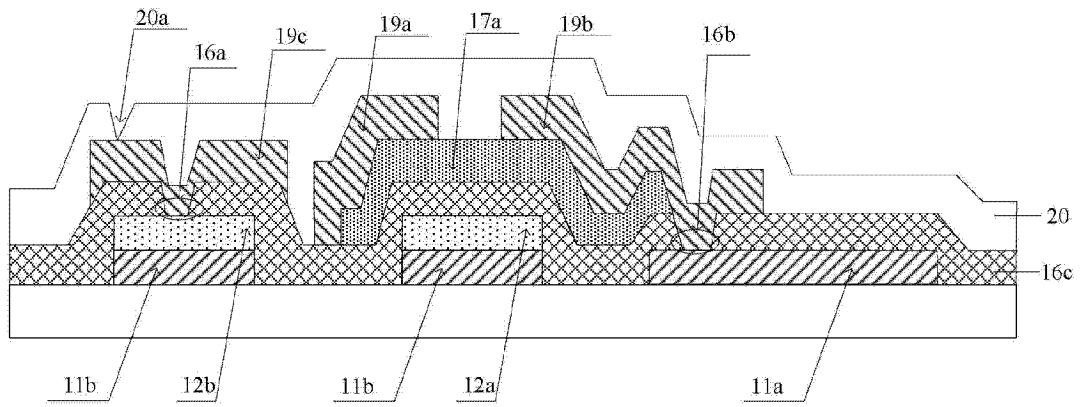


图 16

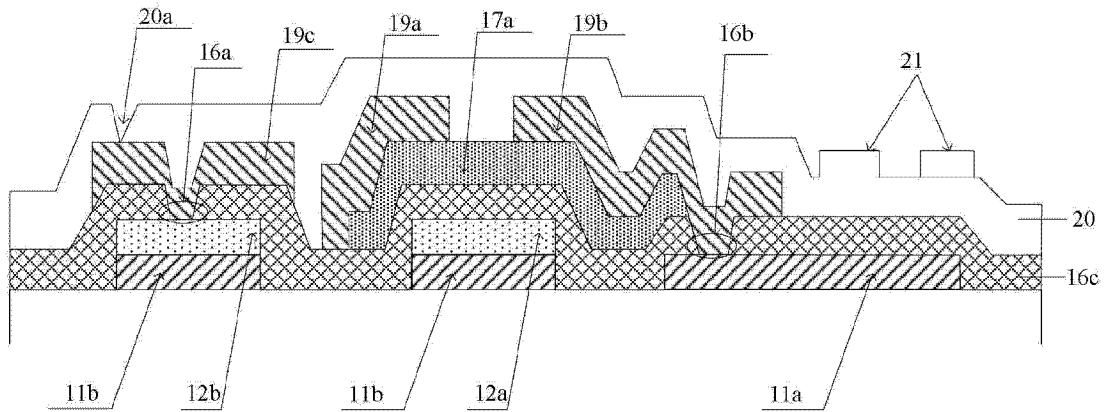


图 17