

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2014-534470

(P2014-534470A)

(43) 公表日 平成26年12月18日(2014.12.18)

(51) Int.Cl.		F I		テーマコード (参考)
G02B 26/02	(2006.01)	G02B 26/02	E	2H141
B81B 7/02	(2006.01)	B81B 7/02		3C081

審査請求 有 予備審査請求 未請求 (全 38 頁)

(21) 出願番号 特願2014-537185 (P2014-537185)
 (86) (22) 出願日 平成24年10月17日 (2012.10.17)
 (85) 翻訳文提出日 平成26年6月11日 (2014.6.11)
 (86) 国際出願番号 PCT/US2012/060648
 (87) 国際公開番号 W02013/059345
 (87) 国際公開日 平成25年4月25日 (2013.4.25)
 (31) 優先権主張番号 13/278,080
 (32) 優先日 平成23年10月20日 (2011.10.20)
 (33) 優先権主張国 米国 (US)

(71) 出願人 508095337
 コールコム・メムズ・テクノロジーズ・インコーポレーテッド
 アメリカ合衆国・カリフォルニア・92121・サン・ディエゴ・モアハウス・ドライブ・5775
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100110364
 弁理士 実広 信哉

最終頁に続く

(54) 【発明の名称】 垂直集積のためのスタックビア

(57) 【要約】

本開示は、ビア構造のためのシステム、方法、および装置を提供する。一態様では、装置は、基板と、基板の表面上の第1の電気機械システムデバイスとを含む。第1の電気機械システムデバイスは、第1の金属層と第2の金属層とを含む。第1のビア構造が、基板の表面上に含まれ得る。第1のビア構造は、第1の金属層と、第2の金属層と、第3の金属層とを含む。第1の電気機械システムデバイスの第1の金属層は、第1のビア構造の第1の金属層と同じ金属層であり得る。

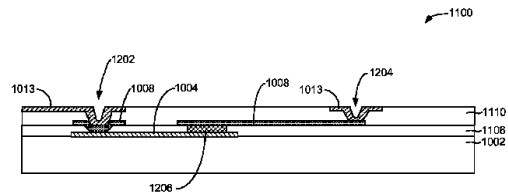


Figure 12

【特許請求の範囲】

【請求項 1】

基板と、

前記基板の表面上の第 1 の電気機械システム (EMS) デバイスであって、第 1 の金属層と第 2 の金属層とを含む第 1 の EMS デバイスと、

前記基板の前記表面上の第 1 のビア構造であって、前記第 1 の金属層と、前記第 2 の金属層と、第 3 の金属層とを含み、前記第 2 の金属層が、前記第 1 の金属層上に配設され、前記第 3 の金属層が、前記第 1 のビア構造の中心部分において前記第 2 の金属層上に配設される、第 1 のビア構造と

を備え、

前記第 1 の EMS デバイスの前記第 1 の金属層が、前記第 1 のビア構造の前記第 1 の金属層に結合され、前記第 1 の EMS デバイスの前記第 1 の金属層、および前記第 1 のビア構造の前記第 1 の金属層は、同じ金属層である、装置。

【請求項 2】

前記第 1 の EMS デバイスが第 1 のピクセルデバイスを含む、請求項 1 に記載の装置。

【請求項 3】

ピクセルデバイスのアレイをさらに備え、前記第 1 のピクセルデバイスが、前記ピクセルデバイスのアレイの一部である、請求項 2 に記載の装置。

【請求項 4】

前記第 1 のピクセルデバイスが干渉変調器を含む、請求項 2 または 3 に記載の装置。

【請求項 5】

前記第 1 のビア構造の前記第 1 の金属層、前記第 2 の金属層、および前記第 3 の金属層が、前記第 1 のビア構造の前記中心部分において互いに電気接触する、請求項 1 から 4 のいずれか一項に記載の装置。

【請求項 6】

前記第 1 のビア構造の前記中心部分が、実質的に正方形を有する、請求項 1 から 5 のいずれか一項に記載の装置。

【請求項 7】

前記第 1 のビア構造の前記第 1 の金属層に結合されるデバイスをさらに備え、それによって前記デバイスを前記第 1 の EMS デバイスに結合する、請求項 1 から 6 のいずれか一項に記載の装置。

【請求項 8】

前記デバイスが薄膜トランジスタデバイスを含む、請求項 7 に記載の装置。

【請求項 9】

前記第 1 のビア構造の周辺部分中の前記金属層間の複数の誘電体層であって、前記第 1 のビア構造の前記中心部分が、前記第 1 のビア構造の前記周辺部分を含まない、複数の誘電体層

をさらに備える、請求項 1 から 8 のいずれか一項に記載の装置。

【請求項 10】

前記基板の前記表面上の複数のビア構造であって、前記第 1 のビア構造と第 2 のビア構造とを含み、前記第 2 のビア構造が、前記第 2 の金属層と前記第 3 の金属層とを含み、前記第 3 の金属層が、前記第 2 のビア構造の中心部分において前記第 2 の金属層上に配設される、複数のビア構造

をさらに備える、請求項 1 から 9 のいずれか一項に記載の装置。

【請求項 11】

前記第 1 の EMS デバイスの前記第 2 の金属層が、前記第 2 のビア構造の前記第 2 の金属層に結合され、前記第 1 の EMS デバイスの前記第 2 の金属層、および前記第 2 のビア構造の前記第 2 の金属層が、同じ金属層である、請求項 10 に記載の装置。

【請求項 12】

前記第 2 のビア構造の前記第 2 の金属層および前記第 3 の金属層が、前記第 2 のビア構

10

20

30

40

50

造の前記中心部分において互いに電気接触する、請求項 10 に記載の装置。

【請求項 13】

ディスプレイと、

前記ディスプレイと通信するように構成され、画像データを処理するように構成されたプロセッサと、

前記プロセッサと通信するように構成されたメモリデバイスと

をさらに備える、請求項 1 から 12 のいずれか一項に記載の装置。

【請求項 14】

前記ディスプレイに少なくとも 1 つの信号を送るように構成されたドライバ回路と、

前記ドライバ回路に前記画像データの少なくとも一部分を送るように構成されたコントローラと

をさらに備える、請求項 13 に記載の装置。

【請求項 15】

前記プロセッサに前記画像データを送るように構成された画像ソースモジュールであって、受信機、トランシーバ、および送信機のうちの少なくとも 1 つを含む、画像ソースモジュール

をさらに備える、請求項 13 に記載の装置。

【請求項 16】

入力データを受け取り、前記プロセッサに前記入力データを伝達するように構成された入力デバイス

をさらに備える、請求項 13 に記載の装置。

【請求項 17】

基板と、

前記基板の表面上の第 1 の電気機械システム (EMS) デバイスであって、第 1 の金属層と第 2 の金属層とを含む第 1 の EMS デバイスと、

前記基板の前記表面上の第 1 のビア構造であって、前記第 1 の金属層と、前記第 2 の金属層と、第 3 の金属層と、第 4 の金属層とを含み、前記第 2 の金属層が、前記第 1 の金属層上に配設され、前記第 3 の金属層が、前記第 2 の金属層上に配設され、前記第 4 の金属層が、前記第 1 のビア構造の中心部分において前記第 3 の金属層上に配設される、第 1 のビア構造と

を備え、

前記第 1 の EMS デバイスの前記第 1 の金属層が、前記第 1 のビア構造の前記第 1 の金属層に結合され、前記第 1 の EMS デバイスの前記第 1 の金属層、および前記第 1 のビア構造の前記第 1 の金属層が、同じ金属層である、装置。

【請求項 18】

前記第 1 のビア構造の前記第 1 の金属層、前記第 2 の金属層、前記第 3 の金属層、および前記第 4 の金属層が、前記第 1 のビア構造の前記中心部分において互いに電気接触する、請求項 17 に記載の装置。

【請求項 19】

複数のビア構造であって、前記第 1 のビア構造と第 2 のビア構造とを含み、前記第 2 のビア構造が、前記第 2 の金属層と、前記第 3 の金属層と、前記第 4 の金属層とを含み、前記第 3 の金属層が、前記第 2 の金属層上に配設され、前記第 4 の金属層が、前記第 2 のビア構造の中心部分において前記第 3 の金属層上に配設される、複数のビア構造

をさらに備える、請求項 17 または 18 に記載の装置。

【請求項 20】

前記第 2 のビア構造の前記第 2 の金属層、前記第 3 の金属層、および前記第 4 の金属層が、前記第 2 のビア構造の前記中心部分において互いに電気接触する、請求項 19 に記載の装置。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【0001】

優先権主張

本出願は、その全体がすべての目的のために参照により本明細書に組み込まれる、2011年10月20日に提出された「STACKED VIAS FOR VERTICAL INTEGRATION」と題する米国特許出願第13/278,080号(代理人整理番号QUALP106/102560)の優先権を主張する。

【0002】

本開示は、一般に、ビア構造に関し、より詳細には、電気機械システム(EMS)デバイスのためのビア構造に関する。

【背景技術】

10

【0003】

電気機械システム(EMS)は、電気的および機械的要素と、アクチュエータと、トランスデューサと、センサーと、(ミラーを含む)光学的構成要素と、電子回路とを有するデバイスを含む。電気機械システムは、限定はしないが、マイクロスケールおよびナノスケールを含む、様々なスケールで製造され得る。たとえば、マイクロ電気機械システム(MEMS: microelectromechanical system)デバイスは、約1ミクロンから数百ミクロン以上に及ぶサイズを有する構造を含むことができる。ナノ電気機械システム(NEMS: nanoelectromechanical system)デバイスは、たとえば、数百ナノメートルよりも小さいサイズを含む、1ミクロンよりも小さいサイズを有する構造を含むことができる。電気および電気機械デバイスを形成するために、堆積、エッチング、リソグラフィを使用して、ならびに/あるいは、基板および/または堆積された材料層の部分をエッチング除去するかまたは層を追加する、他の微細加工プロセスを使用して、電気機械要素が作成され得る。

20

【0004】

1つのタイプのEMSは干渉変調器(IMOD: interferometric modulator)と呼ばれる。本明細書で使用する干渉変調器または干渉光変調器という用語は、光学干渉の原理を使用して光を選択的に吸収および/または反射するデバイスを指す。幾つかの実施態様では、干渉変調器は伝導性プレートのペアを含み得、そのペアの一方または両方は、全体的にまたは部分的に、透明および/または反射性であり、適切な電気信号の印加時の相対運動が可能であり得る。一実施態様では、一方のプレートは、基板上に堆積された固定層を含み得、他方のプレートは、エアギャップによって固定層から分離された反射膜を含み得る。別のプレートに対するあるプレートの位置は、干渉変調器に入射する光の光学干渉を変化させることがある。干渉変調器デバイスは、広範囲の適用例を有しており、特にディスプレイ能力がある製品の場合、既存の製品を改善し、新しい製品を作成する際に使用されることが予期される。

30

【0005】

ビアおよび伝導性トレースは、EMSデバイスを互いに、または他の構成要素に電気的に接続するために使用され得る。たとえば、ビアおよび伝導性トレースは、基板中のEMSデバイス中に含まれる異なる材料の層間の電気的接続を可能にし得る。

【発明の概要】

40

【課題を解決するための手段】

【0006】

本開示のシステム、方法およびデバイスは、それぞれ幾つかの発明的態様を有し、それらのうちの単一の態様だけが、本明細書で開示する望ましい属性に関与するとは限らない。

【0007】

本開示で説明する主題の1つの発明的態様は、基板と、基板の表面上の第1の電気機械システム(EMS)デバイスと、基板の表面上の第1のビア構造とを含む、装置において実施され得る。第1のEMSデバイスは、第1の金属層と第2の金属層とを含み得る。第1のビア構造は、第1の金属層と、第2の金属層と、第3の金属層とを含み得る。第2の

50

金属層は、第1の金属層上に配設され得、第3の金属層は、第1のビア構造の中心部分において第2の金属層上に配設され得る。第1のEMSデバイスの第1の金属層は、第1のビア構造の第1の金属層に結合され得る。第1のEMSデバイスの第1の金属層、および第1のビア構造の第1の金属層は、同じ金属層であり得る。

【0008】

幾つかの実施態様では、第1のビア構造の第1の金属層、第2の金属層、および第3の金属層は、第1のビア構造の中心部分において互いに電気接触し得る。幾つかの実施態様では、この装置は、第1のビア構造の周辺部分中の金属層間の複数の誘電体層をさらに含み得、第1のビア構造の中心部分は、第1のビア構造の周辺部分を含まない。

【0009】

本開示で説明する主題の別の発明的態様は、基板と、基板の表面上の第1の電気機械システム(EMS)デバイスと、基板の表面上の第1のビア構造とを含む、装置において実施され得る。第1のEMSデバイスは、第1の金属層と第2の金属層とを含み得る。第1のビア構造は、第1の金属層と、第2の金属層と、第3の金属層と、第4の金属層とを含み得る。第2の金属層は、第1の金属層上に配設され得、第3の金属層は、第2の金属層上に配設され得、第4の金属層は、第1のビア構造の中心部分において第3の金属層上に配設され得る。第1のEMSデバイスの第1の金属層は、第1のビア構造の第1の金属層に結合され得る。第1のEMSデバイスの第1の金属層、および第1のビア構造の第1の金属層は、同じ金属層であり得る。

【0010】

幾つかの実施態様では、第1のビア構造の第1の金属層、第2の金属層、第3の金属層、および第4の金属層は、第1のビア構造の中心部分において互いに電気接触し得る。幾つかの実施態様では、この装置は、複数のビア構造をさらに含み得、複数のビア構造は、第1のビア構造と第2のビア構造とを含む。第2のビア構造は、第2の金属層と、第3の金属層と、第4の金属層とを含み得る。第3の金属層は、第2の金属層上に配設され得、第4の金属層は、第2のビア構造の中心部分において第3の金属層上に配設され得る。

【0011】

本開示で説明する主題の別の発明的態様は、基板の表面上に第1の金属層を堆積させることを含む方法において実施され得る。第1の金属層がパターンニングされ得る。第1の誘電体層が堆積され得る。第1の誘電体層が、第1のビア構造の中心部分中で第1の金属層を露出するようにパターンニングされ得る。第2の金属層が堆積され得る。第2の金属層の一部は、第1のビア構造の中心部分中で第1の金属層に接触し得る。第2の金属層がパターンニングされ得る。第2の誘電体層が堆積され得る。第2の誘電体層が、第1のビア構造の中心部分中で第2の金属層を露出するようにパターンニングされ得る。第3の金属層が堆積され得る。第3の金属層の一部は、第1のビア構造の中心部分中で第2の金属層に接触し得る。

【0012】

幾つかの実施態様では、第2の誘電体層をパターンニングすることは、第2のビア構造の中心部分中で第2の金属層をさらに露出し得る。第3の金属層の別の部分は、第2のビア構造の中心部分中で第2の金属層に接触し得る。

【0013】

幾つかの実施態様では、パターンニングされた第1の金属層は、基板の表面上のデバイスへのトレースを含み得る。幾つかの実施態様では、パターンニングされた第1の金属層は、基板の表面上のデバイスの一部を形成する。幾つかの実施態様では、このデバイスは薄膜トランジスタデバイスであり得、幾つかの他の実施態様では、このデバイスはEMSデバイスであり得る。

【0014】

本明細書において説明される主題の1つまたは複数の実施態様の詳細が、添付の図面および以下の説明において示されている。本開示において提供される例は、主に、電気機械システム(EMS)およびマイクロ電気機械システム(MEMS)ベースのディスプレイ

10

20

30

40

50

に関して説明されるが、本明細書において提供される概念は、液晶ディスプレイ、有機発光ダイオード（「OLED」）ディスプレイ、および電界放出ディスプレイなど、他のタイプのディスプレイにも適用することができる。他の特徴、態様、および利点は、説明、図面、および特許請求の範囲から明らかになるであろう。以下の図の相対寸法は一定の縮尺で描かれていないことがあることに留意されたい。

【図面の簡単な説明】

【0015】

【図1】干渉変調器（IMOD）ディスプレイデバイスの一連のピクセル中の2つの隣接ピクセルを示す等角図の一例を示す図である。

【図2】3×3干渉変調器ディスプレイを組み込んだ電子デバイスを示すシステムブロック図の一例を示す図である。

【図3】図1の干渉変調器についての可動反射層位置対印加電圧を示す図の一例を示す図である。

【図4】様々なコモン電圧およびセグメント電圧が印加されたときの干渉変調器の様々な状態を示す表の一例を示す図である。

【図5A】図2の3×3干渉変調器ディスプレイにおけるディスプレイデータのフレームを示す図の一例を示す図である。

【図5B】図5Aに示すディスプレイデータのフレームを書き込むために使用され得るコモン信号およびセグメント信号についてのタイミング図の一例を示す図である。

【図6A】図1の干渉変調器ディスプレイの部分断面図の一例を示す図である。

【図6B】干渉変調器の異なる実施態様の断面図の一例を示す図である。

【図6C】干渉変調器の異なる実施態様の断面図の一例を示す図である。

【図6D】干渉変調器の異なる実施態様の断面図の一例を示す図である。

【図6E】干渉変調器の異なる実施態様の断面図の一例を示す図である。

【図7】干渉変調器のための製造プロセスを示す流れ図の一例を示す図である。

【図8A】干渉変調器を製作する方法における様々な段階の断面概略図の一例を示す図である。

【図8B】干渉変調器を製作する方法における様々な段階の断面概略図の一例を示す図である。

【図8C】干渉変調器を製作する方法における様々な段階の断面概略図の一例を示す図である。

【図8D】干渉変調器を製作する方法における様々な段階の断面概略図の一例を示す図である。

【図8E】干渉変調器を製作する方法における様々な段階の断面概略図の一例を示す図である。

【図9】スタックピア構造のための製造プロセスを示す流れ図の一例である。

【図10A】図9に記載されたプロセスのある段階におけるスタックピア構造の断面概略図の一例である。

【図10B】図9に記載されたプロセスのある段階におけるスタックピア構造の断面概略図の一例である。

【図10C】図9に記載されたプロセスのある段階におけるスタックピア構造の断面概略図の一例である。

【図10D】図9に記載されたプロセスのある段階におけるスタックピア構造の断面概略図の一例である。

【図10E】図9に記載されたプロセスのある段階におけるスタックピア構造の断面概略図の一例である。

【図11A】製造プロセスのある段階における2つのスタックピア構造のトップダウン図の一例である。

【図11B】製造プロセスのある段階における2つのスタックピア構造のトップダウン図の一例である。

10

20

30

40

50

【図 1 1 C】製造プロセスのある段階における 2 つのスタックピア構造のトップダウン図の一例である。

【図 1 1 D】製造プロセスのある段階における 2 つのスタックピア構造のトップダウン図の一例である。

【図 1 1 E】製造プロセスのある段階における 2 つのスタックピア構造のトップダウン図の一例である。

【図 1 1 F】製造プロセスのある段階における 2 つのスタックピア構造のトップダウン図の一例である。

【図 1 2】スタックピア構造の投影断面概略図の一例である。

【図 1 3 A】複数の干渉変調器を含むディスプレイデバイスを示すシステムブロック図の一例の図である。

【図 1 3 B】複数の干渉変調器を含むディスプレイデバイスを示すシステムブロック図の一例の図である。

【発明を実施するための形態】

【0016】

種々の図面において類似の参照番号および指示は類似の要素を示す。

【0017】

以下の説明は、本開示の発明的態様について説明する目的で、幾つかの実施態様に向けられる。ただし、本明細書の教示が多数の異なる方法において適用できることは、当業者は容易に認識されよう。説明される実施態様は、動いていようと（たとえば、ビデオ）、静止していようと（たとえば、静止画像）、およびテキストであろうと、グラフィックであろうと、絵であろうと、画像を表示するように構成されることができる任意のデバイスまたはシステムにおいて実施することができる。より詳細には、説明される実施態様は、限定はしないが、携帯電話、マルチメディアインターネット対応セルラー電話、モバイルテレビジョン受信機、ワイヤレスデバイス、スマートフォン、Bluetooth（登録商標）デバイス、携帯情報端末（PDA）、ワイヤレス電子メール受信機、ハンドヘルドまたはポータブルコンピュータ、ネットブック、ノートブック、スマートブック、タブレット、プリンタ、コピー機、スキャナ、ファクシミリデバイス、GPS 受信機/ナビゲータ、カメラ、MP3 プレーヤ、カムコーダ、ゲーム機、腕時計、クロック、計算器、テレビジョンモニター、フラットパネルディスプレイ、電子リーディングデバイス（すなわち、電子リーダー）、コンピュータモニター、自動車ディスプレイ（オドメータおよびスピードメータディスプレイなどを含む）、コックピットコントロールおよび/またはディスプレイ、カメラビューディスプレイ（車両における後部ビューカメラのディスプレイなど）、電子写真、電子ビルボードまたは標示、プロジェクタ、アーキテクチャ構造物、電子レンジ、冷蔵庫、ステレオシステム、カセットレコーダーまたはプレーヤ、DVD プレーヤ、CD プレーヤ、VCR、ラジオ、ポータブルメモリチップ、洗濯機、乾燥機、洗濯機/乾燥機、パーキングメータ、（電気機械システム（EMS）、マイクロ電気機械システム（MEMS）および非 MEMS 適用例などにおける）パッケージング、審美構造物（たとえば、1 つの宝飾品上の画像のディスプレイ）、ならびに様々な EMS デバイスなど、種々の電子デバイス中に含まれるかまたはそれらに関連付けられる場合があると考えられる。また、本明細書の教示は、限定はしないが、電子スイッチングデバイス、無線周波数フィルタ、センサー、加速度計、ジャイロスコープ、運動検知デバイス、磁力計、コンシューマーエレクトロニクスのための慣性構成要素、コンシューマーエレクトロニクス製品の部品、バラクタ、液晶デバイス、電気泳動デバイス、駆動方式、製造プロセスおよび電子テスト機器など、ディスプレイ以外の応用形態において使用することもできる。したがって、本教示は、単に図に示す実施態様に限定されるものではなく、代わりに、当業者には容易に明らかになるであろう広い適用性を有する。

【0018】

本明細書で説明する幾つかの実施態様は、基板に関連付けられたデバイスの相互接続のためのスタックピア構造、およびスタックピア構造を作製するためのプロセスに関する。

10

20

30

40

50

幾つかの実施態様では、スタックビア構造は、基板に関連付けられたデバイスの垂直集積または相互接続、および、基板上に形成された異なる層間の信号ルーティングを可能にする。スタックビア構造は、複数の金属層を含み得る。複数の金属層は、スタックビア構造の中心部分において互いに接触し得る。複数の金属層は、スタックビア構造の周辺部分中で、およびスタックビア構造の周辺部分を越えて延在する領域中で、金属層間に配設された誘電体層を有し得る。

【 0 0 1 9 】

たとえば、幾つかの実施態様では、装置は、基板の表面上に第1の電気機械システム（EMS）デバイスがある、基板を含み得る。第1のEMSデバイスは、第1の金属層と第2の金属層とを含み得る。装置は、基板の表面上の第1のビア構造をさらに含み得る。第1のビア構造は、第1の金属層と、第2の金属層と、第3の金属層とを含み得る。第2の金属層は、第1の金属層上に配設され得、第3の金属層は、第1のビア構造の中心部分において第2の金属層上に配設され得る。第1のEMSデバイスの第1の金属層は、第1のビア構造の第1の金属層に結合され得、第1のEMSデバイスの第1の金属層、および第1のビア構造の第1の金属層は、同じ金属層である。

10

【 0 0 2 0 】

本開示で説明する主題の特定の実施態様は、以下の潜在的な利点のうちの1つまたは複数を実現するために実施され得る。スタックビア構造は、スタガードビアおよびダイレクトビアなど、他の従来のビアと比較して小さい形状因子を有することができる。小さい形状因子は、ディスプレイおよびイメージングセンサーなど、ピクセルデバイス適用例において有利であり得る。小さい形状因子はまた、ピクセルと、薄膜トランジスタ（TFT）、蓄積キャパシタ、または抵抗器などの電子構成要素との間の相互接続のための、オンパネルまたはオンチップ集積ソリューションのためにも有利であり得る。スタックビア構造は、ローカルピクセル間、ならびにピクセルアレイ全体にわたって、およびピクセルアレイ間さえも、信号をルーティングするために実装され得る。スタックビア構造はまた、ピクセルアレイとオンパネルまたはオンチップ駆動回路との間、ならびにパネルと外部電子構成要素との間で、信号をルーティングするためにも実装され得る。さらに、幾つかの実施態様では、スタックビア構造は、他のビア構造よりも作製が容易であり得、他の商用の薄膜プロセスに適合し得る。たとえば、スタックビア構造の製作では、たとえば、化学機械研磨（CMP）または他の平坦化プロセスを含む、ダマシンプロセスのコストおよび複雑さを必要としなくてもよい。別の例として、スタックビア構造の製作では、様々な厚さ（たとえば、数十ナノメートルから数ミクロンまで）をもつ様々な材料の層を通して、様々な寸法（たとえば、サブミクロンから数十ミクロンまで）を有するビアをレーザードリル加工するコストおよび複雑さを必要としなくてもよい。スタックビア構造の製造は、ガラスおよび可撓性の箔など、大きいフォーマットの基板に対してスケラブルであり得、ロールツーロール基板とともにさえ使用され得る。加えて、スタックビア構造は、下から上へ、または上から下への信号のルーティングにおける柔軟性を追加することができる。

20

30

【 0 0 2 1 】

説明する実施態様が適用され得る好適なEMSまたはMEMSデバイスの一例は、反射型ディスプレイデバイスである。反射型ディスプレイデバイスは、光学干渉の原理を使用してそれに入射する光を選択的に吸収および/または反射するために干渉変調器（IMOD）を組み込むことができる。IMODは、吸収器、吸収器に対して可動である反射体、ならびに吸収器と反射体との間に画定された光共振キャビティを含むことができる。反射体は、2つ以上の異なる位置に移動され得、これは、光共振キャビティのサイズを変化させ、それにより干渉変調器の反射率に影響を及ぼすことがある。IMODの反射スペクトルは、かなり広いスペクトルバンドをもたらしことができ、そのスペクトルバンドは、異なる色を生成するために可視波長にわたってシフトされ得る。スペクトルバンドの位置は、光共振キャビティの厚さを変更することによって、すなわち、反射体の位置を変更することによって調節され得る。

40

【 0 0 2 2 】

50

図1は、干渉変調器 (IMOD) ディスプレイデバイスの一連のピクセル中の2つの隣接ピクセルを示す等角図の一例を示す。IMODディスプレイデバイスは、1つまたは複数の干渉MEMSディスプレイ要素を含む。これらのデバイスでは、MEMSディスプレイ要素のピクセルが、明状態または暗状態のいずれかにあることがある。明(「緩和」、「開」または「オン」)状態では、ディスプレイ要素は、たとえば、ユーザに、入射可視光の大部分を反射する。逆に、暗(「作動」、「閉」または「オフ」)状態では、ディスプレイ要素は入射可視光をほとんど反射しない。幾つかの実施態様では、オン状態の光反射特性とオフ状態の光反射特性は逆にされ得る。MEMSピクセルは、黒および白に加えて、主に、カラーディスプレイを可能にする特定の波長において、反射するように構成され得る。

10

【0023】

IMODディスプレイデバイスは、IMODの行/列アレイを含むことができる。各IMODは、(光ギャップまたはキャビティとも呼ばれる)エアギャップを形成するように互いから可変で制御可能な距離をおいて配置された反射層のペア、すなわち、可動反射層と固定部分反射層とを含むことができる。可動反射層は、少なくとも2つの位置の間で移動され得る。第1の位置、すなわち、緩和位置では、可動反射層は、固定部分反射層から比較的大きい距離をおいて配置され得る。第2の位置、すなわち、作動位置では、可動反射層は、部分反射層により近接して配置され得る。それら2つの層から反射する入射光は、可動反射層の位置に応じて、強め合うようにまたは弱め合うように干渉し、各ピクセルについて全反射状態または無反射状態のいずれかを引き起こすことがある。幾つかの実施態様では、IMODは、作動していないときに反射状態にあり、可視スペクトル内の光を反射し得、また、作動していないときに暗状態にあり、可視範囲外の光(たとえば、赤外光)を反射し得る。ただし、幾つかの他の実施態様では、IMODは、作動していないときに暗状態にあり、作動しているときに反射状態にあり得る。幾つかの実施態様では、印加電圧の導入が、状態を変更するようにピクセルを駆動することができる。幾つかの他の実施態様では、印加電荷が、状態を変更するようにピクセルを駆動することができる。

20

【0024】

図1中のピクセルアレイの図示の部分は、2つの隣接する干渉変調器12を含む。(図示のような)左側のIMOD12では、可動反射層14が、部分反射層を含む光学スタック16からの所定の距離における緩和位置に示されている。左側のIMOD12の両端間に印加された電圧 V_0 は、可動反射層14の作動を引き起こすには不十分である。右側のIMOD12では、可動反射層14は、光学スタック16の近くの、またはそれに隣接する作動位置に示されている。右側のIMOD12の両端間に印加された電圧 V_{bias} は、可動反射層14を作動位置に維持するのに十分である。

30

【0025】

図1では、ピクセル12の反射特性が、概して、ピクセル12に入射する光を示す矢印13と、左側のIMOD12から反射する光15とを用いて示されている。詳細に示していないが、ピクセル12に入射する光13の大部分は透明基板20を透過され、光学スタック16に向かうことになることを、当業者なら理解されよう。光学スタック16に入射する光の一部分は光学スタック16の部分反射層を透過されることになり、一部分は反射され、透明基板20を通過して戻ることになる。光学スタック16を透過された光13の部分は、可動反射層14において反射され、透明基板20に向かって(およびそれを通して)戻ることになる。光学スタック16の部分反射層から反射された光と可動反射層14から反射された光との間の(強め合うまたは弱め合う)干渉が、IMOD12から反射される光15の(1つまたは複数の)波長を決定することになる。

40

【0026】

光学スタック16は、単一の層または幾つかの層を含むことができる。その(1つまたは複数の)層は、電極層と、部分反射および部分透過層と、透明な誘電体層とのうちの1つまたは複数を含むことができる。幾つかの実施態様では、光学スタック16は、電気伝導性であり、部分的に透明で、部分的に反射性であり、たとえば、透明基板20上に上記

50

の層のうちの1つまたは複数を堆積させることによって、作製され得る。電極層は、様々な金属、たとえば酸化インジウムスズ（ITO）など、様々な材料から形成され得る。部分反射層は、様々な金属、たとえば、クロム（Cr）、半導体、および誘電体など、部分的に反射性である様々な材料から形成され得る。部分反射層は、材料の1つまたは複数の層から形成され得、それらの層の各々は、単一の材料または材料の組合せから形成され得る。幾つかの実施態様では、光学スタック16は、光吸収体と導体の両方として働く、金属または半導体の単一の半透明の膜（thickness）を含むことができるが、（たとえば、光学スタック16の、またはIMODの他の構造の）異なる、より伝導性の高い層または部分が、IMODピクセル間で信号をバスで運ぶ（bus）ように働くことができる。光学スタック16は、1つまたは複数の伝導性層または伝導性/吸収層をカバーする、1つまたは複数の絶縁層または誘電体層をも含むことができる。

10

【0027】

幾つかの実施態様では、光学スタック16の（1つまたは複数の）層は、以下でさらに説明するように、平行ストリップにパターニングされ得、ディスプレイデバイスにおける行電極を形成し得る。当業者によって理解されるように、「パターニング」という用語は、本明細書では、マスキングプロセスならびにエッチングプロセスを指すために使用される。幾つかの実施態様では、アルミニウム（Al）などの高伝導性および反射性材料が可動反射層14のために使用され得、これらのストリップはディスプレイデバイスにおける列電極を形成し得る。可動反射層14は、（光学スタック16の行電極に直交する）1つまたは複数の堆積された金属層の一連の平行ストリップとして形成されて、ポスト18の上に堆積された列とポスト18間に堆積された介在する犠牲材料とを形成し得る。犠牲材料がエッチング除去されると、画定されたギャップ19または光キャビティが可動反射層14と光学スタック16との間に形成され得る。幾つかの実施態様では、ポスト18間の間隔は約1~1000 μm であり得、ギャップ19は10,000オングストローム（ \AA ）未満であり得る。

20

【0028】

幾つかの実施態様では、IMODの各ピクセルは、作動状態にあると緩和状態にあると、本質的に、固定反射層および可動反射層によって形成されるキャパシタである。電圧が印加されないとき、可動反射層14は、図1中の左側のIMOD12によって示されるように、機械的に緩和した状態にとどまり、可動反射層14と光学スタック16との間のギャップ19がある。しかしながら、電位差、たとえば、電圧が、選択された行および列のうちの少なくとも1つに印加されたとき、対応するピクセルにおける行電極と列電極との交差部に形成されたキャパシタは帯電し、静電力がそれらの電極を引き合わせる。印加された電圧がしきい値を超える場合、可動反射層14は、変形し、光学スタック16の近くにまたはそれに対して移動することができる。光学スタック16内の誘電体層（図示せず）が、図1中の右側の作動IMOD12によって示されるように、短絡を防ぎ、層14と層16との間の分離距離を制御し得る。その挙動は、印加電位差の極性にかかわらず同じである。幾つかの事例ではアレイ中の一連のピクセルが「行」または「列」と呼ばれることがあるが、ある方向を「行」と呼び、別の方向を「列」と呼ぶことは恣意的であることを、当業者は容易に理解されよう。言い換えれば、幾つかの配向では、行は列と見なされ得、列は行であると見なされ得る。さらに、ディスプレイ要素は、直交する行および列に一樣に配置されるか（「アレイ」）、または、たとえば、互いに対して一定の位置オフセットを有する、非線形構成で配置され得る（「モザイク」）。「アレイ」および「モザイク」という用語は、いずれかの構成を指し得る。したがって、ディスプレイは、「アレイ」または「モザイク」を含むものとして言及されるが、その要素自体は、いかなる事例においても、互いに直交して配置される必要がなく、または一樣な分布で配設される必要がなく、非対称形状および不均等に分布された要素を有する配置を含み得る。

30

40

【0029】

図2は、3 \times 3干渉変調器ディスプレイを組み込んだ電子デバイスを示すシステムブロック図の一例を示す。電子デバイスは、1つまたは複数のソフトウェアモジュールを実行

50

するように構成され得るプロセッサ 21 を含む。オペレーティングシステムを実行することに加えて、プロセッサ 21 は、ウェブブラウザ、電話アプリケーション、電子メールプログラム、または他のソフトウェアアプリケーションを含む、1 つまたは複数のソフトウェアアプリケーションを実行するように構成され得る。

【0030】

プロセッサ 21 は、アレイドライバ 22 と通信するように構成され得る。アレイドライバ 22 は、たとえば、ディスプレイアレイまたはパネル 30 に、信号を与える行ドライバ回路 24 と列ドライバ回路 26 とを含むことができる。図 2 には、図 1 に示した I M O D ディスプレイデバイスの断面が線 1 - 1 によって示されている。図 2 は明快のために I M O D の 3 × 3 アレイを示しているが、ディスプレイアレイ 30 は、極めて多数の I M O D を含んでいることがあり、列における I M O D の数とは異なる数の I M O D を行において有し得、その逆も同様である。

10

【0031】

図 3 は、図 1 の干渉変調器についての可動反射層位置対印加電圧を示す図の一例を示す。M E M S 干渉変調器の場合、行 / 列 (すなわち、コモン / セグメント) 書込みプロシージャが、図 3 に示すこれらのデバイスのヒステリシス特性を利用し得る。干渉変調器は、可動反射層またはミラーに緩和状態から作動状態に変更させるために、たとえば、約 10 ボルトの電位差を必要とし得る。電圧がその値から低減されると、電圧が低下して、たとえば、10 ボルトより下に戻ったとき、可動反射層はその状態を維持するが、電圧が 2 ボルトより下に低下するまで、可動反射層は完全には緩和しない。したがって、図 3 に示すように、印加電圧のウィンドウがある電圧の範囲、約 3 ~ 7 ボルトが存在し、そのウィンドウ内でデバイスは緩和状態または作動状態のいずれかで安定している。これは、本明細書では「ヒステリシスウィンドウ」または「安定性ウィンドウ」と呼ばれる。図 3 のヒステリシス特性を有するディスプレイアレイ 30 の場合、行 / 列書込みプロシージャは、一度に 1 つまたは複数の行をアドレス指定するように設計され得、その結果、所与の行のアドレス指定中に、作動されるべきアドレス指定された行におけるピクセルは、約 10 ボルトの電圧差にさらされ、緩和されるべきピクセルは、ほぼ 0 ボルトの電圧差にさらされる。アドレス指定後に、それらのピクセルは、それらが前のストローク状態にとどまるような、約 5 ボルトの定常状態またはバイアス電圧差にさらされる。この例では、アドレス指定された後に、各ピクセルは、約 3 ~ 7 ボルトの「安定性ウィンドウ」内の電位差を経験する。このヒステリシス特性の特徴は、たとえば、図 1 に示した、ピクセル設計が、同じ印加電圧条件下で作動または緩和のいずれかの既存の状態で安定したままであることを可能にする。各 I M O D ピクセルは、作動状態にあらうと緩和状態にあらうと、本質的に、固定反射層および可動反射層によって形成されるキャパシタであるので、この安定状態は、電力を実質的に消費するかまたは失うことなしに、ヒステリシスウィンドウ内の定常電圧において保持され得る。その上、印加電圧電位が実質的に固定のままである場合、電流は本質的にほとんどまたはまったく I M O D ピクセルに流れ込まない。

20

30

【0032】

幾つかの実施態様では、所与の行におけるピクセルの状態の所望の変化 (もしあれば) に従って、列電極のセットに沿って「セグメント」電圧の形態のデータ信号を印加することによって、画像のフレームが作成され得る。次に、フレームが一度に 1 行書き込まれるように、アレイの各行がアドレス指定され得る。第 1 の行におけるピクセルに所望のデータを書き込むために、第 1 の行におけるピクセルの所望の状態に対応するセグメント電圧が列電極上に印加され得、特定の「コモン」電圧または信号の形態の第 1 の行パルスが第 1 の行電極に印加され得る。次いで、セグメント電圧のセットは、第 2 の行におけるピクセルの状態の所望の変化 (もしあれば) に対応するように変更され得、第 2 のコモン電圧が第 2 の行電極に印加され得る。幾つかの実施態様では、第 1 の行におけるピクセルは、列電極に沿って印加されたセグメント電圧の変化による影響を受けず、第 1 のコモン電圧行パルス中にそれらのピクセルが設定された状態にとどまる。このプロセスは、画像フレームを生成するために、一連の行全体、または代替的に、一連の列全体について、連続方

40

50

式で繰り返され得る。フレームは、何らかの所望の数のフレーム毎秒でこのプロセスを断続的に反復することによって、新しい画像データでリフレッシュおよび/または更新され得る。

【0033】

各ピクセルの両端間に印加されるセグメント信号とコモン信号の組合せ（すなわち、各ピクセルの両端間の電位差）は、各ピクセルの得られる状態を決定する。図4は、様々なコモン電圧およびセグメント電圧が印加されたときの干渉変調器の様々な状態を示す表の一例を示している。当業者によって容易に理解されるように、「セグメント」電圧は、列電極または行電極のいずれかに印加され得、「コモン」電圧は、列電極または行電極のうちの他方に印加され得る。

10

【0034】

図4に（ならびに図5Bに示すタイミング図に）示すように、開放電圧（release voltage） $V_{C_{REL}}$ がコモンラインに沿って印加されたとき、コモンラインに沿ったすべての干渉変調器要素は、セグメントラインに沿って印加された電圧、すなわち、高いセグメント電圧 V_{S_H} および低いセグメント電圧 V_{S_L} にかかわらず、代替的に開放または非作動状態と呼ばれる、緩和状態に入れられることになる。特に、開放電圧 $V_{C_{REL}}$ がコモンラインに沿って印加されると、そのピクセルのための対応するセグメントラインに沿って高いセグメント電圧 V_{S_H} が印加されたときも、低いセグメント電圧 V_{S_L} が印加されたときも、変調器の両端間の潜在的な電圧（代替的にピクセル電圧と呼ばれる）は緩和ウィンドウ（図3参照。開放ウィンドウとも呼ばれる）内にある。

20

【0035】

高い保持電圧 $V_{C_{HOLD_H}}$ または低い保持電圧 $V_{C_{HOLD_L}}$ などの保持電圧がコモンライン上に印加されたとき、干渉変調器の状態は一定のままであることになる。たとえば、緩和IMODは緩和位置にとどまることになり、作動IMODは作動位置にとどまることになる。保持電圧は、対応するセグメントラインに沿って高いセグメント電圧 V_{S_H} が印加されたときも、低いセグメント電圧 V_{S_L} が印加されたときも、ピクセル電圧が安定性ウィンドウ内にとどまることになるように、選択され得る。したがって、セグメント電圧スイング（voltage swing）、すなわち、高い V_{S_H} と低いセグメント電圧 V_{S_L} との間の差は、正または負のいずれかの安定性ウィンドウの幅よりも小さい。

30

【0036】

高いアドレス指定電圧 $V_{C_{ADD_H}}$ または低いアドレス指定電圧 $V_{C_{ADD_L}}$ などのアドレス指定または作動電圧がコモンライン上に印加されたとき、それぞれのセグメントラインに沿ったセグメント電圧の印加によって、データがそのコモンラインに沿った変調器に選択的に書き込まれ得る。セグメント電圧は、作動が印加されたセグメント電圧に依存するように選択され得る。アドレス指定電圧がコモンラインに沿って印加されたとき、一方のセグメント電圧の印加は、安定性ウィンドウ内のピクセル電圧をもたらし、ピクセルが非作動のままであることを引き起こすことになる。対照的に、他方のセグメント電圧の印加は、安定性ウィンドウを越えるピクセル電圧をもたらし、ピクセルの作動をもたらすことになる。作動を引き起こす特定のセグメント電圧は、どのアドレス指定電圧が使用されるかに応じて変動することができる。幾つかの実施態様では、高いアドレス指定電圧 $V_{C_{ADD_H}}$ がコモンラインに沿って印加されたとき、高いセグメント電圧 V_{S_H} の印加は、変調器がその現在位置にとどまることを引き起こすことができ、低いセグメント電圧 V_{S_L} の印加は、変調器の作動を引き起こすことがある。当然の結果として、低いアドレス指定電圧 $V_{C_{ADD_L}}$ が印加されたとき、セグメント電圧の影響は反対であり、高いセグメント電圧 V_{S_H} は変調器の作動を引き起こし、低いセグメント電圧 V_{S_L} は変調器の状態に影響しない（すなわち、安定したままである）ことがある。

40

【0037】

幾つかの実施態様では、常に変調器の両端間で同じ極性電位差を引き起こす保持電圧、アドレス電圧、およびセグメント電圧が使用され得る。幾つかの他の実施態様では、変調

50

器の電位差の極性を交番する信号が使用され得る。変調器の両端間の極性の交番（すなわち、書込みプロシージャの極性の交番）は、単一の極性の反復書込み動作後に起こることがある電荷蓄積を低減または抑止し得る。

【0038】

図5Aは、図2の3×3干渉変調器ディスプレイにおけるディスプレイデータのフレームを示す図の一例を示す。図5Bは、図5Aに示すディスプレイデータのフレームを書き込むために使用され得るコモン信号およびセグメント信号についてのタイミング図の一例を示す。それらの信号は、たとえば、図2の3×3アレイに印加され得、これは、図5Aに示すライン時間60eディスプレイ配置を最終的にもたらずことになる。図5A中の作動変調器は暗状態にあり、すなわち、その状態では、反射光の実質的部分が、たとえば、
10
閲覧者に、暗いアピランスをもたらすように可視スペクトルの外にある。図5Aに示すフレームを書き込むより前に、ピクセルは任意の状態にあることがあるが、図5Bのタイミング図に示す書込みプロシージャは、各変調器が、第1のライン時間60aの前に、開放されており、非作動状態に属すると仮定する。

【0039】

第1のライン時間60a中に、開放電圧70がコモンライン1上に印加され、コモンライン2上に印加される電圧が、高い保持電圧72において始まり、開放電圧70に移動し、低い保持電圧76がコモンライン3に沿って印加される。したがって、コモンライン1に沿った変調器（コモン1，セグメント1）、（1，2）および（1，3）は、第1のライン時間60aの持続時間の間、緩和または非作動状態にとどまり、コモンライン2に沿った変調器（2，1）、（2，2）および（2，3）は、緩和状態に移動することになり、
20
コモンライン3に沿った変調器（3，1）、（3，2）および（3，3）は、それらの前の状態にとどまることになる。図4を参照すると、コモンライン1、2または3のいずれも、ライン時間60a中に作動を引き起こす電圧レベルにさらされていないので（すなわち、 V_{CREL} - 緩和、および V_{HOLD_L} - 安定）、セグメントライン1、2および3に沿って印加されたセグメント電圧は、干渉変調器の状態に影響しないことになる。

【0040】

第2のライン時間60b中に、コモンライン1上の電圧は高い保持電圧72に移動し、コモンライン1に沿ったすべての変調器は、アドレス指定または作動電圧がコモンライン1上に印加されなかったので、印加されたセグメント電圧にかかわらず、緩和状態にとどまる。コモンライン2に沿った変調器は、開放電圧70の印加により、緩和状態にとどまり、コモンライン3に沿った変調器（3，1）、（3，2）および（3，3）は、コモンライン3に沿った電圧が開放電圧70に移動するとき、緩和することになる。
30

【0041】

第3のライン時間60c中に、コモンライン1は、コモンライン1上に高いアドレス電圧74を印加することによってアドレス指定される。このアドレス電圧の印加中に低いセグメント電圧64がセグメントライン1および2に沿って印加されるので、変調器（1，1）および（1，2）の両端間のピクセル電圧は変調器の正の安定性ウィンドウの上端よりも大きく（すなわち、電圧差は、あらかじめ定義されたしきい値を超えた）、変調器（1，1）および（1，2）は作動される。逆に、高いセグメント電圧62がセグメントライン3に沿って印加されるので、変調器（1，3）の両端間のピクセル電圧は、変調器（1，1）および（1，2）のピクセル電圧よりも小さく、変調器の正の安定性ウィンドウ内にとどまり、したがって変調器（1，3）は緩和したままである。また、ライン時間60c中に、コモンライン2に沿った電圧は低い保持電圧76に減少し、コモンライン3に沿った電圧は開放電圧70にとどまり、コモンライン2および3に沿った変調器を緩和位置のままにする。
40

【0042】

第4のライン時間60d中に、コモンライン1上の電圧は、高い保持電圧72に戻り、コモンライン1に沿った変調器を、それらのそれぞれのアドレス指定された状態のままに
50

する。コモンライン 2 上の電圧は低いアドレス電圧 7 8 に減少される。高いセグメント電圧 6 2 がセグメントライン 2 に沿って印加されるので、変調器 (2 , 2) の両端間のピクセル電圧は、変調器の負の安定性ウィンドウの下側端部 (lower end) を下回り、変調器 (2 , 2) が作動することを引き起こす。逆に、低いセグメント電圧 6 4 がセグメントライン 1 および 3 に沿って印加されるので、変調器 (2 , 1) および (2 , 3) は緩和位置にとどまる。コモンライン 3 上の電圧は、高い保持電圧 7 2 に増加し、コモンライン 3 に沿った変調器を緩和状態のままにする。

【 0 0 4 3 】

最後に、第 5 のライン時間 6 0 e 中に、コモンライン 1 上の電圧は高い保持電圧 7 2 にとどまり、コモンライン 2 上の電圧は低い保持電圧 7 6 にとどまり、コモンライン 1 および 2 に沿った変調器を、それらのそれぞれのアドレス指定された状態のままにする。コモンライン 3 上の電圧は、コモンライン 3 に沿った変調器をアドレス指定するために、高いアドレス電圧 7 4 に増加する。低いセグメント電圧 6 4 がセグメントライン 2 および 3 上に印加されるので、変調器 (3 , 2) および (3 , 3) は作動するが、セグメントライン 1 に沿って印加された高いセグメント電圧 6 2 は、変調器 (3 , 1) が緩和位置にとどまることを引き起こす。したがって、第 5 のライン時間 6 0 e の終わりに、3 × 3 ピクセルアレイは、図 5 A に示す状態にあり、他のコモンライン (図示せず) に沿った変調器がアドレス指定されているときに起こり得るセグメント電圧の変動にかかわらず、保持電圧がコモンラインに沿って印加される限り、その状態にとどまることになる。

【 0 0 4 4 】

図 5 B のタイミング図では、所与の書込みプロシージャ (すなわち、ライン時間 6 0 a ~ 6 0 e) は、高い保持およびアドレス電圧、または低い保持およびアドレス電圧のいずれかの使用を含むことができる。書込みプロシージャが所与のコモンラインについて完了されると (また、コモン電圧が、作動電圧と同じ極性を有する保持電圧に設定されると) 、ピクセル電圧は、所与の安定性ウィンドウ内にとどまり、開放電圧がそのコモンライン上に印加されるまで、緩和ウィンドウを通過しない。さらに、各変調器が、変調器をアドレス指定するより前に書込みプロシージャの一部として開放されるので、開放時間ではなく変調器の作動時間が、必要なライン時間を決定し得る。詳細には、変調器の開放時間が作動時間よりも大きい実施態様では、開放電圧は、図 5 B に示すように、単一のライン時間よりも長く印加され得る。幾つかの他の実施態様では、コモンラインまたはセグメント

【 0 0 4 5 】

上記に記載した原理に従って動作する干渉変調器の構造の詳細は大きく異なり得る。たとえば、図 6 A ~ 図 6 E は、可動反射層 1 4 とその支持構造とを含む、干渉変調器の異なる実施態様の断面図の例を示している。図 6 A は、金属材料のストリップ、すなわち、可動反射層 1 4 が、基板 2 0 から直角に延在する支持体 1 8 上に堆積される、図 1 の干渉変調器ディスプレイの部分断面図の一例を示している。図 6 B では、各 I M O D の可動反射層 1 4 は、概して形状が正方形または長方形であり、コーナーにおいてまたはその近くでテザー 3 2 に接して支持体に取り付けられる。図 6 C では、可動反射層 1 4 は、概して形状が正方形または長方形であり、フレキシブルな金属を含み得る変形可能層 3 4 から吊るされる。変形可能層 3 4 は、可動反射層 1 4 の外周の周りで基板 2 0 に直接または間接的に接続することがある。これらの接続は、本明細書では支持ポストと呼ばれる。図 6 C に示す実施態様は、変形可能層 3 4 によって行われる可動反射層 1 4 の機械的機能からのその光学的機能の分離から派生する追加の利益を有する。この分離は、反射層 1 4 のために使用される構造設計および材料と、変形可能層 3 4 のために使用される構造設計および材料とが、互いとは無関係に最適化されることを可能にする。

【 0 0 4 6 】

図 6 D は、可動反射層 1 4 が反射副層 (reflective sub-layer) 1 4 a を含む、I M O D の別の例を示している。可動反射層 1 4 は、支持ポスト 1 8 など

の支持構造上に載る。支持ポスト 18 は、たとえば、可動反射層 14 が緩和位置にあるとき、可動反射層 14 と光学スタック 16 との間にギャップ 19 が形成されるように、下側静止電極（すなわち、図示の I M O D における光学スタック 16 の一部）からの可動反射層 14 の分離を可能にする。可動反射層 14 は、電極として働くように構成され得る伝導性層 14 c と、支持層 14 b とをも含むことができる。この例では、伝導性層 14 c は、基板 20 から遠位にある支持層 14 b の一方の面に配設され、反射副層 14 a は、基板 20 の近位にある支持層 14 b の他方の面に配設される。幾つかの実施態様では、反射副層 14 a は、伝導性であることがあり、支持層 14 b と光学スタック 16 との間に配設され得る。支持層 14 b は、誘電材料、たとえば、酸窒化ケイ素（ SiON ）または二酸化ケイ素（ SiO_2 ）の、1 つまたは複数の層を含むことができる。幾つかの実施態様では、支持層 14 b は、たとえば、 $\text{SiO}_2 / \text{SiON} / \text{SiO}_2$ 3 層スタックなど、複数の層のスタックであり得る。反射副層 14 a と伝導性層 14 c のいずれかまたは両方は、たとえば、約 0.5% の銅（ Cu ）または別の反射金属材料を用いた、アルミニウム（ Al ）合金を含むことができる。誘電支持層 14 b の上および下で伝導性層 14 a、14 c を採用することは、応力のバランスをとり、伝導の向上を与えることができる。幾つかの実施態様では、反射副層 14 a および伝導性層 14 c は、可動反射層 14 内の特定の応力プロファイルを達成することなど、様々な設計目的で、異なる材料から形成され得る。

10

【0047】

図 6 D に示すように、幾つかの実施態様はブラックマスク構造 23 をも含むことができる。ブラックマスク構造 23 は、周辺光または迷光を吸収するために、光学不活性領域において（たとえば、ピクセル間にまたはポスト 18 の下に）形成され得る。ブラックマスク構造 23 はまた、光がディスプレイの不活性部分から反射されることまたはそれを透過されることを抑止し、それによりコントラスト比を増加させることによって、ディスプレイデバイスの光学的特性を改善することができる。さらに、ブラックマスク構造 23 は、伝導性であり、電気的バス層として機能するように構成され得る。幾つかの実施態様では、行電極は、接続された行電極の抵抗を低減するために、ブラックマスク構造 23 に接続され得る。ブラックマスク構造 23 は、堆積およびパターニング技法を含む様々な方法を使用して形成され得る。ブラックマスク構造 23 は 1 つまたは複数の層を含むことができる。たとえば、幾つかの実施態様では、ブラックマスク構造 23 は、光吸収器として働くモリブデンクロム（ MoCr ）層と、 SiO_2 層と、反射体およびバス層として働く、アルミニウム合金とを含み、それぞれ、約 30 ~ 80 nm、500 ~ 1000 nm、および 500 ~ 6000 nm の範囲内の厚さである。1 つまたは複数の層は、たとえば、 MoCr 層および SiO_2 層の場合は、カーボンテトラフルオロオロメタン（ CF_4 ）および / または酸素（ O_2 ）、ならびにアルミニウム合金層の場合は、塩素（ Cl_2 ）および / または三塩化ホウ素（ BCl_3 ）を含む、フォトリソグラフィおよびドライエッチングを含む、様々な技法を使用してパターニングされ得る。幾つかの実施態様では、ブラックマスク 23 はエタロンまたは干渉スタック構造であり得る。そのような干渉スタックブラックマスク構造 23 では、伝導性吸収体は、各行または列の光学スタック 16 における下側静止電極間で信号を送信するかまたは信号をバスで運ぶために使用され得る。幾つかの実施態様では、スペーサ層 35 が、ブラックマスク 23 中の伝導性層から吸収層 16 a を概して電氣的に絶縁するのに、役立つことができる。

20

30

40

【0048】

図 6 E は、可動反射層 14 が自立している、I M O D の別の例を示している。図 6 D とは対照的に、図 6 E の実施態様は支持ポスト 18 を含まない。代わりに、可動反射層 14 は、複数のロケーションにおいて、下にある光学スタック 16 に接触し、可動反射層 14 の湾曲は、干渉変調器の両端間の電圧が作動を引き起こすには不十分であるとき、可動反射層 14 が図 6 E の非作動位置に戻るといふ、十分な支持を与える。複数の幾つかの異なる層を含んでいることがある光学スタック 16 は、ここでは明快のために、光吸収体 16 a と誘電体 16 b とを含む状態で示されている。幾つかの実施態様では、光吸収体 16 a は、固定電極としても、部分反射層としても働き得る。

50

【 0 0 4 9 】

図 6 A ~ 図 6 E に示す実施態様などの実施態様では、I M O D は直視型デバイスとして機能し、直視型デバイスでは、画像が、透明基板 2 0 の正面、すなわち、変調器が配置された面の反対の面から、閲覧される。これらの実施態様では、デバイスの背面部分（すなわち、たとえば、図 6 C に示す変形可能層 3 4 を含む、可動反射層 1 4 の背後のディスプレイデバイスの任意の部分）は、反射層 1 4 がデバイスのそれらの部分を光学的に遮蔽するので、ディスプレイデバイスの画質に影響を及ぼすことまたは悪影響を及ぼすことなしに、構成され、作用され得る。たとえば、幾つかの実施態様では、バス構造（図示せず）が可動反射層 1 4 の背後に含まれ得、これは、電圧アドレス指定およびそのようなアドレス指定に起因する移動など、変調器の電気機械的特性から変調器の光学的特性を分離する能力を与える。さらに、図 6 A ~ 図 6 E の実施態様は、パターンニングなどの処理を簡略化することができる。

10

【 0 0 5 0 】

図 7 は、干渉変調器のための製造プロセス 8 0 を示す流れ図の一例を示しており、図 8 A ~ 図 8 E は、そのような製造プロセス 8 0 の対応する段階の断面概略図の例を示している。幾つかの実施態様では、製造プロセス 8 0 は、図 7 に示されていない他のブロックに加えて、たとえば、図 1 および図 6 に示す一般的なタイプの干渉変調器を製造するために実施され得る。図 1、図 6 および図 7 を参照すると、プロセス 8 0 はブロック 8 2 において開始し、基板 2 0 上への光学スタック 1 6 の形成を伴う。図 8 A は、基板 2 0 上で形成されたそのような光学スタック 1 6 を示している。基板 2 0 は、ガラスまたはプラスチックなどの透明基板であり得、それは、フレキシブルであるかまたは比較的固く曲がらないことがあり、光学スタック 1 6 の効率的な形成を可能にするために、事前準備プロセス、たとえば、洗浄にかけられていることがある。上記で説明したように、光学スタック 1 6 は、電気伝導性であり、部分的に透明で、部分的に反射性であることがあり、たとえば、透明基板 2 0 上に、所望の特性を有する 1 つまたは複数の層を堆積させることによって、作製され得る。図 8 A では、光学スタック 1 6 は、副層 1 6 a および 1 6 b を有する多層構造を含むが、幾つかの他の実施態様では、より多いまたはより少ない副層が含まれ得る。幾つかの実施態様では、副層 1 6 a、1 6 b のうちの 1 つは、組み合わせられた導体 / 吸収体副層 1 6 a など、光吸収特性と伝導特性の両方で構成され得る。さらに、副層 1 6 a、1 6 b のうちの 1 つまたは複数は、平行ストリップにパターンニングされ得、ディスプレイデバイスにおける行電極を形成し得る。そのようなパターンニングは、当技術分野で知られているマスクングおよびエッチングプロセスまたは別の好適なプロセスによって実行され得る。幾つかの実施態様では、副層 1 6 a、1 6 b のうちの 1 つは、1 つまたは複数の金属層（たとえば、1 つまたは複数の反射層および / または伝導性層）上に堆積された副層 1 6 b など、絶縁層または誘電体層であり得る。さらに、光学スタック 1 6 は、ディスプレイの行を形成する個々の平行ストリップにパターンニングされ得る。

20

30

【 0 0 5 1 】

プロセス 8 0 はブロック 8 4 において続き、光学スタック 1 6 上への犠牲層 2 5 の形成を伴う。犠牲層 2 5 は、キャビティ 1 9 を形成するために後で（たとえば、ブロック 9 0 において）除去され、したがって、犠牲層 2 5 は、図 1 に示した得られた干渉変調器 1 2 には示されていない。図 8 B は、光学スタック 1 6 上で形成された犠牲層 2 5 を含む、部分的に作製されたデバイスを示している。光学スタック 1 6 上での犠牲層 2 5 の形成は、後続の除去後に、所望の設計サイズを有するギャップまたはキャビティ 1 9（図 1 および図 8 E も参照）を与えるように選択された厚さの、モリブデン（M o）またはアモルファスシリコン（S i）など、フッ化キセノン（X e F₂）エッチング可能材料の堆積を含み得る。犠牲材料の堆積は、物理堆積（P V D、たとえば、スパッタリング）、プラズマ強化化学堆積（P E C V D）、熱化学堆積（熱 C V D）、またはスピンコーティングなど、堆積技法を使用して行われ得る。

40

【 0 0 5 2 】

プロセス 8 0 はブロック 8 6 において続き、支持構造、たとえば、図 1、図 6 および図

50

8 Cに示すポスト18の形成を伴う。ポスト18の形成は、支持構造開口を形成するために犠牲層25をパターニングすることと、次いで、PVD、PECVD、熱CVD、またはスピニングなど、堆積方法を使用して、ポスト18を形成するために開口中に材料（たとえば、ポリマーまたは無機材料、たとえば、酸化ケイ素）を堆積させることとを含み得る。幾つかの実施態様では、犠牲層中に形成された支持構造開口は、ポスト18の下側端部が図6Aに示すように基板20に接触するように、犠牲層25と光学スタック16の両方を通して、下にある基板20まで延在することがある。代替的に、図8Cに示すように、犠牲層25中に形成された開口は、犠牲層25は通るが、光学スタック16は通らないで、延在することがある。たとえば、図8Eは、光学スタック16の上側表面（upper surface）と接触している支持ポスト18の下側端部を示している。

ポスト18、または他の支持構造は、犠牲層25上に支持構造材料の層を堆積させることと、パターニングして犠牲層25中の開口から離れて配置された支持構造材料の部分を除去することによって形成され得る。支持構造は、図8Cに示すように開口内に配置され得るが、少なくとも部分的に、犠牲層25の一部分の上で延在することもある。上述のように、犠牲層25および/または支持ポスト18のパターニングは、パターニングおよびエッチングプロセスによって実行され得るが、代替エッチング方法によっても実行され得る。

10

20

30

40

50

【0053】

プロセス80はブロック88において続き、図1、図6および図8Dに示す可動反射層14などの可動反射層または膜の形成を伴う。可動反射層14は、1つまたは複数のパターニング、マスキング、および/またはエッチングプロセスとともに、1つまたは複数の堆積プロセス、たとえば、反射層（たとえば、アルミニウム、アルミニウム合金）堆積を採用することによって、形成され得る。可動反射層14は、電気伝導性であり、電気伝導性層（electrically conductive layer）と呼ばれることがある。幾つかの実施態様では、可動反射層14は、図8Dに示すように複数の副層14a、14b、14cを含み得る。幾つかの実施態様では、副層14a、14cなど、副層のうちの1つまたは複数は、それらの光学的特性のために選択された高反射性副層を含み得、別の副層14bは、その機械的特性のために選択された機械的副層を含み得る。犠牲層25は、ブロック88において形成された部分的に作製された干渉変調器中に依然として存在するので、可動反射層14は、一般にこの段階では可動でない。犠牲層25を含んでいる部分的に作製されたIMODは、本明細書では「非開放（unreleased）」IMODと呼ばれることもある。図1に関して上記で説明したように、可動反射層14は、ディスプレイの列を形成する個々の平行ストリップにパターニングされ得る。

【0054】

プロセス80はブロック90において続き、キャビティ、たとえば、図1、図6および図8Eに示すキャビティ19の形成を伴う。キャビティ19は、（ブロック84において堆積された）犠牲材料25をエッチャントにさらすことによって形成され得る。たとえば、MoまたはアモルファスSiなどのエッチング可能犠牲材料が、ドライ化学エッチングによって、たとえば、一般に、キャビティ19を囲む構造に対して選択的に除去される、所望の量の材料を除去するのに有効である期間の間、固体XeF₂から派生した蒸気などの気体または蒸気エッチャントに犠牲層25をさらすことによって、除去され得る。エッチング可能な犠牲材料およびエッチング方法、たとえば、ウェットエッチングおよび/またはプラズマエッチングによる他の組合せも使用され得る。犠牲層25がブロック90中に除去されるので、可動反射層14は、一般に、この段階後に可動となる。犠牲材料25の除去後に、得られた完全にまたは部分的に作製されたIMODは、本明細書では「開放」IMODと呼ばれることがある。

【0055】

基板に関連付けられた様々な半導体および/またはEMSデバイスの垂直集積または相互接続は、デバイスの様々な層間の信号ルーティングに制限を課すことがある。さらに、デバイスの様々な層中の様々な材料の処理に関する課題があり得る。

【0056】

たとえば、フラットパネルディスプレイなどの装置は、IMODを含むEMSデバイスなど、幾つかのピクセルデバイスを含むピクセルアレイと、マトリックス型能動スイッチおよびドライバ、ならびに蓄積/感知キャパシタおよび抵抗器などの受動デバイスなど、他の構成要素とを含み得る。ピクセルデバイスおよび他の構成要素は、層中に様々な材料をもつ多層構造を含み得る。装置の動作のために、信号は、各ピクセルデバイスの様々な層に、および各ピクセルデバイスの様々な層からルーティングされる必要があり得る。この信号ルーティングを達成するためのビア構造は、十分な充填率を有するために、ほんのわずかのピクセルデバイス面積を占有し得る。ビア構造の作製は、処理を複雑にし得る、ピクセルデバイスの多層構造中の様々な材料を処理することを伴い得る。

10

【0057】

代替的に、スタックビア構造のための作製プロセスは、本明細書でさらに説明するように、一度に1つの材料の層をエッチングすることを含み得る。スタックビア構造は、複数の金属層を含み得る。複数の金属層は、スタックビア構造の中心部分において互いに接触し得る。複数の金属層は、スタックビア構造の周辺部分中で、金属層間に配設された誘電体層を有し得る。

【0058】

図9は、スタックビア構造のための製造プロセスを示す流れ図の一例を示す。図10A~10Eは、図9に記載されたプロセスの様々な段階におけるスタックビア構造の断面概略図の例を示す。図9は、単一のスタックビア構造を製造するためのプロセスを示すが、複数のスタックビア構造が基板の表面上に同時に製造され得る。加えて、また図示の簡略化のために、図9および図10A~10Eは、3スタックビア構造のための製造プロセスおよび概略図を示す。3つより多い、またはより少ないスタックビアを有する構造を製作するために、これらのプロセスおよび概略図が繰り返され、かつ/または調整され得ることは、当業者には容易に理解されよう。さらに、スタックビア構造を製造するために使用される、図9に記載されたプロセス動作はまた、スタックビア構造を製造しながら、半導体デバイスまたはEMSデバイスなどのデバイスを作製するためにも使用され得る。

20

【0059】

最初に図9を参照すると、プロセス900のブロック902において、第1の金属層が基板の表面上に堆積される。基板は、透明な材料、不透明な材料、可撓性材料、剛性材料、またはこれらの組合せを含む、様々な基板材料を含み得る。幾つかの実施態様では、基板は、シリコン、シリコンオンインシュレータ(SOI)、ガラス(ディスプレイガラスもしくはホウケイ酸ガラスなど)、可撓性プラスチック、または金属箔である。幾つかの実施態様では、基板は、数ミクロンから数百ミクロンの寸法を有し得る。幾つかの他の実施態様では、基板は、数十、数百、または数千センチメートルの寸法を有し得る。

30

【0060】

基板は、中心部分と周辺部分とを含み得る。これらは、スタックビア構造の中心部分およびスタックビア構造の周辺部分がその上にそれぞれ形成され得る部分である。スタックビア構造の中心部分中で、複数の金属層が互いに接触し得る。スタックビア構造の周辺部分中で、複数の金属層の各々は、それと複数の金属層のうちの別の金属層との間に、誘電体層を有し得る。基板はまた、周辺部分を越えて延在する領域をも含み得る。幾つかの実施態様では、半導体デバイスおよび/もしくはEMSデバイスなどの1つもしくは複数のデバイス、ならびに/または、スタックビア構造から1つもしくは複数のデバイスへの伝導性トレースは、これらの延在する領域の上に形成され得る。スタックビア構造はまた、その周辺部分を越えて延在し得る。周辺部分を越えて延在するスタックビア構造の領域中に、複数の金属層が存在しなくてもよい。複数の金属層のうちの1つまたは複数が、スタックビア構造の周辺部分を越えて延在する領域中に存在するとき、複数の金属層の各々は、それと複数の金属層のうちの別の金属層との間に、誘電体層を有し得る。

40

【0061】

幾つかの実施態様では、基板の表面はバッファ層を含み得る。バッファ層は、基板の表

50

面を密封するために絶縁表面またはパッシベーション層としての働きをし得る。幾つかの実施態様では、バッファ層は、 SiO_2 、窒化ケイ素 (Si_xN)、 SiON 、炭化ケイ素 (SiC)、酸化チタン (TiO_2)、酸化アルミニウム (Al_2O_3)、またはスピコンガラス (SOG) など、誘電体であり得る。幾つかの実施態様では、バッファ層は、ポリイミド、ベンゾシクロブテン (BCB、 C_8H_8)、またはフォトレジスト (たとえば、エポキシベースのフォトレジスト) など、ポリマーであり得る。バッファ層はまた、これらの材料の任意の多層組合せであってもよい。幾つかの実施態様では、バッファ層は、約1ミクロンの厚さなど、約100ナノメートル (nm) から10ミクロンの厚さであり得る。

【0062】

第1の金属層は、基板の中心部分および周辺部分上に堆積され得る。第1の金属層は、アルミニウム (Al)、金 (Au)、銅 (Cu)、モリブデン (Mo)、タンタル (Ta)、クロム (Cr)、ネオジム (Nd)、タングステン (W)、チタン (Ti)、ニッケル (Ni) など、任意の数の異なる金属、ならびに、 MoCr 、 AlCu 、および AlSi など、これらの金属のうち少なくとも1つを含む合金を含み得る。幾つかの実施態様では、第1の金属層は、約10nm未満の厚さ、数十ナノメートルの厚さ、数百ナノメートルの厚さ、または数ミクロンの厚さであり得る。第1の金属層は、PVDプロセス、CVDプロセス、または原子層堆積 (ALD) プロセスなどの堆積プロセスを使用して堆積され得る。

【0063】

ブロック904において、第1の金属層がパターニングされる。リソグラフィプロセスならびに (プラズマエッチング、反応性イオンエッチング (RIE)、イオンビームミリングなどを含む、ウェットエッチングまたはドライエッチングなどの) エッチングプロセスを含む、パターニング技法が、第1の金属層を含む基板の部分を画定するために使用され得る。たとえば、第1の金属層は、形成された後、フォトレジストを用いてパターニングされ得る。次いで、第1の金属層は、第1の金属層の部分を基板の表面の選択された部分から除去するためにエッチングされ得る。第1の金属層は、第1の金属がスタックピア構造の中心部分と、デバイスへの伝導性トレースと、デバイスの構成要素とを形成するように、パターニングされ得る。

【0064】

図10Aは、プロセス900のこの時点 (たとえば、ブロック904まで) におけるスタックピア構造の断面概略図の一例を示す。スタックピア構造1000は、基板1002と第1の金属層1004とを含む。基板1002は、中心部分1012と周辺部分1014とを含む。図10A~10Eは、プロセス900の幾つかの段階におけるスタックピア構造の断面概略図の例を示す。基板1002の周辺部分1014を越えて延在する領域 (図示せず) は、基板上に延在し得、伝導性トレース、ならびに / または能動デバイスおよび受動デバイスを含み得る。

【0065】

図9に戻ると、ブロック906において、第1の誘電体層が堆積およびパターニングされる。第1の誘電体層の誘電体は、 SiO_2 、 SiC 、 Al_2O_3 、酸化ハフニウム (HfO_2)、 TiO_2 、 SiON 、 Si_xN など、任意の数の異なる誘電体を含み得る。幾つかの実施態様では、各誘電体層は、約5ミクロン未満の厚さ、または約100nm未満の厚さであり得る。幾つかの実施態様では、各誘電体層は、約数十ナノメートルから1ミクロンの厚さ、または約1ミクロンの厚さであり得る。第1の誘電体層は、PVDプロセス、CVDプロセス、またはALDプロセスなどの堆積プロセスを使用して堆積され得る。第1の誘電体層は、第1の誘電体層がスタックピア構造の中心部分に存在しないが、スタックピア構造の周辺部分に残るように、パターニングされ得る。上記で説明したように、リソグラフィプロセスならびにエッチングプロセスを含む、パターニング技法が使用され得る。

【0066】

10

20

30

40

50

図10Bは、プロセス900のこの時点（たとえば、ブロック906まで）におけるスタックピア構造1000の断面概略図の一例を示す。スタックピア構造1000は、基板1002と、第1の金属層1004と、第1の誘電体層1006とを含む。第1の誘電体層は、基板1002の中心部分1012の上にはないが、基板1002の周辺部分1014の上にある。

【0067】

図9に戻ると、スタックピア構造のための製造プロセス900は、金属の層を堆積させること、金属の層をパターニングすること、誘電体の層を堆積させること、および誘電体の層をパターニングすることを続ける。これらのプロセスは、所望のスタックピア構造が形成されるまで繰り返され得る。たとえば、ブロック908において、第2の金属層が堆積およびパターニングされる。幾つかの実施態様では、第2の金属層は、第1の金属層と同じ金属を含み得、幾つかの実施態様では、第2の金属層は、第1の金属層とは異なる金属を含み得る。幾つかの実施態様では、第2の金属層は、第1の金属層と同じ厚さであり得、幾つかの実施態様では、第2の金属層は、第1の金属層とは異なる厚さであり得る。

10

【0068】

図10Cは、プロセス900のこの時点（たとえば、ブロック908まで）におけるスタックピア構造1000の断面概略図の一例を示す。スタックピア構造1000は、基板1002と、第1の金属層1004と、第1の誘電体層1006と、第2の金属層1008とを含む。第2の金属層1008は、部分的に基板1002の中心部分1012の上にあるエリア中で第1の金属層1004に接触し、周辺部分1014の上にあるエリア中で第1の誘電体層1006に接触する。第2の金属層1008は、第2の金属層1008が傾斜部分1054を含むように、第1の誘電体層1006のエッジと共形である。第2の金属層1008の平面部分1052が傾斜部分1054と作り出す角度1038は、約90度から150度であり得る。幾つかの実施態様では、スタックピア構造を形成する後続の金属層は、同様の傾斜部分を含み得る。金属層の傾斜部分と平面部分との間の角度は、均一であるか、またはスタックピア構造の両端間で変動し得る。たとえば、任意の2つの金属層は、同じまたは異なる角度を含み得る。

20

【0069】

図9に示すプロセス900のブロック910において、第2の誘電体層が堆積およびパターニングされる。幾つかの実施態様では、第2の誘電体層は、第1の誘電体層と同じ誘電体を含み得、幾つかの実施態様では、第2の誘電体層は、第1の誘電体層とは異なる誘電体を含み得る。幾つかの実施態様では、第2の誘電体層は、第1の誘電体層と同じ厚さであり得、幾つかの実施態様では、第2の誘電体層は、第1の誘電体層とは異なる厚さであり得る。第2の誘電体層は、第2の誘電体層がスタックピア構造の中心部分に存在しないが、スタックピア構造の周辺部分に残るように、パターニングされ得る。

30

【0070】

図10Dは、プロセス900のこの時点（たとえば、ブロック910まで）におけるスタックピア構造1000の断面概略図の一例を示す。スタックピア構造1000は、基板1002と、第1の金属層1004と、第1の誘電体層1006と、第2の金属層1008と、第2の誘電体層1010とを含む。第2の誘電体層は、基板1002の中心部分1012の上にはないが、基板1002の周辺部分1014の上にある。

40

【0071】

図9に示すプロセス900のブロック912において、第3の金属層が堆積およびパターニングされる。幾つかの実施態様では、第3の金属層は、第1の金属層と同じ金属を含み得、幾つかの実施態様では、第3の金属層は、第1の金属層とは異なる金属を含み得る。幾つかの実施態様では、第3の金属層は、第1の金属層と同じ厚さであり得、幾つかの実施態様では、第3の金属層は、第1の金属層とは異なる厚さであり得る。

【0072】

図10Eは、プロセス900のこの時点（たとえば、ブロック912まで）におけるスタックピア構造1000の断面概略図の一例を示す。スタックピア構造1000は、基板

50

1002と、第1の金属層1004と、第1の誘電体層1006と、第2の金属層1008と、第2の誘電体層1010と、第3の金属層1013とを含む。第3の金属層1013は、基板1002の中心部分1012の上にあるエリア中で第2の金属層1008に接触する。したがって、幾つかの実施態様では、第1の金属層1004、第2の金属層1008、および第3の金属層1013は、中心部分1012の上にあるエリア中で互いに電気接触し得る。基板の周辺部分1014の上にあるスタックピア構造の部分中で、誘電体層が金属層間に存在し得る。図10Eの例では、第1の誘電体層1006は、周辺部分1014の上にあるエリア中で、第1の金属層1004および第2の金属層1008を分離する。同様に、第2の誘電体層1010は、周辺部分1014の上にあるエリア中で、第2の金属層1008および第3の金属層1013を分離する。したがって、幾つかの実施態様では、第1の金属層1004、第2の金属層1008、および第3の金属層1013は、基板1002の周辺部分1014の上にあるエリア中で互いから電氣的に絶縁され得る。

【0073】

スタックピア構造の形成のためのプロセス900では、一度に1つのタイプの材料がパターニングされている。たとえば、ブロック904において、第1の金属層がパターニングされ、このパターニングは、第1の金属層をエッチングすることを含み得る。ブロック906において、第1の誘電体層がパターニングされ、このパターニングは、第1の誘電体層をエッチングすることを含み得る。プロセス900におけるブロック908、910、および912は、一度に1つの層がパターニングされる点で同様である。幾つかの実施態様では、一度に単一の層をパターニングすることは、その層をエッチングすることを含み得る。一度に単一の材料をエッチングすることは、スタックピア構造の作製プロセスを助け得る。たとえば、スタックピア構造のための製造プロセスにおいて様々な材料がエッチングされる場合、異なる速度で異なる材料をエッチングするエッチャントのために、またはエッチング停止層の使用のために、プロセスがより複雑になり得る。

【0074】

さらに、プロセス900は、3つの金属層と2つの誘電体層とを含む、図10Eに示すスタックピア構造1000を生じ得るが、プロセス900は、金属層および誘電体層の堆積およびパターニングを続け得る。たとえば、スタックピア構造は、任意の数の金属層と、スタックピア構造の周辺部分中で金属層を分離する誘電体層とを含み得る。たとえば、スタックピア構造は、2から12個の金属層を含み得、幾つかの実施態様では、設計構成に応じて、12個以上の層を含み得る。

【0075】

図11A～11Fは、製造プロセスの様々な段階における2つのスタックピア構造のトップダウン図の例を示す。例示のために、スタックピア構造の周辺部分は、図11A～11Fに示されていない。たとえば、図11Aは、図9に示すプロセス900のブロック902および904後に形成された装置の一例であり得る。図11Aに示す装置1100は、第1の金属層1004が堆積およびパターニングされた基板1002を含む。第1の金属層1004は、第1のスタックピア構造の中心部分1102と、中心部分1102に結合された伝導性トレース1104とを含むようにパターニングされる。伝導性トレース1104は、第1のスタックピア構造の周辺部分を越えて延在する領域にあり得る。伝導性トレースの端部は、基板1002の表面上で第1のデバイス(図示せず)に結合され得、または第1のデバイス(図示せず)の一部を形成し得る。

【0076】

図11Aでは、第1のスタックピア構造の中心部分1102は、実質的に正方形を有するように示される。第1のスタックピア構造の正方形の中心部分1102の一辺は、幾つかの実施態様では、約0.1ミクロンから1ミクロン、約1ミクロンから5ミクロン、約15ミクロンから45ミクロン、または約10ミクロンから100ミクロンの寸法を有し得る。第1のスタックピア構造の中心部分1102はまた、幾つかの実施態様では、長方形、円形、または楕円形を含む、他の形状をも有し得る。そのような第1のスタックピア

10

20

30

40

50

構造の中心部分の寸法もまた、幾つかの実施態様では、約 0.1 ミクロンから 1 ミクロン、約 1 ミクロンから 5 ミクロン、約 1.5 ミクロンから 4.5 ミクロン、または約 10 ミクロンから 100 ミクロンであり得る。

【0077】

図 11B は、第 1 の誘電体層 1006 が堆積およびパターニングされた後の装置 1100 を示す。たとえば、図 11B は、図 9 に示すプロセス 900 のブロック 906 後に形成された装置の一例であり得る。誘電体層 1006 は、伝導性トレース 1104 を覆う。誘電体層 1006 は、第 1 のスタックビア構造の中心部分 1102 を露出するようにパターニングされる。幾つかの実施態様では、第 1 の誘電体層 1006 は、EMS デバイス、トランジスタ、またはキャパシタの一部であり得る。たとえば、誘電体層 1006 は、トランジスタのためのゲート誘電体、キャパシタのための絶縁体、または EMS デバイスのための様々な機能的構造のうちの 1 つとして形成され得る。

10

【0078】

図 11C は、第 2 の金属層 1108 が堆積およびパターニングされた後の装置 1100 を示す。たとえば、図 11C は、図 9 に示すプロセス 900 のブロック 908 後に形成された装置の一例であり得る。第 2 の金属層 1108 は、第 1 のスタックビア構造の中心部分 1122 を含むようにパターニングされる。第 2 の金属層はまた、第 2 のスタックビア構造の中心部分 1112 と、中心部分 1112 に結合された伝導性トレース 1114 とを含むようにパターニングされる。伝導性トレース 1114 は、第 2 のスタックビア構造の周辺部分を越えて延在する領域にあり得る。伝導性トレースの端部は、基板 1002 の表面上で第 1 のデバイス（図示せず）に結合され得、または第 1 のデバイス（図示せず）の一部を形成し得る。

20

【0079】

図 11D は、第 2 の誘電体層 1010 が堆積およびパターニングされた後の装置 1100 を示す。たとえば、図 11D は、図 9 に示すプロセス 900 のブロック 910 後に形成された装置の一例であり得る。第 2 の誘電体層 1010 は、伝導性トレース 1114 を覆う。第 2 の誘電体層 1010 は、第 1 のスタックビア構造の中心部分 1122 と第 2 のスタックビア構造の中心部分 1112 とを露出するようにパターニングされ得る。上記で説明した第 1 の誘電体層 1006 と同様に、第 2 の誘電体層 1010 もまた、EMS デバイス、トランジスタ、またはキャパシタの一部であり得る。たとえば、第 2 の誘電体層 1010 は、トランジスタのためのゲート誘電体、キャパシタのための絶縁体、または EMS デバイスのための様々な機能的構造のうちの 1 つとして形成され得る。

30

【0080】

図 11E は、第 3 の金属層 1013 が堆積およびパターニングされた後の装置 1100 を示す。たとえば、図 11E は、図 9 に示すプロセス 900 のブロック 912 後に形成された装置の一例であり得る。第 3 の金属層 1013 は、第 2 のスタックビア構造の中心部分 1132 を含むようにパターニングされる。第 3 の金属層 1013 はまた、第 1 のスタックビア構造の中心部分 1142 と、その中心部分に結合された伝導性トレース 1124 とを含むようにパターニングされ得る。伝導性トレース 1124 は、第 1 のスタックビア構造の周辺部分を越えて延在する領域にあり得る。伝導性トレースの端部は、たとえば、基板の表面上に作製されることになる第 2 のデバイス（図示せず）に結合され得、または基板 902 の表面上に作製されることになる第 2 のデバイス（図示せず）の一部を形成し得る。代替的に、伝導性トレースの端部は、別の基板上の別のデバイスまたはシステム（図示せず）への相互接続を与え得る。第 2 のスタックビア構造の中心部分 1132 中に含まれる第 3 の金属層 1013 は、第 1 のデバイス（図示せず）への相互接続を与え得る。

40

【0081】

図 11F は、装置 1100 のトップダウン図を示す。例示のために、図 11F は、互いからオフセットされている金属層を示し、誘電体層を除く。装置 1100 は、基板 1002 の表面上に第 1 の金属層 1004 が堆積およびパターニングされた、基板 1002 を含む。第 1 の金属層 1004 は、第 1 のスタックビア構造の中心部分 1102 と、中心部分

50

1102に結合された伝導性トレース1104とを含む。堆積およびパターニングされる第2の金属層1008は、第1のスタックビア構造の中心部分1122を含む。第2の金属層1008はまた、第2のスタックビア構造の中心部分1112と、中心部分1112に結合された伝導性トレース1114とを含む。堆積およびパターニングされる第3の金属層1013は、第2のスタックビア構造の中心部分1132を含む。第3の金属層1013はまた、第1のスタックビア構造の中心部分1142と、中心部分1142に結合された伝導性トレース1124とを含む。

【0082】

図12は、スタックビア構造の投影断面概略図の一例を示す。図12は、図11A~11Fに示す装置1100の投影断面概略図の一例を示す。上記で説明したように、装置1100は、基板1002と、第1の金属層1004と、第1の誘電体層1006と、第2の金属層1008と、第2の誘電体層1010と、第3の金属層1013とを含む。金属層および誘電体層のうちの一部は、第1のスタックビア構造1202、第2のスタックビア構造1204、および第1のデバイス1206中に含まれる。第1の金属層1004は、第1のスタックビア構造1202の一部、ならびに第1のデバイス1206への伝導性トレースを形成する。金属層1004、1008、および1013は、第1のスタックビア構造1202の中心部分において互いに電気接触し得る。

10

【0083】

第2の金属層1008は、第2のスタックビア構造1204の一部、ならびに第1のデバイス1206への伝導性トレースを形成する。金属層1008および1013は、第2のスタックビア構造1204の中心部分において互いに電気接触し得る。

20

【0084】

図12に示すように、第1の金属層1004および/または第2の金属層1008は、第1のデバイス1206の一部を形成し得る。たとえば、第1の金属層1004および/または第2の金属層1008は、薄膜トランジスタデバイスのゲート電極、蓄積キャパシタデバイスの電極、抵抗器デバイスの構成要素、または、EMSデバイスもしくはEMSディスプレイデバイスのヒンジ構造、ミラースタック、複合膜、カンチレバー、もしくは梁の一部を形成し得る。幾つかの実施態様では、第1の誘電体層1006および/または第2の誘電体層1010もまた、第1のデバイス1206中に含まれ得る。たとえば、第1の誘電体層1106および/または第2の誘電体層1110は、薄膜トランジスタデバイスのゲート誘電体、蓄積キャパシタデバイスの誘電体層、EMSディスプレイデバイスの可動層のためのポスト構造、または、EMSデバイスのカンチレバー、梁、もしくは複合膜を形成し得る。

30

【0085】

幾つかの実施態様では、第1の金属層1004および第2の金属層1008は、第1のデバイス1206の一部を形成することなしに、第1のデバイス1206への伝導性トレースを含み得る。

【0086】

さらに、図12に示すように、スタックビア構造1202および1204は、(たとえば、第2のスタックビア構造1204を使用して)装置1100の上部から、または(たとえば、第1のビア構造1202に結合されたトレースを用いて)装置1100の側部からの、デバイス1206への接続を可能にする。

40

【0087】

本明細書で説明したように、スタックビア構造を形成することは、堆積プロセスとパターニングプロセスとを含み得る。スタックビア構造を構成する層はまた、半導体デバイスなどのデバイス、蓄積/感知キャパシタおよび抵抗器などの受動デバイス、またはEMSデバイス中にも含まれ得る。そのようなデバイスのための層は、スタックビア構造のための層の堆積およびパターニングと同時に堆積およびパターニングされ得る。たとえば、1つまたは複数のスタックビア構造と同時に作製されているデバイスは、IMODまたは薄膜トランジスタデバイスを含み得る。1つの金属層が堆積およびパターニングされ得、I

50

MODピクセルの光学スタックの電極層と、伝導性トレースと、第1のスタックピア構造中の金属層とを形成し得る。光学スタックの電極層、伝導性トレース、および第1のスタックピア構造は、電氣的に接続され得る。したがって、スタックピア構造は、IMODピクセルへの相互接続を与え得る。第2の金属層もまた堆積およびパターンニングされ得、IMODピクセルの反射層と、伝導性トレースと、第2のスタックピア構造中の金属層とを形成し得る。反射層、伝導性トレース、および第2のスタックピア構造は、電氣的に接続され得る。したがって、第2のスタックピア構造は、IMODピクセルへの別の相互接続を与え得る。

【0088】

代替的に、基板の表面上のデバイスのための作製プロセスにおいて、スタックピア構造が作製され得る。ピアが作製された後、デバイスを作製するためにさらなるプロセス動作が使用されるとき、ピアがマスクオフされてもよく、さらなる材料の層がスタックピア構造上に堆積されなくてもよい。

10

【0089】

図13Aおよび図13Bは、複数の干渉変調器を含むディスプレイデバイス40を示すシステムブロック図の例を示している。ディスプレイデバイス40は、たとえば、スマートフォン、セルラー電話または携帯電話であり得る。ただし、ディスプレイデバイス40の同じ構成要素またはディスプレイデバイス40の軽微な変形も、テレビジョン、タブレット、電子リーダー、ハンドヘルドデバイスおよびポータブルメディアプレーヤなど、様々なタイプのディスプレイデバイスを示す。

20

【0090】

ディスプレイデバイス40は、ハウジング41と、ディスプレイ30と、アンテナ43と、スピーカー45と、入力デバイス48と、マイクロフォン46とを含む。ハウジング41は、射出成形および真空成形を含む様々な製造プロセスのうちのいずれかから形成され得る。さらに、ハウジング41は、限定はしないが、プラスチック、金属、ガラス、ゴム、およびセラミック、またはそれらの組合せを含む、様々な材料のうちのいずれかから製作され得る。ハウジング41は、異なる色の、または異なるロゴ、ピクチャ、もしくはシンボルを含んでいる、他の取外し可能な部分と交換され得る、取外し可能な部分(図示せず)を含むことができる。

【0091】

ディスプレイ30は、本明細書で説明する、双安定またはアナログディスプレイを含む様々なディスプレイのうちのいずれかであり得る。ディスプレイ30はまた、プラズマ、EL、OLED、STN LCD、またはTFT LCDなど、フラットパネルディスプレイ、あるいはCRTまたは他の管デバイスなど、非フラットパネルディスプレイを含むように構成され得る。さらに、ディスプレイ30は、本明細書で説明する干渉変調器ディスプレイを含むことができる。

30

【0092】

ディスプレイデバイス40の構成要素は図13Bに概略的に示されている。ディスプレイデバイス40は、ハウジング41を含み、その中に少なくとも部分的に密閉された追加の構成要素を含むことができる。たとえば、ディスプレイデバイス40は、トランシーバ47に結合されたアンテナ43を含むネットワークインターフェース27を含む。トランシーバ47はプロセッサ21に接続され、プロセッサ21は調整ハードウェア52に接続される。調整ハードウェア52は、信号を調整する(たとえば、信号をフィルタ処理する)ように構成され得る。調整ハードウェア52は、スピーカー45およびマイクロフォン46に接続される。プロセッサ21は、入力デバイス48およびドライバコントローラ29にも接続される。ドライバコントローラ29は、フレームバッファ28に、およびアレイドライバ22に結合され、アレイドライバ22は次にディスプレイレイ30に結合される。幾つかの実施態様では、電源50が、特定のディスプレイデバイス40設計における実質的にすべての構成要素に電力を与えることができる。

40

【0093】

50

ネットワークインターフェース27は、ディスプレイデバイス40がネットワークを介して1つまたは複数のデバイスと通信することができるように、アンテナ43とトランシーバ47とを含む。ネットワークインターフェース27はまた、たとえば、プロセッサ21のデータ処理要件を軽減するための、何らかの処理能力を有し得る。アンテナ43は信号を送信および受信することができる。幾つかの実施態様では、アンテナ43は、IEEE16.11(a)、(b)、または(g)を含むIEEE16.11規格、あるいはIEEE802.11a、b、g、nおよびそれらのさらなる実施態様を含むIEEE802.11規格に従って、RF信号を送信および受信する。幾つかの他の実施態様では、アンテナ43は、BLUETOOTH規格に従ってRF信号を送信および受信する。セルラ電話の場合、アンテナ43は、3Gまたは4G技術を利用するシステムなどのワイヤレスネットワーク内で通信するために使用される、符号分割多元接続(CDMA)、周波数分割多元接続(FDMA)、時分割多元接続(TDMA)、Global System for Mobile communications(GSM(登録商標))、GSM/General Packet Radio Service(GPRS)、Enhanced Data GSM Environment(EDGE)、Terrestrial Trunked Radio(TETRA)、広帯域CDMA(W-CDMA(登録商標))、Evolution Data Optimized(EV-DO)、1xEV-DO、EV-DO Rev A、EV-DO Rev B、高速パケットアクセス(HSPA)、高速ダウンリンクパケットアクセス(HSDPA)、高速アップリンクパケットアクセス(HSUPA)、発展型高速パケットアクセス(HSPA+)、Long Term Evolution(LTE)、AMPS、または他の知られている信号を受信するように設計される。トランシーバ47は、アンテナ43から受信された信号がプロセッサ21によって受信され、プロセッサ21によってさらに操作され得るように、その信号を前処理することができる。トランシーバ47はまた、プロセッサ21から受信された信号がアンテナ43を介してディスプレイデバイス40から送信され得るように、その信号を処理することができる。

10

20

30

40

50

【0094】

幾つかの実施態様では、トランシーバ47は受信機によって置き換えられ得る。さらに、幾つかの実施態様では、ネットワークインターフェース27は、プロセッサ21に送られるべき画像データを記憶または生成することができる画像ソースによって置き換えられ得る。プロセッサ21は、ディスプレイデバイス40の全体的な動作を制御することができる。プロセッサ21は、ネットワークインターフェース27または画像ソースから圧縮された画像データなどのデータを受信し、そのデータを生画像データに、または生画像データに容易に処理されるフォーマットに、処理する。プロセッサ21は、処理されたデータをドライバコントローラ29に、または記憶のためにフレームバッファ28に送ることができる。生データは、一般に、画像内の各ロケーションにおける画像特性を識別する情報を指す。たとえば、そのような画像特性は、色、飽和、およびグレースケールレベルを含むことができる。

【0095】

プロセッサ21は、ディスプレイデバイス40の動作を制御するためのマイクロコントローラ、CPU、または論理ユニットを含むことができる。調整ハードウェア52は、スピーカ45に信号を送信するための、およびマイクロフォン46から信号を受信するための、増幅器およびフィルタを含み得る。調整ハードウェア52は、ディスプレイデバイス40内の個別構成要素であり得、あるいはプロセッサ21または他の構成要素内に組み込まれ得る。

【0096】

ドライバコントローラ29は、プロセッサ21によって生成された生画像データをプロセッサ21から直接、またはフレームバッファ28から取ることができ、アレイドライバ22への高速送信のために適宜に生画像データを再フォーマットすることができる。幾つかの実施態様では、ドライバコントローラ29は、生画像データを、ラスタ様フォーマッ

トを有するデータフローに再フォーマットすることができ、その結果、そのデータフローは、ディスプレイレイ 30 にわたって走査するのに好適な時間順序を有する。次いで、ドライバコントローラ 29 は、フォーマットされた情報をアレイドライバ 22 に送る。LCD コントローラなどのドライバコントローラ 29 は、しばしば、スタンドアロン集積回路 (IC) としてシステムプロセッサ 21 に関連付けられるが、そのようなコントローラは多くの方法で実施され得る。たとえば、コントローラは、ハードウェアとしてプロセッサ 21 中に埋め込まれるか、ソフトウェアとしてプロセッサ 21 中に埋め込まれるか、またはハードウェアにおいてアレイドライバ 22 と完全に一体化され得る。

【0097】

アレイドライバ 22 は、ドライバコントローラ 29 からフォーマットされた情報を受信することができ、ビデオデータを波形の並列セットに再フォーマットすることができ、波形の並列セットは、ディスプレイのピクセルの x - y 行列から来る、数百の、および時には数千の (またはより多くの) リード線に毎秒何回も適用される。

10

【0098】

幾つかの実施態様では、ドライバコントローラ 29、アレイドライバ 22、およびディスプレイレイ 30 は、本明細書で説明するディスプレイのタイプのうちのいずれにも適している。たとえば、ドライバコントローラ 29 は、従来のディスプレイコントローラまたは双安定ディスプレイコントローラ (IMOD コントローラなど) であり得る。さらに、アレイドライバ 22 は、従来のドライバまたは双安定ディスプレイドライバ (IMOD ディスプレイドライバなど) であり得る。さらに、ディスプレイレイ 30 は、従来のディスプレイレイまたは双安定ディスプレイレイ (IMOD のアレイを含むディスプレイなど) とすることができる。幾つかの実施態様では、ドライバコントローラ 29 はアレイドライバ 22 と一体化することができる。そのような実施態様は、高集積システム、たとえば、携帯電話、ポータブル電子デバイス、腕時計または小面積ディスプレイにおいて、有用であることがある。

20

【0099】

幾つかの実施態様では、入力デバイス 48 は、たとえば、ユーザがディスプレイデバイス 40 の動作を制御できるように構成することができる。入力デバイス 48 は、QWERTY キーボードまたは電話キーパッドなどのキーパッド、ボタン、スイッチ、ロッカー、タッチセンシティブスクリーン、ディスプレイレイ 30 と一体化されたタッチセンシティブスクリーン、あるいは感圧膜または感熱膜を含むことができる。マイクロフォン 46 は、ディスプレイデバイス 40 のための入力デバイスとして構成することができる。幾つかの実施態様では、ディスプレイデバイス 40 の動作を制御するために、マイクロフォン 46 を通してのボイスコマンドを用いることができる。

30

【0100】

電源 50 は種々のエネルギー蓄積デバイスを含むことができる。たとえば、電源 50 は、ニッケルカドミウムバッテリーまたはリチウムイオンバッテリーなどの充電式バッテリーとすることができる。充電式バッテリーを使用する実施態様では、充電式バッテリーは、たとえば、壁コンセントあるいは光起電性デバイスまたはアレイから来る電力を使用して充電可能な場合がある。代替的には、充電式バッテリーはワイヤレス充電可能とすることができる。電源 50 はまた、再生可能エネルギー源、キャパシタ、あるいはプラスチック太陽電池または太陽電池塗料を含む太陽電池とすることもできる。電源 50 はまた、壁コンセントから電力を受け取るように構成することもできる。

40

【0101】

幾つかの実施態様では、制御プログラマビリティがドライバコントローラ 29 中に存在し、これは電子ディスプレイシステム中の幾つかの場所に配置され得る。幾つかの他の実施態様では、制御プログラマビリティがアレイドライバ 22 中に存在する。上記で説明した最適化は、任意の数のハードウェアおよび/またはソフトウェア構成要素において、ならびに様々な構成において実施され得る。

【0102】

50

本明細書で開示する実施態様に関して説明した様々な例示的な論理、論理ブロック、モジュール、回路、およびアルゴリズムステップは、電子ハードウェア、コンピュータソフトウェア、または両方の組合せとして実施され得る。ハードウェアとソフトウェアの互換性が、概して機能に関して説明され、上記で説明した様々な例示的な構成要素、ブロック、モジュール、回路およびステップにおいて示された。そのような機能がハードウェアで実施されるか、ソフトウェアで実施されるかは、特定の適用例および全体的なシステムに課された設計制約に依存する。

【0103】

本明細書で開示する態様に関して説明した様々な例示的な論理、論理ブロック、モジュール、および回路を実施するために使用される、ハードウェアおよびデータ処理装置は、汎用シングルチップまたはマルチチッププロセッサ、デジタル信号プロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)または他のプログラマブル論理デバイス、個別ゲートまたはトランジスタ論理、個別ハードウェア構成要素、あるいは本明細書で説明した機能を実行するように設計されたそれらの任意の組合せを用いて実施または実行され得る。汎用プロセッサは、マイクロプロセッサ、あるいは任意の従来プロセッサ、コントローラ、マイクロコントローラ、または状態機械であり得る。プロセッサは、コンピューティングデバイスの組合せ、たとえば、DSPとマイクロプロセッサとの組合せ、複数のマイクロプロセッサ、DSPコアと連携する1つまたは複数のマイクロプロセッサ、あるいは任意の他のそのような構成として実施することもできる。幾つかの実施態様では、特定のステップおよび方法が、所与の機能に固有である回路によって実行され得る。

【0104】

1つまたは複数の態様では、説明した機能は、本明細書で開示する構造を含むハードウェア、デジタル電子回路、コンピュータソフトウェア、ファームウェア、およびそれらの上記構造の構造的等価物において、またはそれらの任意の組合せにおいて実施され得る。また、本明細書で説明した主題の実施態様は、1つまたは複数のコンピュータプログラムとして、すなわち、データ処理装置が実行するためにコンピュータ記憶媒体上に符号化された、またはデータ処理装置の動作を制御するための、コンピュータプログラム命令の1つまたは複数のモジュールとして、実施され得る。

【0105】

本開示で説明した実施態様への様々な修正は当業者には容易に明らかであり得、本明細書で定義した一般原理は、本開示の趣旨または範囲から逸脱することなく他の実施態様に適用され得る。したがって、特許請求の範囲は、本明細書で示した実施態様に限定されるものではなく、本開示と、本明細書で開示する原理および新規の特徴とに一致する、最も広い範囲を与えられるべきである。「例示的」という単語は、本明細書ではもっぱら「例、事例、または例示の働きをすること」を意味するために使用される。本明細書に「例示的」と記載されたいかなる実施態様も、必ずしも他の可能性または実施態様よりも好ましいまたは有利であると解釈されるべきではない。さらに、「上側」および「下側」という用語は、図の説明を簡単にするために時々使用され、適切に配向されたページ上の図の配向に対応する相対位置を示すが、実施されたIMODの適切な配向を反映しないことがあることを、当業者は容易に諒解されよう。

【0106】

また、別個の実施態様に関して本明細書で説明された幾つかの特徴は、単一の実施態様において組合せで実施され得る。また、逆に、単一の実施態様に関して説明した様々な特徴は、複数の実施態様において別個に、あるいは任意の好適な部分組合せで実施され得る。その上、特徴は、幾つかの組合せで働くものとして上記で説明され、初めにそのような請求されることさえあるが、請求される組合せからの1つまたは複数の特徴は、場合によってはその組合せから削除され得、請求される組合せは、部分組合せ、または部分組合せの変形形態を対象とし得る。

【0107】

同様に、動作は特定の順序で図面に示されているが、そのような動作は、望ましい結果を達成するために、示される特定の順序でまたは順番に実行される必要がないこと、またはすべての例示される動作が実行される必要があるとは限らないことは、当業者は容易に認識されよう。さらに、図面は、流れ図の形態でもう1つの例示的なプロセスを概略的に示し得る。ただし、図示されていない他の動作が、概略的に示される例示的なプロセスに組み込まれ得る。たとえば、1つまたは複数の追加の動作が、図示の動作のうちのいずれかの前に、後に、同時に、またはその間で、実行され得る。幾つかの状況では、マルチタスキングおよび並列処理が有利であり得る。その上、上記で説明した実施態様における様々なシステム構成要素の分離は、すべての実施態様においてそのような分離を必要とするものとして理解されるべきでなく、説明するプログラム構成要素およびシステムは、概して、単一のソフトウェア製品において互いに一体化されるか、または複数のソフトウェア製品にパッケージングされ得ることを理解されたい。さらに、他の実施態様が以下の特許請求の範囲内に入る。場合によっては、特許請求の範囲に記載の行為は、異なる順序で実行され、依然として望ましい結果を達成することができる。

【符号の説明】

【0108】

- | | | |
|-------|----------------------|----|
| 12 | 干渉変調器、IMOD、ピクセル | |
| 13、15 | 光 | |
| 14 | 可動反射層、層、反射層 | |
| 14a | 反射副層、伝導性層、副層 | 20 |
| 14b | 支持層、誘電支持層、副層 | |
| 14c | 伝導性層、副層 | |
| 16 | 光学スタック、層 | |
| 16a | 吸収層、光吸収体、副層、導体/吸収体副層 | |
| 16b | 誘電体、副層 | |
| 18 | ポスト、支持体、支持ポスト | |
| 19 | ギャップ、キャビティ | |
| 20 | 透明基板、基板 | |
| 21 | プロセッサ、システムプロセッサ | |
| 22 | アレイドライバ | 30 |
| 23 | ブラックマスク構造 | |
| 24 | 行ドライバ回路 | |
| 25 | 犠牲層、犠牲材料 | |
| 26 | 列ドライバ回路 | |
| 27 | ネットワークインターフェース | |
| 28 | フレームバッファ | |
| 29 | ドライバコントローラ | |
| 30 | ディスプレイアレイ、パネル、ディスプレイ | |
| 32 | テザー | |
| 34 | 変形可能層 | 40 |
| 35 | スペーサ層 | |
| 40 | ディスプレイデバイス | |
| 41 | ハウジング | |
| 43 | アンテナ | |
| 45 | スピーカー | |
| 46 | マイクロフォン | |
| 47 | トランシーバ | |
| 48 | 入力デバイス | |
| 50 | 電源 | |
| 52 | 調整ハードウェア | 50 |

6 0 a	第 1 のライン時間、ライン時間	
6 0 b	第 2 のライン時間、ライン時間	
6 0 c	第 3 のライン時間、ライン時間	
6 0 d	第 4 のライン時間、ライン時間	
6 0 e	ライン時間、第 5 のライン時間	
6 2	高いセグメント電圧	
6 4	低いセグメント電圧	
7 0	開放電圧	
7 2	高い保持電圧	
7 4	高いアドレス電圧	10
7 6	低い保持電圧	
7 8	低いアドレス電圧	
1 0 0 0	スタックビア構造	
1 0 0 2	基板	
1 0 0 4	第 1 の金属層	
1 0 0 6	第 1 の誘電体層	
1 0 0 8	第 2 の金属層	
1 0 1 0	第 2 の誘電体層	
1 0 1 2	基板 1 0 0 2 の中心部分	
1 0 1 3	第 3 の金属層	20
1 0 1 4	周辺部分	
1 0 3 8	角度	
1 0 5 2	平面部分	
1 0 5 4	傾斜部分	
1 1 0 0	装置	
1 1 0 2、1 1 2 2、1 1 4 2	第 1 のスタックビア構造の中心部分	
1 1 0 4、1 1 1 4、1 1 2 4	伝導性トレース	
1 1 1 2、1 1 3 2	第 2 のスタックビア構造の中心部分	
1 2 0 2	第 1 のスタックビア構造、スタックビア構造、第 1 のビア構造	
1 2 0 4	第 2 のスタックビア構造、スタックビア構造	30
1 2 0 6	第 1 のデバイス	

【 図 1 】

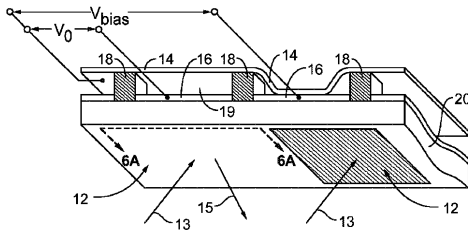


Figure 1

【 図 2 】

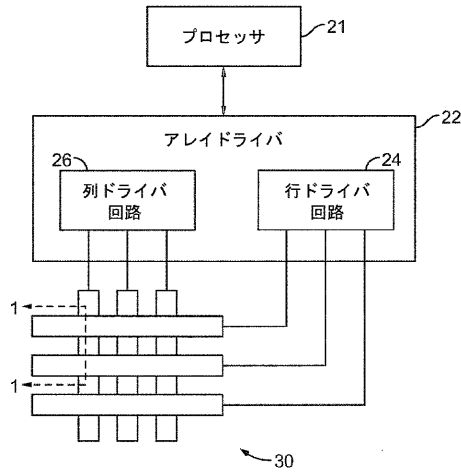


Figure 2

【 図 5 A 】

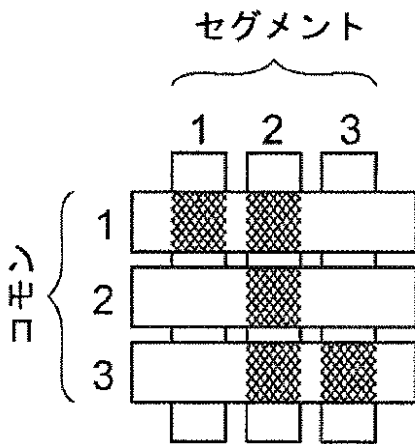


Figure 5A

【 図 3 】

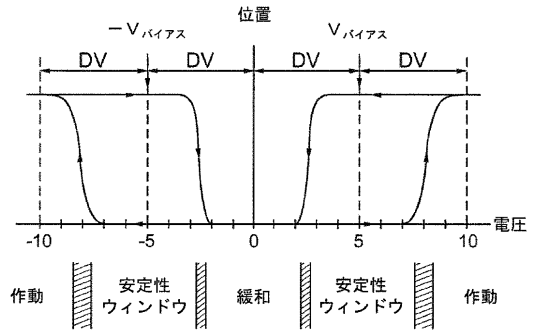


Figure 3

【 図 4 】

セグメント電圧	コモン電圧				
	VCADD_H	VC HOLD_H	VCREL	VC HOLD_L	VCADD_L
VS _H	安定	安定	緩和	安定	作動
VS _L	作動	安定	緩和	安定	安定

Figure 4

【 図 5 B 】

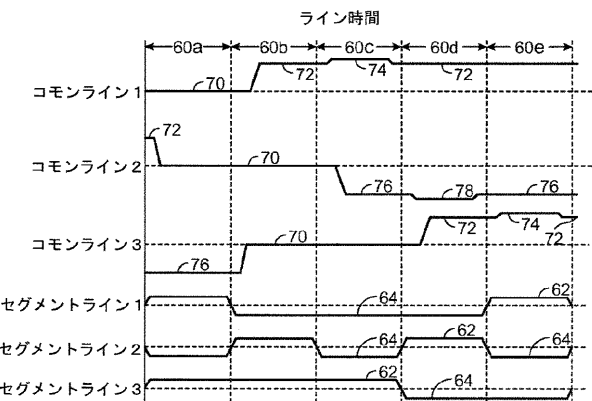


Figure 5B

【 図 6 A 】

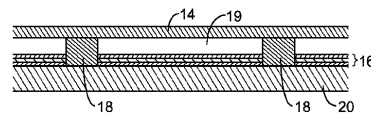


Figure 6A

【 図 6 B 】

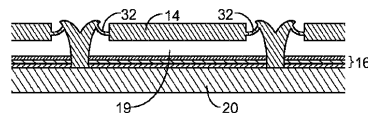


Figure 6B

【図6C】

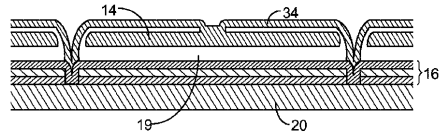


Figure 6C

【図6D】

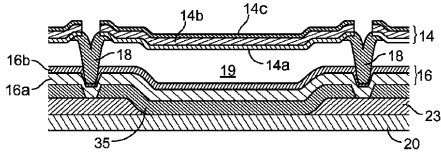


Figure 6D

【図6E】

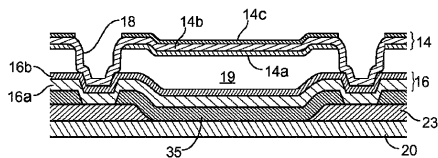


Figure 6E

【図7】

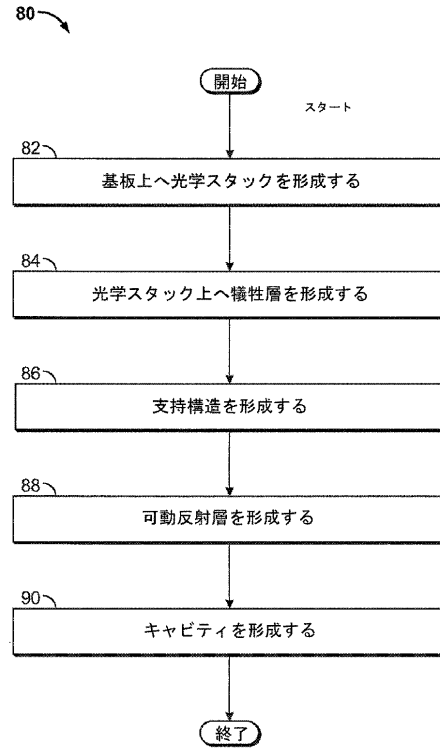


Figure 7

【図8A】

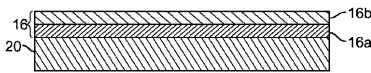


Figure 8A

【図8B】

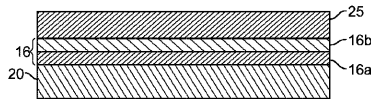


Figure 8B

【図8C】

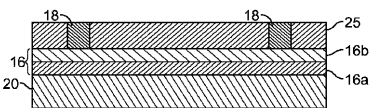


Figure 8C

【図8D】

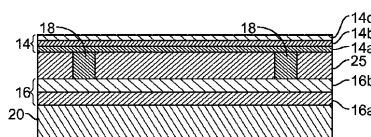


Figure 8D

【図8E】

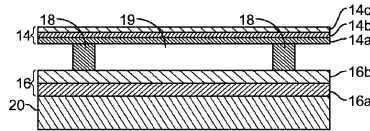


Figure 8E

【図 9】

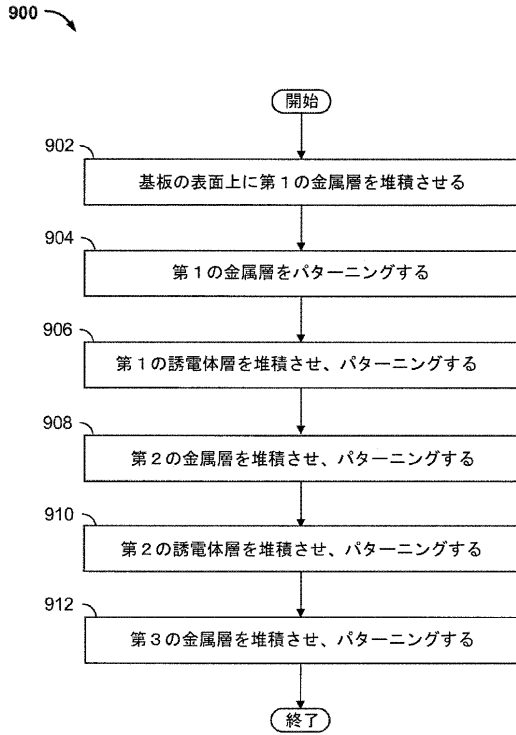


Figure 9

【図 10 A】

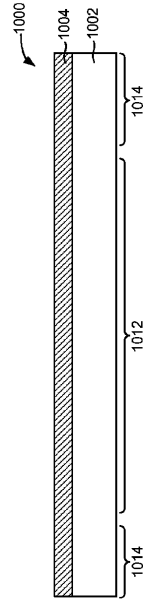


Figure 10A

【図 10 B】

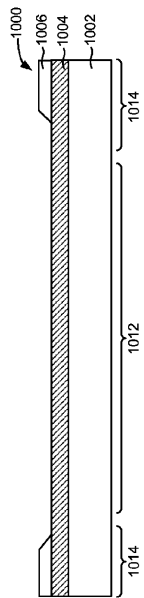


Figure 10B

【図 10 C】

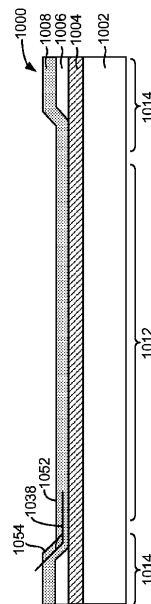


Figure 10C

【 10 D 】

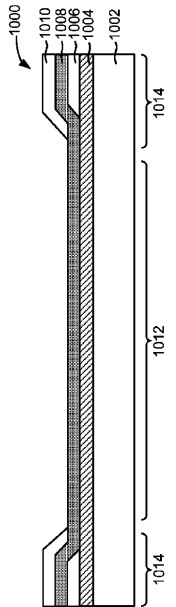


Figure 10D

【 10 E 】

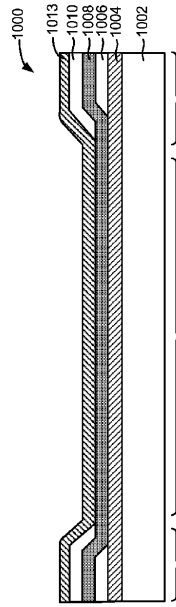


Figure 10E

【 11 A 】

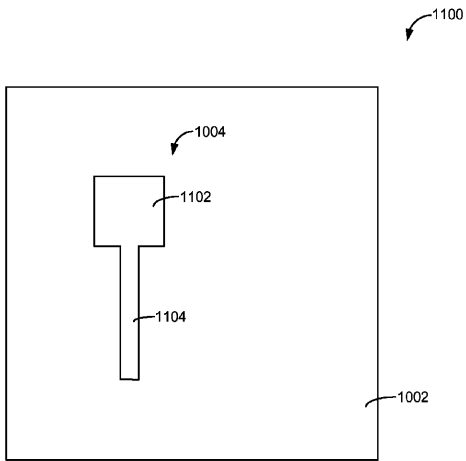


Figure 11A

【 11 B 】

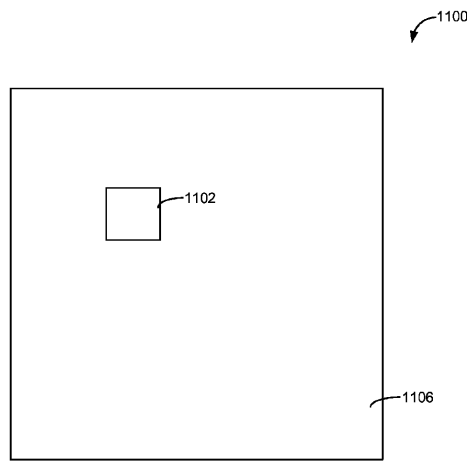


Figure 11B

【図 11 C】

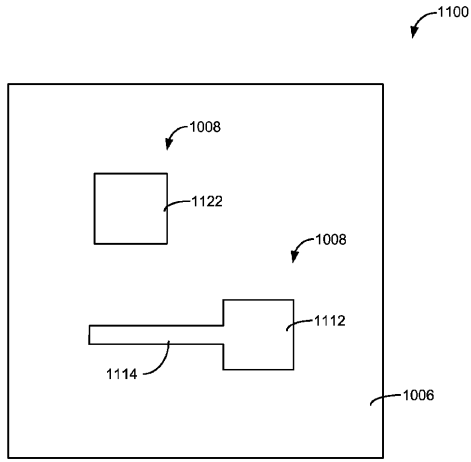


Figure 11C

【図 11 D】

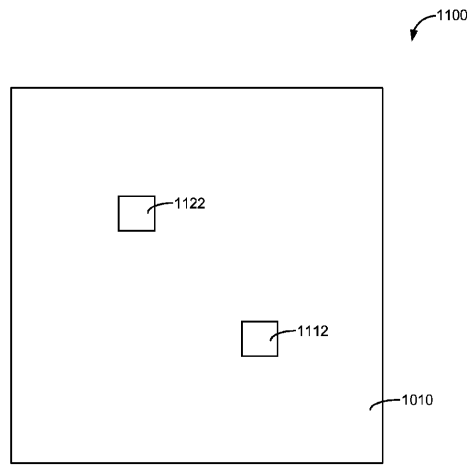


Figure 11D

【図 11 E】

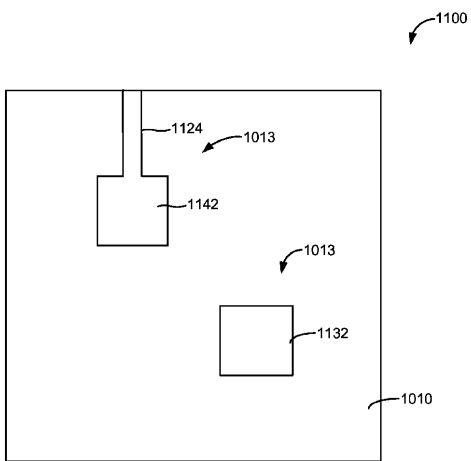


Figure 11E

【図 11 F】

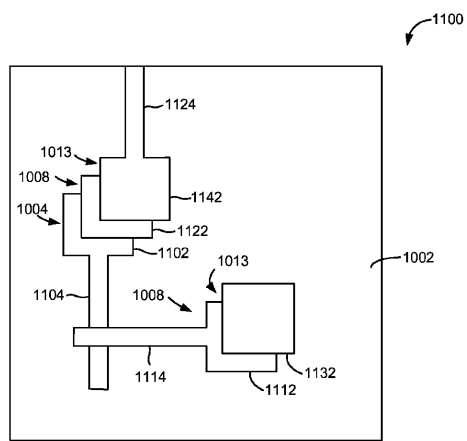


Figure 11F

【 図 1 2 】

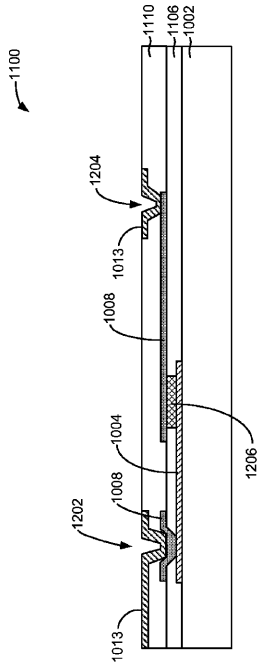


Figure 12

【 図 1 3 A 】

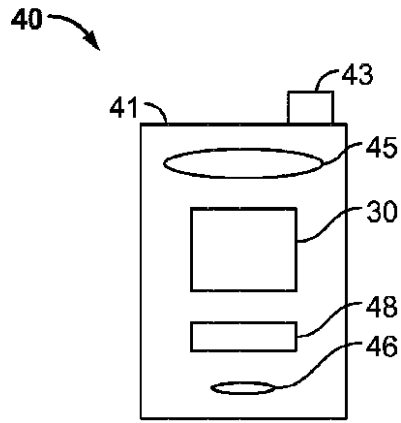


Figure 13A

【 図 1 3 B 】

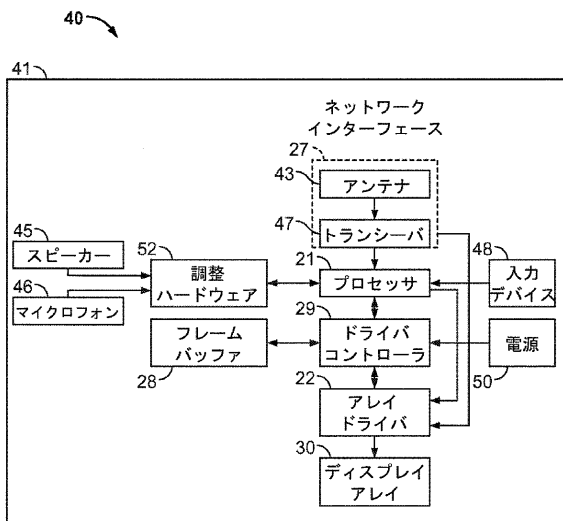


Figure 13B

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2012/060648

A. CLASSIFICATION OF SUBJECT MATTER INV. B81B7/00 B81C1/00 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) B81B B81C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 695 937 A2 (HITACHI LTD [JP]) 30 August 2006 (2006-08-30) paragraph [0089] - paragraph [0097] figures 18-24	1-9, 11-20
A	----- US 2005/067633 A1 (MUSHIKA YOSHIHIRO [JP]) 31 March 2005 (2005-03-31) paragraph [0088] figure 2a -----	1
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 12 March 2013		Date of mailing of the international search report 18/03/2013
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Foussier, Philippe

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2012/060648

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 1695937	A2	30-08-2006	EP 1695937 A2
			30-08-2006
			JP 4724488 B2
			13-07-2011
			JP 2006263902 A
			05-10-2006
			US 2006205106 A1
			14-09-2006
			US 2009049911 A1
			26-02-2009
			US 2009064785 A1
			12-03-2009

US 2005067633	A1	31-03-2005	CN 1603883 A
			06-04-2005
			US 2005067633 A1
			31-03-2005

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

(72)発明者 ヤオリン・パン

アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライヴ・5 7 7
5

(72)発明者 リクシア・ジョウ

アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライヴ・5 7 7
5

Fターム(参考) 2H141 MA04 MA05 MB28 MB56 MB63 MC06 MD02 MD04 MD31 MD38
MG03 MZ03 MZ16 MZ20 MZ26 MZ27 MZ28
3C081 BA28 BA32 BA33 BA44 BA46 BA48 BA53 BA72 CA03 CA14
CA15 CA28 CA29 CA31 DA27 EA08