

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06T 1/60 (2006.01)
G06T 15/00 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200710088591.2

[43] 公开日 2007年9月19日

[11] 公开号 CN 101038664A

[22] 申请日 2007.3.16

[21] 申请号 200710088591.2

[30] 优先权

[32] 2006.3.17 [33] JP [31] 2006-074718

[71] 申请人 索尼株式会社

地址 日本东京

[72] 发明人 渊江孝明

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所
代理人 李德山

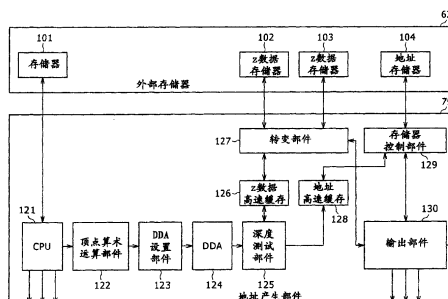
权利要求书 2 页 说明书 24 页 附图 10 页

[54] 发明名称

图像处理设备和图像处理方法

[57] 摘要

本文公开了一种图像处理设备，包括：第一存储装置，用于存储以字为单位的数据；第二存储装置，用于以彼此相关联的关系存储以字为单位的数据、用于管理所述以字为单位的数据的写入和读出的地址信息以及以字为单位地指明是否需要纠正所述数据的纠正标记；以及提供装置，用于读出并向所述第一存储装置提供所述第二存储装置中存储的以字为单位的数据、对应的地址信息和对应的纠正标记，所述第一存储装置参考所述地址信息，将所述纠正标记对应的以字为单位的数据纠正为所述以字为单位的数据。



1. 一种图像处理设备, 包括:

第一存储装置, 用于存储以字为单位的数据;

第二存储装置, 用于以彼此相关联的关系存储以字为单位的数据、用于管理所述以字为单位的数据的写入和读出的地址信息以及以字为单位地指明是否需要纠正所述第一存储装置中存储的数据的纠正标记; 以及

提供装置, 用于读出并向所述第一存储装置提供所述第二存储装置中存储的以字为单位的数据、对应的地址信息和对应的纠正标记;

所述第一存储装置参考从所述提供装置提供的所述地址信息, 将与从所述提供装置提供的纠正标记对应的、以字为单位的数据纠正为所述提供装置提供的以字为单位的数据。

2. 根据权利要求 1 的图像处理设备, 其中, 所述第二存储装置存储指明以字为单位的数据是否将要优先提供给所述第一存储装置的提供信息, 所述提供装置根据所述第二存储装置中存储的提供信息, 从所述第二存储装置中存储的以字为单位的数据中选择将要设定为提供对象的以字为单位的数据, 并且向所述第一存储装置提供设定为提供对象的以字为单位的数据、对应的地址信息和对应的纠正标记。

3. 根据权利要求 2 的图像处理设备, 其中, 所述第二存储装置以与设定为存储对象的以字为单位的数据相关联的关系存储提供信息, 使得当与形成所述以字为单位的数据的以多个字为单位的数据相比较时, 在所述以字为单位的数据之前存储的、形成以字为单位的数据的以多个字为单位的数据被优先存储在所述第一存储装置中。

4. 根据权利要求 1 的图像处理设备, 进一步包括:

产生装置, 用于产生顶点数据, 所述顶点数据是以多边形为单位的关于多边形顶点的数据; 以及

转换装置, 用于将所述顶点数据转换为像素数据, 所述像素数据是关于与所述多边形对应的像素的以像素为单位的数据。

5. 一种图像处理方法，包括：

第一存储步骤，将以字为单位的数据存储在第一存储装置中；

第二存储步骤，以彼此相关联的关系将以字为单位的数据、用于管理所述以字为单位的数据的写入和读出的地址信息以及以字为单位地指明是否需要纠正所述第一存储步骤中存储的数据的纠正标记存储在第二存储装置中；以及

提供步骤，读出并向所述第一存储装置提供所述以字为单位的数据、对应的地址信息和对应的纠正标记，其中，

在所述第一存储步骤参考在所述提供步骤提供的所述地址信息，将与在所述提供步骤提供的纠正标记对应的以字为单位的数据纠正为在所述提供步骤提供的以字为单位的数据。

6. 一种图像处理设备，包括：

第一存储部件，被配置为存储以字为单位的数据；

第二存储部件，被配置为以彼此相关联的关系存储以字为单位的数据、用于管理所述以字为单位的数据的写入和读出的地址信息以及以字为单位地指明是否需要纠正所述第一存储部件中存储的数据的纠正标记；以及

提供部件，被配置为读出并向所述第一存储部件提供所述第二存储部件中存储的以字为单位的数据、对应的地址信息和对应的纠正标记；

所述第一存储部件参考从所述提供部件提供的所述地址信息，将与从所述提供部件提供的纠正标记对应的以字为单位的数据纠正为所述提供部件提供的以字为单位的数据。

图像处理设备和图像处理方法

相关申请的交叉引用

本发明包含的主题内容涉及2006年3月17日在日本专利局提交的JP 2006-074718号日本专利申请，其全部内容在此引用作为参考。

技术领域

一般来说，本发明涉及图像处理设备和图像处理方法，更确切地说，涉及能够节省存储区并且降低功耗和生产成本同时对存储数据的存储器保持访问高效率的图像处理设备和图像处理方法。

背景技术

进行虚拟三维空间中图像变换的现有图像变换装置产生由多边形比如三角形的组合组成的体形模型，并且进行将图像粘贴在该模型的纹理映射以进行该图像的变换。该图像变换装置公开在例如已公开的2002-83316号日本专利中。

以上介绍的这样的图像变换装置为纹理映射产生纹理地址，它以与图像中每个像素对应的多边形为单位表示该像素变换后位置，该像素最后将要输出到将要粘贴在纹理映射中的图像上。然后，每个像素的纹理地址存储在存储器中。

这时，图像变换装置将纹理地址存储在与屏幕上纹理地址对应的像素位置对应的存储器地址中。所以，对每个像素，将为每个多边形产生的纹理地址存储在存储器的随机地址中。换言之，为了存储纹理地址，必须对存储器随机存取。

顺便提一句，作为允许读出和写入的存储器，SRAM（静态随机存取存储器）、SDRAM（同步动态随机存取存储器）等可用。例如，根据成本优于SRAM的SDRAM，使用数据的突发读取/突发写入

(burst reading/burst writing) 改进了存储器访问效率。

所以，在图像变换装置使用 SDRAM 作为存储器存储纹理地址时，为了进行纹理地址的集体写入，写回类型的高速缓存用于进行纹理地址的写入。

在这个实例中，高速缓存首先以高速缓存块（高速缓存线）——高速缓存的存储单位——为单位从 SDRAM 读取 SDRAM 的多个连续地址（包括其中存储着将要成为写入对象的纹理地址的 SDRAM 地址）中已经存储的若干纹理地址。

然后，在与其中存储写入对象的纹理地址的 SDRAM 地址对应的高速缓存块尺寸的区域（后文称为高速缓存块区域）中盖写写入对象的纹理地址。然后，在将要进行高速缓存块收回时，高速缓存将盖写后的高速缓存块区域中的纹理地址集体写入纹理地址对应的 SDRAM 地址中。

然后，高速缓存以高速缓存块为单位从 SDRAM 集体读入 SDRAM 的多个连续地址中存储的纹理地址作为高速缓存块。然后，在高速缓存上更新 SDRAM 的随机地址中存储的纹理地址。通过这样做，纹理地址可以集体地写入 SDRAM。

发明内容

不过，由高速缓存从 SDRAM 读入纹理地址是为了将纹理地址集体地写入 SDRAM，由此读入的纹理地址并不用在实际处理中。换言之，为了将纹理地址集体地写入 SDRAM，图像变换装置不得不无益地访问 SDRAM。所以，图像变换装置无益地使用存储器区。

结果，图像变换装置需要高速访问存储器并且并行地准备多个并列的存储器，这样做提高了功耗和生产成本。

所以，期望提供的图像处理设备和图像处理方法能够节省存储区并且降低功耗和生产成本同时对存储数据的存储器保持访问高效率。

根据本发明的一个实施例，所提供的图像处理设备包括第一存储装置，用于存储以字为单位的数据；第二存储装置，用于以彼此相关

联的关系存储以字为单位的数据、用于管理所述以字为单位的数据的写入和读出的地址信息以及以字为单位地指明是否需要纠正所述第一存储装置中存储的数据的纠正标记；以及提供装置，用于读出并向所述第一存储装置提供所述第二存储装置中存储的以字为单位的数据、对应的地址信息和对应的纠正标记，所述第一存储装置参考从所述提供装置提供的所述地址信息，将与从所述提供装置提供的纠正标记对应的以字为单位的数据纠正为所述提供装置提供的以字为单位的数据。

所述图像处理设备可以被配置为所述第二存储装置存储指明以字为单位的数据是否将要优先提供给所述第一存储装置的提供信息，所述提供装置根据所述第二存储装置中存储的提供信息，从所述第二存储装置中存储的以字为单位的数据中选择将要设定为提供对象的以字为单位的数据，并且向所述第一存储装置提供设定为提供对象的以字为单位的数据、对应的地址信息和对应的纠正标记。

在这个实例中，所述图像处理设备可以被配置为所述第二存储装置以与设定为存储对象的以字为单位的数据相关联的关系存储提供信息，使得当与形成所述以字为单位的数据的以多个字为单位的数据相比较时，在所述以字为单位的数据之前存储的形成以字为单位的数据的以多个字为单位的数据优先存储在所述第一存储装置中。

所述图像处理设备可以进一步包括产生装置，用于产生顶点数据，所述顶点数据是以多边形为单位的关于多边形顶点的的数据；以及转换装置，用于将所述顶点数据转换为像素数据，所述像素数据是关于与所述多边形对应的像素的以像素为单位的数据。

根据本发明的另一个实施例，所提供的图像处理方法包括第一存储步骤，将以字为单位的数据存储在所述第一存储装置中；第二存储步骤，以彼此相关联的关系将以字为单位的数据、用于管理所述以字为单位的数据的写入和读出的地址信息以及以字为单位地指明是否需要纠正所述第一存储步骤中存储的数据的纠正标记存储在第二存储装置中；以及提供步骤，读出并向所述第一存储装置提供所述以字为单位的数

据、对应的地址信息和对应的纠正标记，其中，在所述第一存储步骤参考在所述提供步骤提供的所述地址信息，将在所述提供步骤提供的纠正标记对应的以字为单位的数据纠正为在所述提供步骤提供的以字为单位的数据。

在所述图像处理设备和所述图像处理方法中，将数据以字为单位存储在所述第一存储装置中。另外，以字为单位的数据、用于管理所述以字为单位的数据的写入和读出的地址信息以及以字为单位的指明是否需要纠正所述存储的数据的纠正标记以彼此相关联的关系存储在所述第二存储装置中。然后，以字为单位的数据、对应的地址信息和对应的纠正标记从所述第二存储装置读出并提供给所述第一存储装置。然后，存储进所述第一存储装置后，参考所提供的地址信息，将纠正标记对应的以字为单位的数据纠正为以字为单位的数据。

因此，利用所述图像处理设备和所述图像处理方法能够变换图像。

另外，利用所述图像处理设备和所述图像处理方法能够节省存储器区，能够降低功耗和生产成本，同时对存储数据的存储器保持访问高效率。

附图说明

图 1 是框图，显示了应用了本发明的图像处理系统的配置实例；

图 2 是流程图，展示了图像变换过程；

图 3 是框图，显示了图 1 所示外部存储器和地址产生部件的详细配置实例；

图 4 是流程图，展示了地址产生过程；

图 5 是概略图，展示了图 3 所示地址高速缓存的详细配置实例；

图 6 是概略图，展示了纹理字单位地址的实例；

图 7 是流程图，展示了存储过程；

图 8 是流程图，展示了收回过程；

图 9 是框图，显示了图像处理设备的配置实例；

图 10 是框图，显示了记录和再现装置的配置实例。

具体实施方式

图 1 显示了应用了本发明的图像处理系统 51 的配置实例。

参考图 1，所示的图像处理系统 51 包括数字图像特技效果装置（数字多效装置）（后文简称为 DME）61、外部存储器 62 和另一个外部存储器 63。图像处理系统 51 对输入图像进行缩小、放大、类型改变、旋转、左右翻转、反转或移动，输入图像是以对其输入的场为单位的图像，或者对输入图像应用特技效果以变换输入图像并且输出以帧为单位的图像。特技效果可以是例如，水平方向或垂直方向的马赛克效果、多色调分色法效果、负片/正片反转效果或散焦效果。

应当指出，输入图像是从像素值形成的，这些值表示像素的亮度信号、色差信号和用于键控的关键信号。另外，图像处理系统 51 的若干组件根据外部存储器 63 中存储的程序执行多种过程。

DME 61 是由例如 IC（集成电路）、LSI 形成的。DME 61 包括预处理部件 71、水平滤波器 72、垂直滤波器 73、IP（隔行逐行）转换部件 74、RAM（随机存取存储器）模块 75、插值运算部件 76、加法部件 77、存储器控制部件 78 和地址产生部件 79。

DME 61 接收输入图像，它是将要对其应用纹理映射的图像，以及对其提供的计时信号。输入图像提供给预处理部件 71。计时信号提供给 DME 61 的若干组件，使得这些组件可以响应计时信号执行各个过程。

预处理部件 71 响应从地址产生部件 79 向其提供的指令信号，对输入图像应用特技效果比如马赛克、多色调分色法和正片/负片反转效果。确切地说，预处理部件 71 对形成输入图像的像素中的若干预定像素执行以像素为单位的滤波过程，从而对输入图像应用马赛克效果。另外，预处理部件 71 还改变形成输入图像的像素的像素值灰度级数目从而对输入图像应用多色调分色法。不仅如此，预处理部件 71 还反转变形成输入图像的像素的像素值灰度级从而对输入图像应用正片/负片

反转。预处理部件 71 向水平滤波器 72 提供所获得的以场为单位的图像作为应用特技效果的结果。

水平滤波器 72 接收从地址产生部件 79 向其提供的水平方向缩小比例。然后，为了去除图像缩小时出现的水平方向假频分量，水平滤波器 72 对从预处理部件 71 收到的以场为单位的图像执行所收到的水平方向缩小比例对应的滤波过程。另外，水平滤波器 72 还响应从地址产生部件 79 向其提供的指令信号，对来自预处理部件 71 的以场为单位的图像应用水平方向散焦作为特技效果。水平滤波器 72 通过存储器控制部件 78 向外部存储器 62 提供所获得的以场为单位的图像作为应用水平方向滤波过程或散焦过程的结果，使得该图像存储在外部存储器 62 中。

垂直滤波器 73 接收从地址产生部件 79 向其提供的垂直方向缩小比例。另外，为了去除图像缩小时出现的垂直方向假频分量，垂直滤波器 73 对从外部存储器 62 以垂直方向读出并从存储器控制部件 78 向其提供的以场为单位的图像执行所收到的垂直方向缩小比例对应的滤波过程。另外，垂直滤波器 73 还响应从地址产生部件 79 向其提供的指令信号，对来自存储器控制部件 78 的以场为单位的图像执行垂直方向散焦作为特技效果。垂直滤波器 73 向 IP 转换部件 74 提供所获得的以场为单位的图像作为应用垂直方向滤波过程或散焦过程的结果。垂直滤波器 73 也通过存储器控制部件 78 向外部存储器 62 提供该图像，使得该图像存储在外部存储器 62 中。

IP 转换部件 74 通过参考从垂直滤波器 73 向其提供的以场为单位的图像（隔行图像）之前一个的以场为单位的另一幅图像以及该之前一个图像之前的以场为单位的再一幅图像，对从垂直滤波器 73 提供的图像进行 IP 转换。两幅之前的图像都是从存储器控制部件 78 向 IP 转换部件 74 提供的。IP 转换部件 74 向 RAM 模块 75 提供所获得的以帧为单位的图像（逐行图像）作为 IP 转换的结果。

RAM 模块 75 存储来自 IP 转换部件 74 的以帧为单位的图像。另外，RAM 模块 75 根据从地址产生部件 79 提供的纹理地址的整数部

分，即构成插值运算部件 76 在输入图像上插值运算目标的这些像素（后文称为插值像素）坐标值的水平方向坐标值的整数部分和垂直方向坐标值的整数部分，从组成 RAM 模块 75 已经存储的以帧为单位的图像的像素的像素值中读出将要用于插值的插值像素中不同像素的多个像素值作为像素值组。例如，RAM 模块 75 读出插值像素周围不同像素的 64 个像素值作为像素值组。RAM 模块 75 向插值运算部件 76 提供所读出的像素值组。

应当指出，关于输入图像上的坐标系，组成输入图像的像素坐标值在水平方向和垂直方向都是整数。

插值运算部件 76 根据纹理地址小数部分的数值，即从地址产生部件 79 提供的输入图像上插值像素的坐标的水平方向和垂直方向坐标值小数部分的数值和从 RAM 模块 75 提供的像素值组，执行插值运算以插值出进行纹理映射的插值像素的像素值。插值运算部件 76 通过存储器控制部件 78 向外部存储器 62 提供插值后以帧为单位的图像，以便存储在外部存储器 62 中。

加法部件 77 对从地址产生部件 79 向其提供的每个插值像素使用写入系数而应用阴影。加法部件 77 输出相加后的图像作为变换后的图像。

存储器控制部件 78 控制着外部存储器 62 的写入和读出。确切地说，存储器控制部件 78 向外部存储器 62 提供控制写入外部存储器 62 的控制信号，并且向外部存储器 62 提供从水平滤波器 72、垂直滤波器 73 或插值运算部件 76 提供的图像，使得该图像写入外部存储器 62。

另外，存储器控制部件 78 还向外部存储器 62 提供控制从外部存储器 62 读出图像的控制信号，以便控制从外部存储器 62 的读出。不仅如此，存储器控制部件 78 还向垂直滤波器 73、IP 转换部件 74 和加法部件 77 提供从外部存储器 62 读出的图像作为控制的结果。

地址产生部件 79 响应来自用户的指令，控制着图像处理系统 51 的组件以变换输入图像。另外，地址产生部件 79 还控制着外部存储器 63 的写入和读出。

确切地说,地址产生部件 79 向外部存储器 63 提供处理的中间结果或最终结果,连同控制写入外部存储器 63 的控制信号,以便存储在外部存储器 63 中。另外,地址产生部件 79 还向外部存储器 63 提供控制从外部存储器 63 读出处理的中间结果或最终结果的控制信号,以便控制从外部存储器 63 的读出,从而从外部存储器 63 读出处理的中间结果或最终结果。后文将参考图 3 介绍地址产生部件 79 的细节。

现在参考图 2 介绍由图 1 中图像处理系统 51 执行的变换输入图像的图像变换过程。该图像变换过程开始于例如输入图像输入到图像处理系统 51 之时。

在步骤 S1,预处理部件 71 响应从地址产生部件 79 向其提供的指令信号,对输入图像进行比如马赛克、多色调分色法或正片/负片反转的过程。然后,预处理部件 71 向水平滤波器 72 提供所获得的以场为单位的图像作为该过程的结果,此后处理进至步骤 S2。应当指出,如果没有从地址产生部件 79 提供指令信号,那么处理跳过步骤 S1 至步骤 S2。

在步骤 S2,水平滤波器 72 响应从地址产生部件 79 向其提供的水平方向缩小比例,对来自预处理部件 71 的以场为单位的图像执行水平方向缩小比例对应的滤波过程。另外,水平滤波器 72 还响应从地址产生部件 79 提供的指令信号,对该图像执行水平方向的散焦过程作为特技效果。然后,水平滤波器 72 向存储器控制部件 78 提供所获得的以场为单位的图像作为对图像执行的水平方向滤波过程/散焦过程的结果。

在步骤 S2 的过程之后,处理进至步骤 S3,存储器控制部件 78 在此向外部存储器 62 提供从水平滤波器 72 向其提供的以场为单位的图像,连同控制写入外部存储器 62 的控制信号,以便该图像可以存储在外部存储器 62 中。在步骤 S3 的过程之后,处理进至步骤 S4,存储器控制部件 78 在此向外部存储器 62 提供控制从外部存储器 62 读出图像的控制信号。因此,在步骤 S3 存储的以场为单位的图像从外部存储器 62 以垂直方向读出并提供给垂直滤波器 73。

在步骤 S4 的过程之后，处理进至步骤 S5，垂直滤波器 73 在此响应从地址产生部件 79 提供的垂直方向缩小比例，对从存储器控制部件 78 提供的以场为单位的图像执行垂直方向缩小比例对应的滤波过程。另外，垂直滤波器 73 还响应从地址产生部件 79 提供的指令信号，对以场为单位的图像执行垂直方向的散焦过程作为特技效果。然后，垂直滤波器 73 向 IP 转换部件 74 也向存储器控制部件 78 提供所获得的以场为单位的图像作为对图像执行的滤波过程/散焦过程的结果。

在步骤 S5 的过程之后，处理进至步骤 S6，存储器控制部件 78 在此向外部存储器 62 提供从存储器控制部件 78 提供的以场为单位的图像，连同控制写入外部存储器 62 的控制信号，以便该图像存储在外部存储器 62 中。在步骤 S6 的过程之后，处理进至步骤 S7。在步骤 S7，存储器控制部件 78 向外部存储器 62 提供控制从外部存储器 62 读出图像的控制信号，以便从外部存储器 62 读出所述以场为单位的图像之前一个的由之前一个运算循环中步骤 S6 的过程存储的以场为单位的图像以及之前一个的以场为单位的图像，并且向 IP 转换部件 74 提供所读出的图像。

在步骤 S7 的过程之后，处理进至步骤 S8，IP 转换部件 74 在此参考在步骤 S7 从存储器控制部件 78 向其提供的两幅图像，对在步骤 S5 从垂直滤波器 73 提供的以场为单位的图像进行 IP 转换。然后，IP 转换部件 74 向 RAM 模块 75 提供所获得的以帧为单位的图像作为 IP 转换的结果。

在步骤 S9，RAM 模块 75 存储来自 IP 转换部件 74 的以帧为单位的图像，此后处理进至步骤 S10。

在步骤 S10，RAM 模块 75 根据从地址产生部件 79 提供的纹理地址的整数部分，从组成已经存储的以帧为单位的图像的像素的像素值中读出将要用于插值的插值像素中不同像素的多个像素值作为像素值组。该像素值组提供给插值运算部件 76。

在步骤 S10 的过程之后，处理进至步骤 S11，插值运算部件 76 在此根据从地址产生部件 79 提供的纹理地址小数部分和从 RAM 模块

75 提供的像素值组, 执行插值运算以插值出插值像素的像素值。然后, 插值运算部件 76 向存储器控制部件 78 提供插值后的图像。

在步骤 S11 的过程之后, 处理进至步骤 S12, 存储器控制部件 78 在此向外部存储器 62 提供来自插值运算部件 76 的图像, 连同控制写入外部存储器 62 的控制信号, 以便该图像存储在外部存储器 62 中。在步骤 S12 的过程之后, 处理进至步骤 S13, 存储器控制部件 78 在此向外部存储器 62 提供控制从外部存储器 62 读出图像的控制信号, 以便从外部存储器 62 读出在步骤 S12 存储的图像。随后, 处理进至步骤 S14。

在步骤 S14, 加法部件 77 使用从地址产生部件 79 向其提供的写入系数对图像增加阴影。然后, 加法部件 77 输出相加后的图像作为转换后的图像, 从而结束了处理。

应当指出, 以上介绍的图 2 中图像变换过程的步骤 S1 至 S9 的过程是以插值前的像素为单位执行的, 而步骤 S10 至 S14 的过程是以插值后的像素为单位执行的。

图 3 显示了图 1 所示外部存储器 63 和地址产生部件 79 的详细配置实例。

参考图 3, 所示的外部存储器 63 包括存储器 101、z 数据存储器 102、另一个 z 数据存储器 103 和地址存储器 104。

同时, 地址产生部件 79 包括 CPU (中央处理单元) 121、顶点算术运算部件 122、DDA (数字微分分析器) 设置部件 123、DDA 124 和深度测试部件 125。地址产生部件 79 进一步包括 z 数据高速缓存 126、转变部件 127、地址高速缓存 128、存储器控制部件 129 和输出部件 130。

CPU 121 根据外部存储器 63 的存储器 101 中存储的程序控制着图像处理系统 51 的若干组件。

例如, CPU 121 响应用户的指令, 向预处理部件 71 提供马赛克效果、多色调分色法效果或负片/正片反转效果指令的指令信号。另外, CPU 121 还响应用户的指令, 向水平滤波器 72 提供水平方向散焦指令

的指令信号，或者向垂直滤波器 73 提供垂直方向散焦指令的指令信号。

不仅如此，CPU 121 还响应用户的指令，向水平滤波器 72 提供水平方向缩小比例，并且向垂直滤波器 73 提供垂直方向缩小比例。另外，CPU 121 还响应用户的操作，以多边形为单位以预定的次序产生关于多边形顶点的坐标数据（后文称为顶点数据），这些多边形组成了变换后以帧为单位的图像对应的模型。然后，CPU 121 向顶点算术运算部件 122 提供所产生的顶点数据。

应当指出，多边形数据包括例如模型坐标系上每个顶点的坐标值以及以顶点为单位的数据，比如纹理地址和写入系数。

另外，CPU 121 还控制着存储器 101 的写入和读出。例如，CPU 121 向存储器 101 提供处理的中间结果或最终结果，连同控制写入存储器 101 的控制信号，使得处理的中间结果或最终结果存储在存储器 101 中。另外，CPU 121 还向存储器 101 提供控制从存储器 101 读出的控制信号，以便从存储器 101 读出处理的中间结果或最终结果并执行以上介绍的多种这些过程。

顶点算术运算部件 122 根据从 CPU 121 提供的顶点数据执行顶点算术运算比如模型转换，比如以多边形为单位的在屏幕上投影所用的平行移动、放大或缩小或旋转、剪切和透视投影转换。顶点算术运算部件 122 向 DDA 设置部件 123 提供由顶点算术运算所获得的以多边形为单位的顶点数据。DDA 设置部件 123 根据来自顶点算术运算部件 122 的以多边形为单位的顶点数据，计算 DDA 124 所需的参数，比如由屏幕上位置改变造成的纹理地址变化。DDA 设置部件 123 向 DDA 124 提供以多边形为单位的顶点数据和参数。

DDA 124 根据从 DDA 设置部件 123 提供的参数，将以多边形为单位的顶点数据转换为像素数据。应当指出，像素数据是以像素为单位的数据，包括 z 数据、纹理地址、写入系数和表示输出图像上像素位置的数据（后文称为位置数据）。z 数据表示虚拟视点与屏幕上像素互连的直线跨越平面之点的 z 坐标。另外，在以下的说明中假设纹

理地址是一个字的数据。

DDA 124 向深度测试部件 125 提供由转换所获得的像素数据。深度测试部件 125 使用来自 DDA 124 的像素数据以及在 z 数据高速缓存 126 中存储的、该像素数据对应的像素的像素数据，执行阴影表面擦除过程。

确切地说，深度测试部件 125 向 z 数据高速缓存 126 发出请求，读出所存储的 z 数据，它与以像素为单位的地址（后文称为 z 数据像素单位地址）有相关联关系，该像素与来自 DDA 124 的像素数据中包括的位置数据相关联。然后，深度测试部件 125 响应来自 z 数据高速缓存 126 的请求，采集所读出的 z 数据。

然后，深度测试部件 125 对比该 z 数据与来自 DDA 124 的像素数据中包括的 z 数据，以进行深度测试，决定来自 DDA 124 的像素数据对应的多边形（后文适宜地称为新多边形）是否位于 z 数据高速缓存 126 中已经存储的 z 数据对应的多边形（后文适宜地称为旧多边形）的虚拟视点侧。

深度测试部件 125 响应深度测试的结果，向 z 数据高速缓存 126 提供位于相对旧多边形的虚拟视点侧的新多边形的像素数据中包括的 z 数据和写入系数，连同该像素数据对应的 z 数据像素单位地址。结果，z 数据高速缓存 126 分别将与来自深度测试部件 125 的 z 数据像素单位地址相关联而存储的旧多边形的 z 数据和写入系数更新为新多边形的 z 数据和写入系数。

另外，深度测试部件 125 还向地址高速缓存 128 输出位于相对旧多边形的虚拟视点侧的新多边形的像素数据中包括的纹理地址，连同像素数据中包括的位置数据对应的以像素为单位的地址，即以字为单位的每个纹理地址的地址（后文称为纹理字单位地址）。

z 数据高速缓存 126 利用与 z 数据存储单元 102 或 103 中以高速缓存块为单位的地址（后文称为 z 数据高速缓存块单位地址）相关联的关系，将以高速缓存块为单位的 z 数据和写入系数作为高速缓存块临时存储在高速缓存块区域中，其中在 z 数据存储单元 102 或 103 中存储 z

数据和写入系数。

另外，z 数据高速缓存 126 还根据从深度测试部件 125 提供的 z 数据像素单位地址，从其中已经存储的 z 数据中搜索要求从深度测试部件 125 读出的 z 数据像素单位地址对应的 z 数据。确切地说，z 数据高速缓存 126 搜索的高速缓存块包括与来自深度测试部件 125 的 z 数据像素单位地址对应的 z 数据高速缓存块单位地址有相关联关系的所存储的请求目标的 z 数据，并且将高速缓存块中请求目标的 z 数据确定为搜索结果。

如果搜索到了请求目标的 z 数据，那么 z 数据高速缓存 126 就向深度测试部件 125 提供搜索结果的 z 数据和对应的写入系数。如果未搜索到请求目标的 z 数据，也就是如果包括请求目标的 z 数据的高速缓存块未存储，那么 z 数据高速缓存 126 就连同 z 数据一起向转变部件 127 传送从深度测试部件 125 提供的 z 数据像素单位地址对应的 z 数据高速缓存块单位地址，以请求转变部件 127 读出请求目标的 z 数据和对应的写入系数。因此，从 z 数据存储单元 102 或 103 中以高速缓存块为单位读出 z 数据和写入系数。

z 数据高速缓存 126 进一步响应所述请求，将从转变部件 127 提供的以高速缓存块为单位的 z 数据和写入系数作为高速缓存块临时存储在按所述请求传送到转变部件 127 的 z 数据高速缓存块单位地址有相关联关系的高速缓存块区域中。然后，z 数据高速缓存 126 向深度测试部件 125 提供 z 数据。

另外，z 数据高速缓存 126 还在它没有能够存储的高速缓存块区域时将高速缓存块收回。确切地说，z 数据高速缓存 126 决定成为收回对象的高速缓存块，读出高速缓存块和与高速缓存块相关联的 z 数据高速缓存块单位地址，并且连同收回请求一起向转变部件 127 提供高速缓存块和 z 数据高速缓存块单位地址。

转变部件 127 控制着 z 数据存储单元 102 或 103 的写入和读出。确切地说，转变部件 127 响应 z 数据高速缓存 126 或输出部件 130 的请求，使将要被控制的 z 数据存储单元从外部存储器 63 的 z 数据存储单元

102 和 103 的一个转变为另一个。例如，转变部件 127 响应从 z 数据高速缓存 126 读出的请求，从 z 数据存储单元 102 和 103 的一个读出以来自 z 数据高速缓存 126 的 z 数据高速缓存块单位地址存储的以高速缓存块为单位的 z 数据和写入系数。转变部件 127 向 z 数据高速缓存 126 提供所读出的 z 数据和写入系数。

另外，转变部件 127 还响应 z 数据高速缓存 126 的收回请求，将向其提供的 z 数据和写入系数作为进入从 z 数据高速缓存 126 提供的 z 数据高速缓存块单位地址的高速缓存块存储在 z 数据存储单元 102 和 103 的一个中。

另外，转变部件 127 还响应来自输出部件 130 的请求，从 z 数据存储单元 102 和 103 的另一个读出 z 数据和写入系数并向输出部件 130 提供所述 z 数据和写入系数。随后，转变部件 127 清空 z 数据存储单元 102 和 103 的另一个中存储的所读出的 z 数据和写入系数。

如上所述，z 数据存储单元 102 和 z 数据存储单元 103 的一个存储由深度测试部件 125 进行对比的 z 数据和对应的写入系数，而 z 数据存储单元 102 和 103 的另一个存储深度测试结束后通过输出部件 130 输出的 z 数据和写入系数。

换言之，在每次向深度测试部件 125 提供一帧模型对应的像素数据时，转变部件 127 都进行转变。

地址高速缓存 128 根据来自深度测试部件 125 的纹理字单位地址，在高速缓存块区域中临时存储高速缓存块地址的纹理地址，包括连同纹理字单位地址输出的纹理地址，作为与其中存储高速缓存块的地址存储器 104 中高速缓存块单位的地址（后文称为纹理高速缓存块单位地址）有相关联关系的高速缓存块。

另外，在地址高速缓存 128 没有它能够存储的高速缓存块区域时，地址高速缓存 128 执行高速缓存块的收回。确切地说，地址高速缓存 128 确定收回对象的高速缓存块，读出高速缓存块、与高速缓存块相关联的纹理高速缓存块单位地址等，并且连同收回请求一起向存储器控制部件 129 提供如此读出的纹理高速缓存块单位地址等。

应当指出,后文将参考图 5 至图 8 介绍地址高速缓存 128 的细节。

存储器控制部件 129 控制着可以由 SDRAM 等形成的地址存储器 104 的写入和读出。确切地说,存储器控制部件 129 响应来自地址高速缓存 128 的请求,将以高速缓存块为单位从地址高速缓存 128 提供为高速缓存块的以高速缓存块为单位的纹理地址存储在连同该高速缓存块提供的地址存储器 104 的纹理高速缓存块单位地址中,以纠正地址存储器 104 中存储的纹理地址。

这时,存储器控制部件 129 使用后文介绍的从存储器控制部件 129 提供的以字为单位的纠正标记作为写掩模信号,从而将以高速缓存块为单位的纹理地址存储在地址存储器 104 中,在地址存储器 104 中存储的与以高速缓存块为单位的纹理地址对应的若干纹理地址之间仅仅纠正需要纠正的纹理地址。

另外,存储器控制部件 129 还响应来自输出部件 130 的请求,从地址存储器 104 读出纹理地址并且向输出部件 130 提供所读出的纹理地址。随后,存储器控制部件 129 清空地址存储器 104 中存储的所读出的纹理地址。

输出部件 130 向存储器控制部件 129 发出以像素的次序读出从加法部件 77 输出的变换后像素的 z 数据和写入系数的请求,并且发出读出纹理地址的请求。输出部件 130 从响应所述请求从转变部件 127 向其提供的 z 数据和写入系数之间,向另一个 DME 等输出 z 数据,并且向加法部件 77 提供写入系数。另外,输出部件 130 还响应所述请求向 RAM 模块 75 提供从存储器控制部件 129 向其提供的纹理地址的整数部分,并且向插值运算部件 76 提供纹理地址的小数部分。

现在,参考图 4 介绍产生纹理地址的由地址产生部件 79 进行的地址产生过程。这个地址产生过程开始于例如用户进行模型操作之时。应当指出,对变换后以帧为单位的图像对应的每个模型都执行图 4 的地址产生过程。

在步骤 S31, CPU 121 响应用户的模型操作,以预定次序产生多边形的顶点数据,并且向顶点算术运算部件 122 提供所产生的顶点数

据。所述多边形组成了变换后图像对应的模型。

在步骤 S31 的过程之后，处理进至步骤 S32，顶点算术运算部件 122 在此根据从 CPU 121 提供的顶点数据，对每个多边形执行顶点算术运算。顶点算术运算部件 122 向 DDA 设置部件 123 提供所获得的以多边形为单位的顶点数据作为顶点算术运算的结果。

在步骤 S32 的过程之后，处理进至步骤 S33，DDA 设置部件 123 在此根据来自顶点算术运算部件 122 的以多边形为单位的顶点数据，计算 DDA 124 所需的参数。DDA 设置部件 123 向 DDA 124 提供以多边形为单位的顶点数据和参数。

在步骤 S33 的过程之后，处理进至步骤 S34，DDA 124 在此根据从 DDA 设置部件 123 提供的参数，将以多边形为单位的顶点数据转换为像素数据，并且向深度测试部件 125 提供像素数据。

在步骤 S34 的过程之后，处理进至步骤 S35，深度测试部件 125 在此向 z 数据高速缓存 126 发出请求，读出来自 DDA 124 的像素数据对应的像素的 z 数据。然后，深度测试部件 125 响应该请求，采集所读出的 z 数据。

在步骤 S35 的过程之后，处理进至步骤 S36，深度测试部件 125 在此对比在步骤 S35 采集的 z 数据与来自 DDA 124 的像素数据中包括的 z 数据，以进行深度测试，决定新多边形是否位于相对旧多边形的虚拟视点侧。

在步骤 S36 的过程之后，处理进至步骤 S37，深度测试部件 125 在此决定新多边形是否位于相对旧多边形的虚拟视点侧。

如果在步骤 S37 决定了新多边形位于相对旧多边形的虚拟视点侧，那么深度测试部件 125 就向 z 数据高速缓存 126 提供新多边形对应的像素数据中包括的 z 数据和写入系数，以及 z 数据像素单位地址。另外，深度测试部件 125 还向地址高速缓存 128 提供纹理地址和纹理字单位地址。

随后在步骤 S38，z 数据高速缓存 126 利用与 z 数据像素单位地址的相关联关系，存储来自深度测试部件 125 的 z 数据和写入系数，

以便以新多边形的 z 数据和写入系数更新旧多边形的 z 数据和写入系数。

在步骤 S38 的过程之后，处理进至步骤 S39，地址高速缓存 128 在此利用与纹理字单位地址的相关联关系，存储纹理地址。

如果在步骤 S37 决定了新多边形不位于相对旧多边形的虚拟视点侧，也就是如果旧多边形位于相对新多边形的虚拟视点侧，或者在步骤 S39 的过程之后，处理进至步骤 S40。在步骤 S40，深度测试部件 125 决定是否已经对一帧模型对应的、从 DDA 124 提供的全部 z 数据进行了深度测试。如果决定了尚未对全部 z 数据进行深度测试，那么处理返回步骤 S35，类似地执行以步骤 S35 开始的过程步骤。

另一方面，如果在步骤 S40 决定了已经对全部 z 数据进行了深度测试，那么处理进至步骤 S41，z 数据高速缓存 126 和地址高速缓存 128 在此执行高速缓存块的收回。

确切地说，z 数据高速缓存 126 通过转变部件 127 向 z 数据存储单元 102 或 103 提供高速缓存块区域中存储的高速缓存块以及与高速缓存块有相关联关系的所存储的 z 数据高速缓存块单位地址。

应当指出，这时 z 数据高速缓存 126 可以对全部高速缓存块区域中存储的高速缓存块执行收回，也可以对已经执行了更新的高速缓存块执行收回。

另外，地址高速缓存 128 也执行后文介绍的图 8 的收回过程，其中全部高速缓存块都成为收回对象。

在图 4 的地址产生过程之后，输出部件 130 以像素从加法部件 77 输出的次序，从转变部件 127 采集像素的 z 数据和写入系数。然后，输出部件 130 向另一个 DME 等输出 z 数据，并且向加法部件 77 提供写入系数。另外，输出部件 130 还从存储器控制部件 129 采集像素的纹理地址并向 RAM 模块 75 提供纹理地址的整数部分，同时向插值运算部件 76 提供纹理地址的小数部分。

图 5 显示了地址高速缓存 128 的详细配置实例。

图 5 的地址高速缓存 128 是双向设置相关联映射类型的高速缓

存，并且包括 141 和 142 两个阵列以及控制部件 143。

阵列 141 包括高速缓存块地址阵列 151 和高速缓存块阵列 161，而阵列 142 包括高速缓存块地址阵列 152 和高速缓存块阵列 162。

高速缓存块地址阵列 151 包括许多条高速缓存块信息 151A，数目等于高速缓存块区域 161A，它们组成了高速缓存块阵列 161。高速缓存块信息 151A 包括入口号、地址信息以及以字为单位的纠正标记以及收回控制信息。入口号是应用于每个高速缓存块区域 161A（它们组成了高速缓存块阵列 161）的号码并对应于高速缓存块区域 161A。

在图 5 的实例中，高速缓存块阵列 161 包括 64 个高速缓存块区域 161A，对其中每一个都应用从 0（“000000”）至 63（“111111”）的数字之一。所以，入口号是 0 至 63 之一。

地址信息是纹理高速缓存块单位地址的信息，该地址中存储应用了对应的入口号 151A 的高速缓存块区域 161A 中存储的以高速缓存块为单位的纹理地址。

以字为单位的纠正标记以字为单位表示对应的高速缓存块区域 161A 中存储的以字为单位的纹理地址是不是纠正该纹理地址对应的、地址存储器 104 中存储的纹理地址的必需数据。

收回控制信息表示从对应的高速缓存块区域 161A 收回高速缓存块优选情况下是否应当对于高速缓存块阵列 162 的高速缓存块区域 162A 执行，对其应用的入口号与对高速缓存块区域 161A 应用的入口号相同。

高速缓存块阵列 161 包括 64 个高速缓存块区域 161A，对其中每一个都应用从 0 至 63 的入口号之一。高速缓存块区域 161A 中的每一个都存储 16 字的纹理地址，它们形成了高速缓存块，即 16 个像素的像素数据中包括的纹理地址作为高速缓存块。

如上所述，阵列 141 使用入口号使高速缓存块地址阵列 151 的若干条高速缓存块信息 151A 与高速缓存块阵列 161 的高速缓存块区域 161A 中存储的高速缓存块数据彼此相关联。

应当指出，由于阵列 142 的形式类似于阵列 141，所以为了避免

赞言此处省略了其说明。不过，在图 5 的实例中，存储了与阵列 142 的高速缓存块地址阵列 152 的入口号“000011”有相关联关系的地址信息“0001 0011 1100 10”。

从深度测试部件 125 向控制部件 143 提供纹理地址和纹理字单位地址。控制部件 143 根据纹理字单位地址，将纹理地址存储在高速缓存块阵列 161 或 162 中。另外，如果控制部件 143 还在已经存储的另一个纹理地址存储在能够存储来自深度测试部件 125 的纹理地址的高速缓存块区域 161A 和 162A，执行高速缓存块的收回。

应当指出，在以下的说明中，在不彼此识别阵列 141 和 142 时，它们一并称为阵列 140，在不彼此识别高速缓存块地址阵列 151 和 152 时，它们一并称为高速缓存块地址阵列 150。另外，在不彼此识别高速缓存块信息 151A 和 152A 时，它们一并称为高速缓存块信息 150A，在不彼此识别高速缓存块阵列 161 和 162 时，它们一并称为高速缓存块阵列 160。

另外，在不彼此识别高速缓存块区域 161A 和 162A 时，它们一并称为高速缓存块区域 160A。

图 6 展示了从深度测试部件 125 向地址高速缓存 128 提供的纹理字单位地址的实例。

图 6 的第一层展示了以十六进制记数法表示的纹理字单位地址，第二层展示了以二进制记数法表示的纹理字单位地址。确切地说，图 6 中的纹理字单位地址由十六进制数字表示时，它是“13C834”，可是由二进制数字表示时，它却是“0001 0011 1100 1000 0011 0100”。

图 6 的 24 位纹理字单位地址是由 14 位的地址信息、6 位的入口号和 4 位的偏移量形成的，从最高位依次放置。注意，偏移量是表示纹理地址中从高速缓存块区域 160A 的顶部起哪个编号的字应当存储的信息。

从深度测试部件 125 向图 5 所示的控制部件 143 提供图 6 中展示的纹理字单位地址时，控制部件 143 从纹理字单位地址的高 14 位的地址信息“0001 0011 1100 10”和 6 位的入口号“000011”决定是否与

高速缓存块地址阵列 150 的入口号“000011”有相关联关系地存储地址信息“0001 0011 1100 10”。

由于与高速缓存块地址阵列 152 中的入口号“000011”有相关联关系地存储地址信息“0001 0011 1100 10”，来自深度测试部件 125 的纹理地址存储在对其应用了入口号“000011”的、从高速缓存块阵列 162 的高速缓存块区域 162A 的顶部起由偏移量“0100”表示的第 8 个字中。

现在参考图 7 介绍由地址高速缓存 128 存储纹理地址的存储过程。这个存储过程对应于图 4 中展示的步骤 S39。

在步骤 S51，控制部件 143 决定两个高速缓存块阵列 160 的高速缓存块区域 160A 之一是否遇到从深度测试部件 125 提供的纹理字单位地址对应的高速缓存块区域。确切地说，控制部件 143 决定纹理字单位地址中包括的地址信息是否包括在高速缓存块地址阵列 150 和 151 之一的纹理字单位地址（图 6）中包括的入口对应的高速缓存块信息 150A 中。

如果在步骤 S51 决定了高速缓存块区域 160A 的任何一个未遇到，那么处理进至步骤 S52，控制部件 143 在此执行收回高速缓存块的收回过程。后文将参考图 8 介绍收回过程的细节。

在步骤 S52 的过程之后，处理进至步骤 S53，控制部件 143 在此将来自深度测试部件 125 的纹理字单位地址中包括的地址信息存储为确定为收回对象的高速缓存块区域 160A 对应的高速缓存块信息 150A 的地址信息。

如果在步骤 S51 决定了高速缓存块区域 160A 之一遇到了，或者在步骤 S53 的过程之后，处理进至步骤 S54。在步骤 S54，控制部件 143 将纹理地址存储在从收回对象的高速缓存块区域 160A 的顶部起由来自深度测试部件 125 的纹理字单位地址中包括的偏移量表示的序数字中。

在步骤 S54 的过程之后，处理进至步骤 S55，控制部件 143 在此将在步骤 S52 将纹理地址存储其中的、收回对象的高速缓存块区域

160A 对应的高速缓存块信息 150A (即包括步骤 S53 存储的地址信息的高速缓存块信息 150A) 的字的序号对应的以字为单位的纠正标记设置为“1”，它表示纠正标记是即将纠正的必需数据。

在步骤 S55 的过程之后，处理进至步骤 S56，控制部件 143 在此更新所述收回对象的高速缓存块区域 160A 对应的高速缓存块信息 150A 和另一个高速缓存块地址阵列 150 中存储的而且包括的入口号与所述高速缓存块信息 150A 中包括的入口号相同的高速缓存块信息 150A 中包括的两条收回控制信息。

例如，控制部件 143 从两条收回控制信息之间，将所述高速缓存块信息 150A 中包括的那条收回控制信息连同在步骤 S55 设置的以字为单位的纠正标记更新为表示优选情况下该信息不应当去除的信息。另外，控制部件 143 还将另一条收回控制信息更新为表示优选情况下该信息应当去除的信息。

因此，优选情况下能够进行从对其应用了相同入口号的高速缓存块区域 160A 之间收回其中存储最旧纹理地址的高速缓存块区域 160A。换言之，在从深度测试部件 125 提供的高速缓存块包括纹理存储器时，优选情况下向地址存储器 104 提供的另一个高速缓存块包括所述纹理存储器之前存储的另一个纹理存储器。

现在参考图 8 介绍图 7 的步骤 S52 处的收回过程。

在步骤 S71，控制部件 143 根据高速缓存块信息 150A 中包括的两条收回控制信息连同与从深度测试部件 125 提供的纹理字单位地址中包括的入口号相同的入口号，选择表示从两条收回控制信息之间的优选收回的收回控制信息对应的高速缓存块区域 160A 中存储的高速缓存块作为收回对象的高速缓存块。然后，处理进至步骤 S72。

在步骤 S72，控制部件 143 决定收回对象的高速缓存块对应的以字为单位的纠正标记是否全都为“0”。如果决定了并非全部纠正标记都为“0”，那么处理进至步骤 S73。

在步骤 S73，控制部件 143 读出收回对象的高速缓存块，并且读出对应的高速缓存块信息 151A 中包括的地址信息表示的纹理高速缓

存块单位地址和以字为单位的纠正标记。然后，控制部件 143 通过存储器控制部件 129 向地址存储器 104 提供纹理地址和纹理高速缓存块单位地址。另外，控制部件 143 还通过存储器控制部件 129 向地址存储器 104 提供纹理高速缓存块单位地址作为写掩模信号。

随后，存储器控制部件 129 使用来自控制部件 143 的写掩模信号，将从控制部件 143 提供的 16 字的纹理地址存储在地址存储器 104 的纹理高速缓存块单位地址中。因此，地址存储器 104 能够从地址存储器 104 存储的纹理地址之间，将纠正标记的“1”对应的任何纹理地址纠正为组成所述纹理地址对应的从控制部件 143 提供的 16 字的纹理地址的纹理地址。

如果在步骤 S72 决定了全部以字为单位的纠正标记都为“0”，或者在步骤 S73 的过程之后，处理返回图 7 的步骤 S52，然后执行以步骤 S53 开始的过程步骤。

如上所述，由于控制部件 143 存储了以字为单位的纠正标记，如果连同 16 字的纹理地址一起将纠正标记传送为写掩模信号，那么地址存储器 104 就能够从 16 字的纹理地址之内仅仅纠正需要纠正之字的纹理地址。

结果，为了向地址存储器 104 进行集体写入，地址高速缓存 128 不必在地址高速缓存 128 上纠正地址存储器 104 中存储的纹理地址。所以，不必进行无谓的读入，以便保持访问效率，并且能够节省存储器区。因此，能够降低功耗和生产成本。

现在参考图 9 介绍其中加入了图 1 所示 DME 61 的个人计算机形式的信息处理装置 250 的实例。

信息处理装置 250 包括 CPU 251 和 DME 61，它们根据 ROM（只读存储器）252 中存储的或记录部件 258 中记录的程序，执行多种过程。由 CPU 251 执行的程序、由 CPU 251 使用的数据等适宜地存储在 RAM（随机存取存储器）253 中。DME 61、CPU 251、ROM 252 和 RAM 253 由总线 254 彼此连接。

输入/输出接口 255 也通过总线 254 连接到 CPU 251。包括键盘、

鼠标、话筒、接收从未显示的远程控制器传送的指令的接收部件等的输入部件 256 以及包括显示单元、扬声器等的输出部件 257 连接到输入/输出接口 255。CPU 251 响应从输入部件 256 输入的指令，执行多种过程。然后，CPU 251 向输出部件 257 输出这些过程的结果。

例如，CPU 251 响应从输入部件 256 输入的指令，控制 DME 61 执行输入图像的缩小、放大、类型改变、旋转、左右翻转、反转或移动或者对输入图像应用特技效果。然后，CPU 251 控制输出部件 257 根据从 DME 61 输出的变换后图像显示图像。

连接到输入/输出接口 255 的记录部件 258 包括例如硬盘，并且存储将要由 CPU 251 执行的程序和多种数据。通讯部件 259 通过网络比如因特网或局域网与外部装置通讯。应当指出，记录部件 258 中记录的程序可以通过通讯部件 259 获取。

连接到输入/输出接口 255 的驱动器 260 驱动可拆卸的介质 261，比如磁盘、光盘、磁光盘或半导体存储器时，它驱动着可拆卸的介质 261 获取可拆卸的介质 261 上记录程序或数据。时机需要时，所获取的程序或数据传递到记录部件 258 并由其记录。

现在参考图 10 介绍其中加入了图 1 所示 DME 61 的记录和再现装置 300 的实例。

记录和再现装置 300 包括 CPU 301 和 DME 61，它们根据 ROM 306 中存储的或记录部件 305 中记录的程序，执行多种过程。由 CPU 301 执行的程序、由 CPU 301 使用的数据等适宜地存储在 RAM 307 中。DME 61、CPU 301、ROM 306 和 RAM 307 由总线彼此连接。

输入 I/F (接口) 309 和输出控制部件 310 也通过该总线连接到 CPU 301。输入部件 308 连接到输入 I/F 309 并包括键盘、鼠标、话筒、接收从未显示的远程控制器等传送的指令的接收部件、拾取图像拾取目标的图像拾取部件等。同时，输出部件 311 连接到输出控制部件 310 并包括显示单元、扬声器等。CPU 301 响应从输入部件 308 通过输入 I/F 309 向其输入的指令，执行多种过程。CPU 301 通过输出控制部件 310 向输出部件 311 输出这些过程的结果。

例如，CPU 301 响应从输入部件 308 向其输入的指令，执行输入图像的缩小、放大、类型改变、旋转、左右翻转、反转或移动或者对输入图像应用特技效果。另外，CPU 301 还控制输出部件 311 根据从 DME 61 输出的图像显示出通过输出控制部件 310 的显示。

另外，编码/解码电路 302 以及记录和再现控制部件 304 也通过该总线连接到 CPU 301。编码/解码电路 302 在 CPU 301 的控制下，在时机需要时将例如由输入部件 308 所获得的图像作为图像拾取的结果保留在缓冲区存储器 303 中，并且根据预定的编码系统比如 JPEG（联合图象专家组）或 MPEG（运动图象专家组）系统对该图像进行编码。然后，编码/解码电路 302 将所获得的图像作为编码结果通过记录和再现控制部件 304 记录在记录部件 305 中。

记录和再现控制部件 304 在 CPU 301 的控制下，控制着记录部件 305 的记录和再现。确切地说，记录和再现控制部件 304 控制着记录部件 305 记录从编码/解码电路 302 提供的图像，并且向编码/解码电路 302 提供从记录部件 305 读出的图像。编码/解码电路 302 在 CPU 301 的控制下，对来自记录和再现控制部件 304 的图像进行解码，并且将所获得的图像作为解码结果提供给 DME 61 例如作为输入图像。

本发明可以应用于例如 GPU（图形处理单元）。

应当指出，在本说明书中，描述程序记录介质中记录的程序的步骤可以但是不一定以所描述的次序的时间序列处理，并且包括没有在时间序列中处理的、并行或分别执行的若干过程。

另外，在本说明书中，术语“系统”用于表示多台设备或装置组成的整个装置。

虽然已经使用特定术语介绍了本发明的优选实施例，但是这样的说明仅仅是为了展示的目的，应当理解，可以做出若干改变和变化而不脱离以下权利要求书的实质和范围。

图1

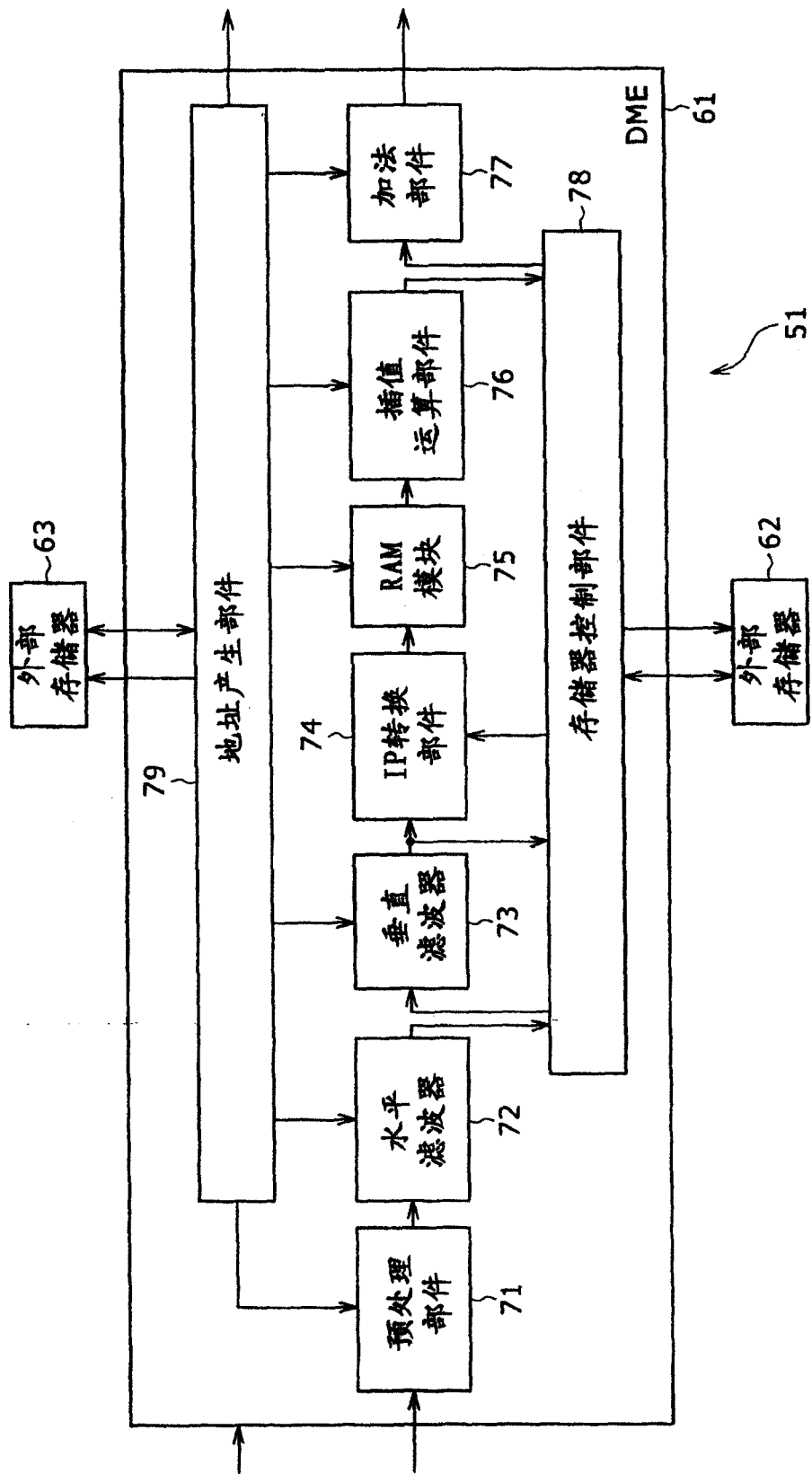


图2

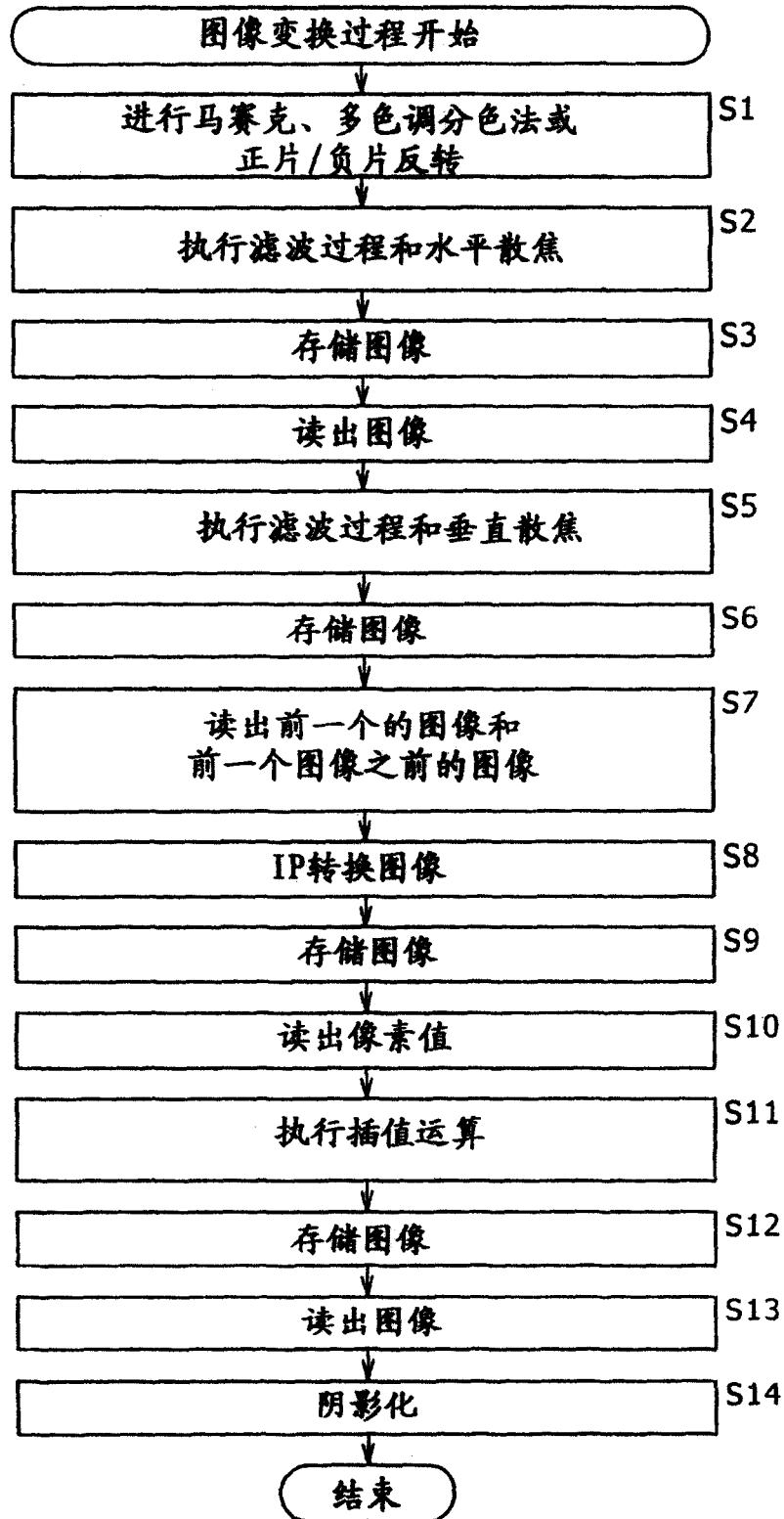


图3

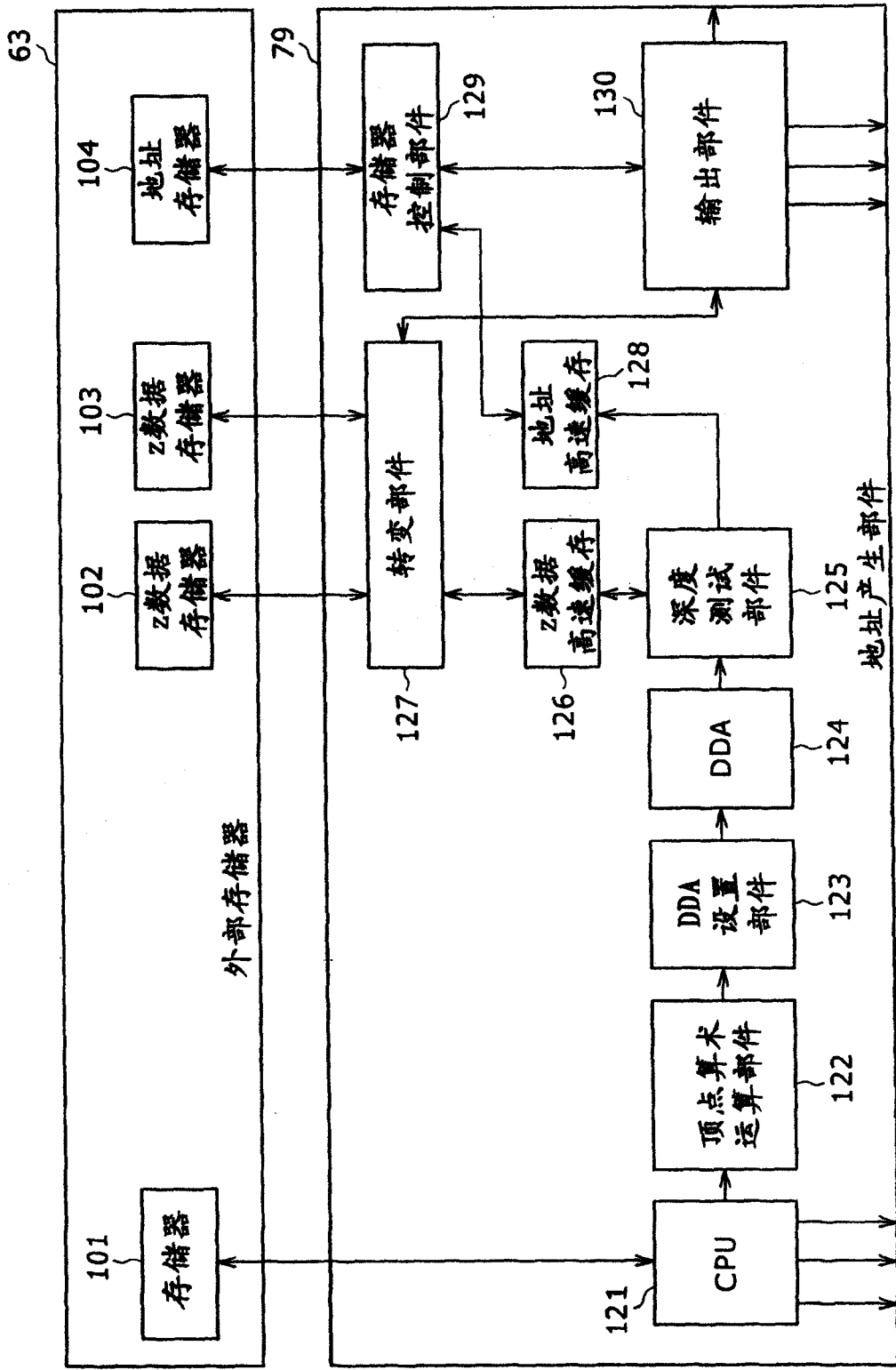


图4

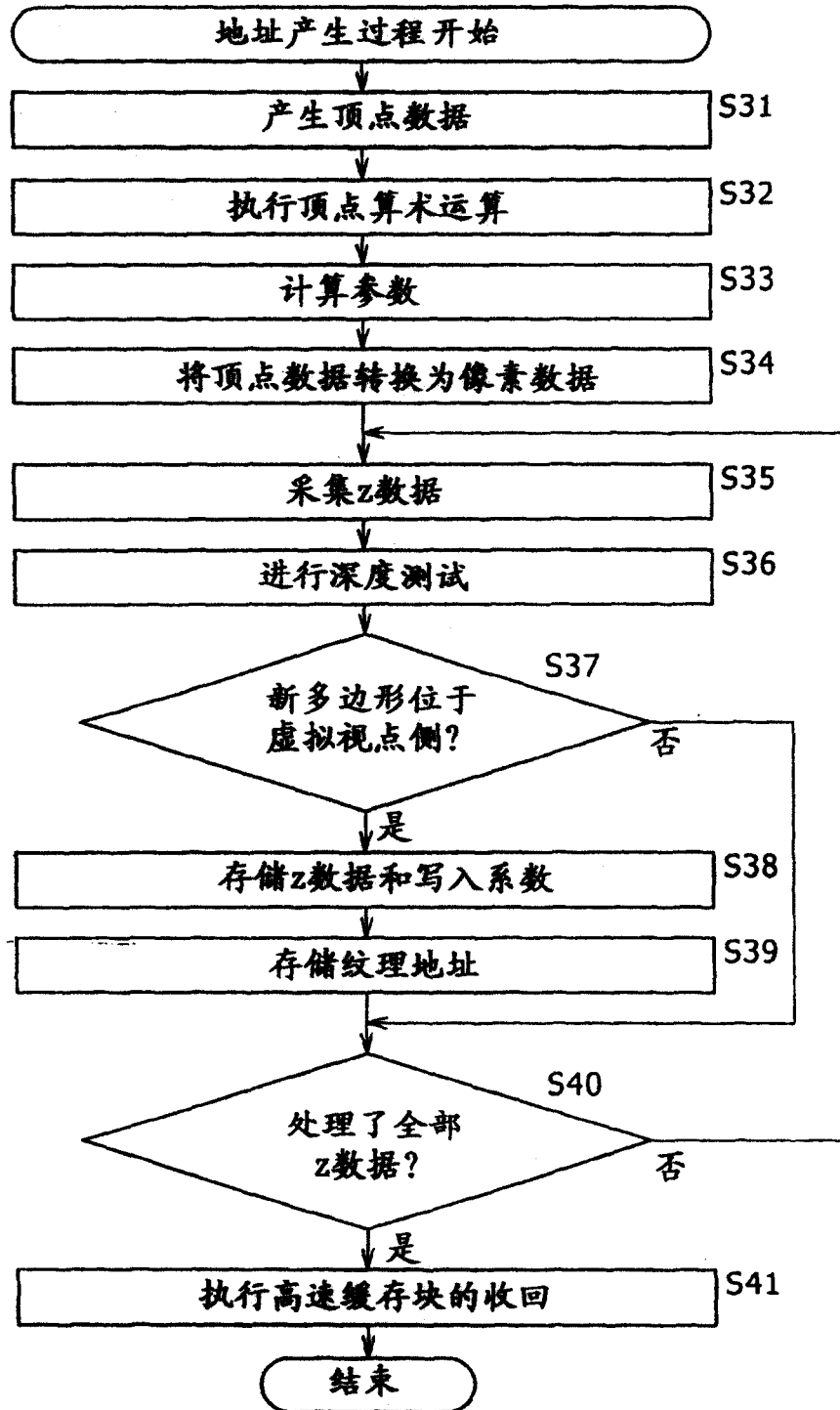


图5

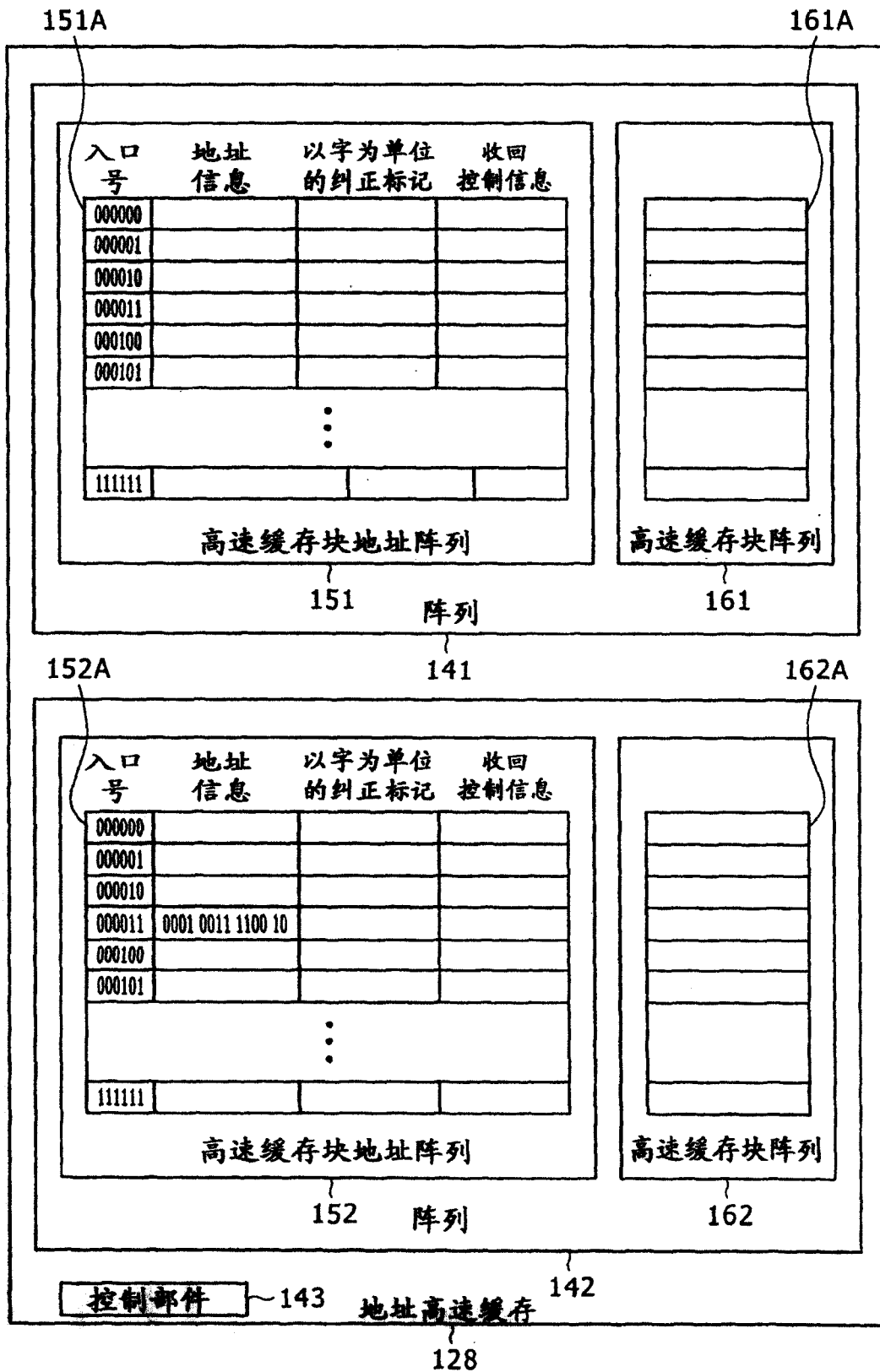


图6

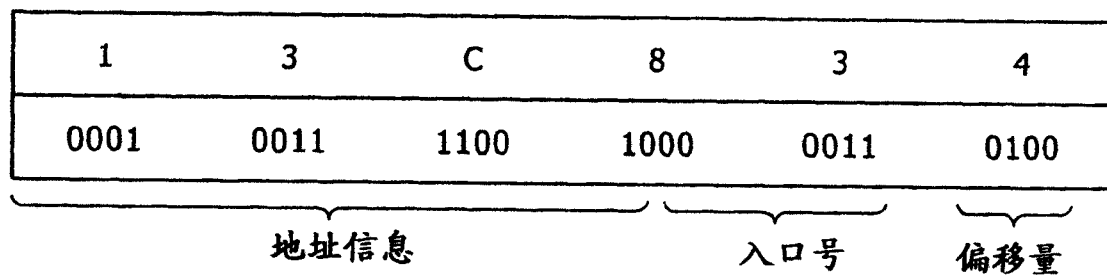


图7

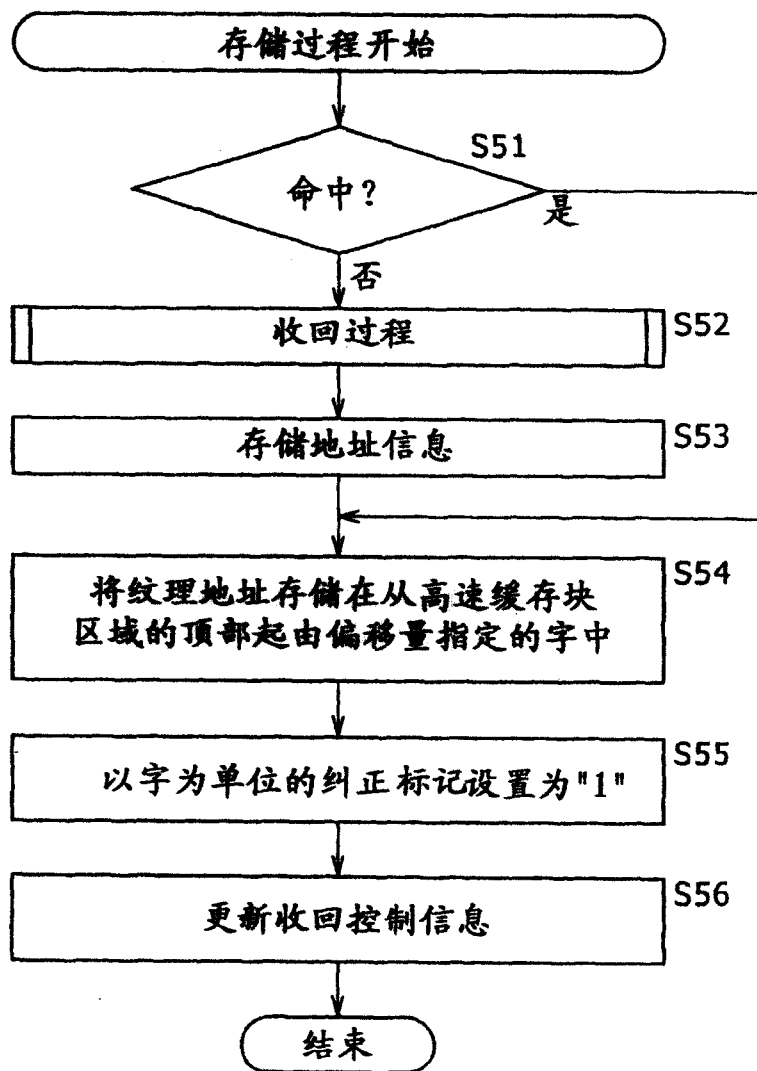


图8

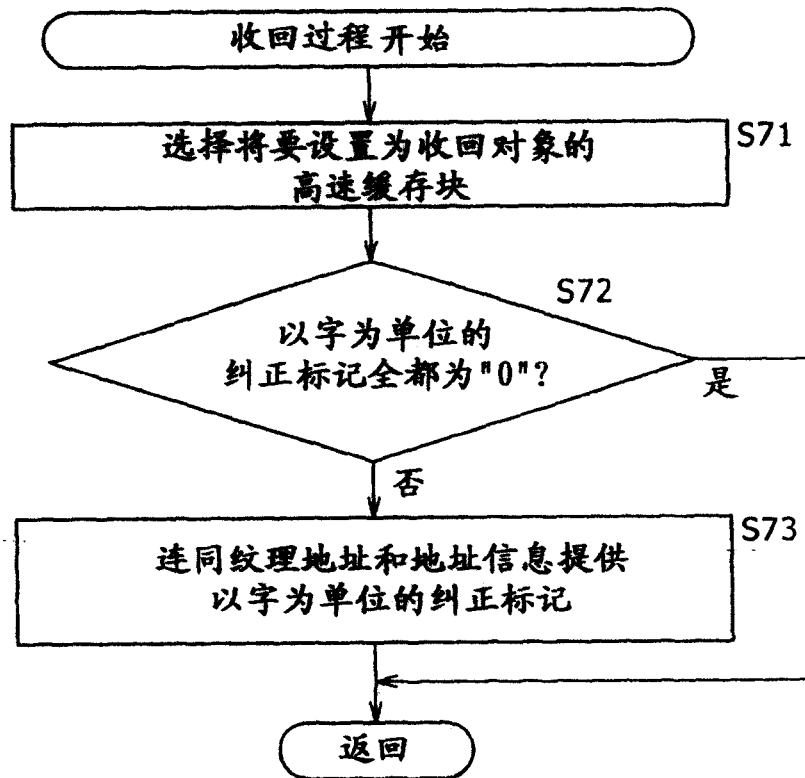


图9

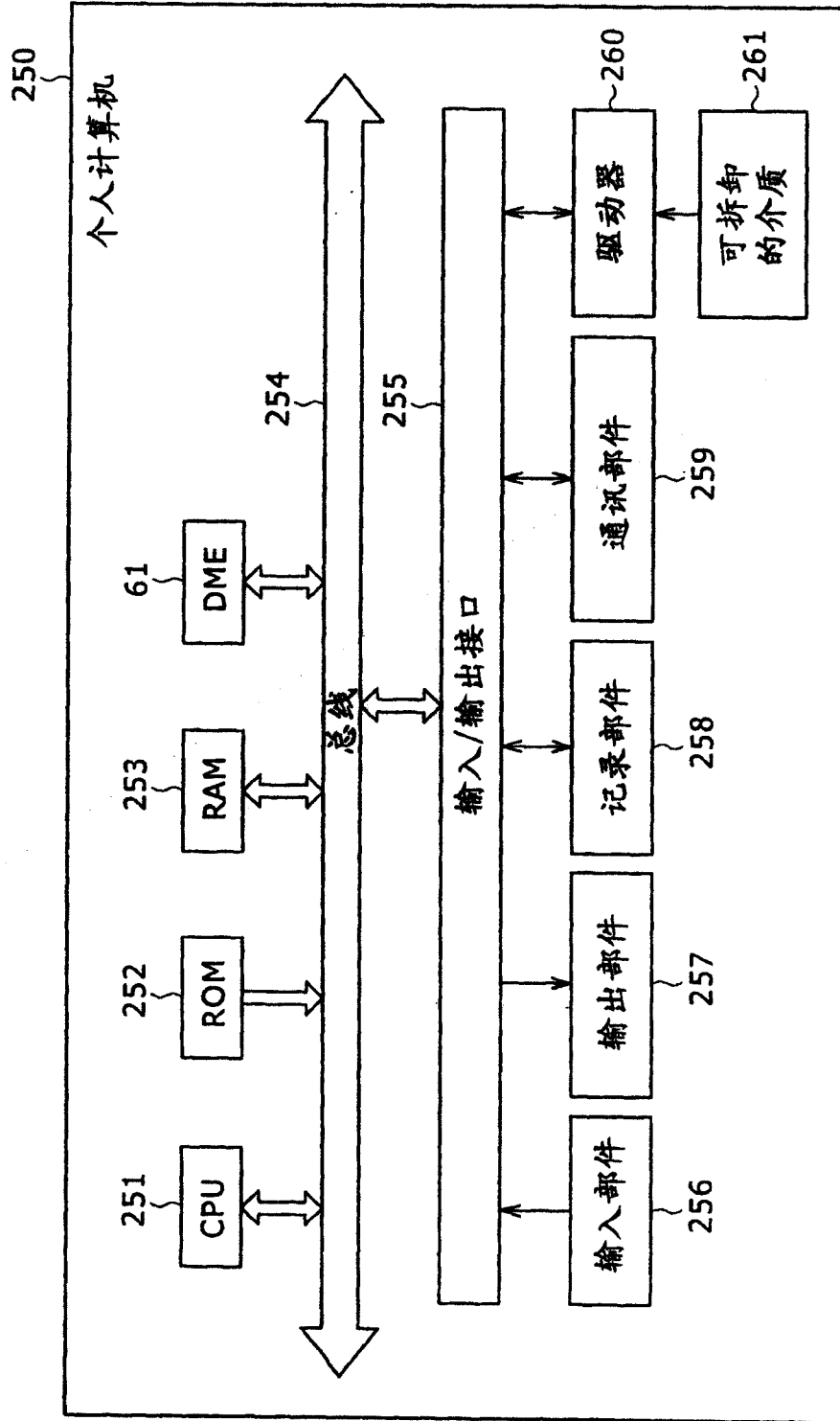


图10

