



(12) 发明专利

(10) 授权公告号 CN 103178782 B

(45) 授权公告日 2016.08.03

(21) 申请号 201110431637.2

樊秀云. 基于 DDS 的扫频信号发生器. 《山西电子技术》. 2002, (第 5 期),

(22) 申请日 2011.12.21

审查员 王青

(73) 专利权人 北京普源精电科技有限公司
地址 102206 北京市昌平区沙河镇踩河村 156 号

(72) 发明人 丁新宇 王悦 王铁军 李维森

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 田野

(51) Int. Cl.

H03B 23/00(2006.01)

(56) 对比文件

- CN 101776935 A, 2010.07.14,
- CN 101867371 A, 2010.10.20,
- CN 101807089 A, 2010.08.18,
- US 2005134330 A1, 2005.06.23,

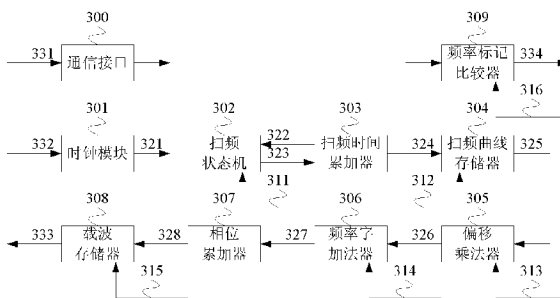
权利要求书1页 说明书5页 附图4页

(54) 发明名称

一种扫频信号发生器

(57) 摘要

本发明提供一种扫频信号发生器,该扫频信号发生器包括处理器、存储器、用户接口模块、时钟电路、数模转换模块、模拟电路模块以及 FPGA 芯片,该 FPGA 芯片包括:扫频状态机,可以提供不同的扫频状态;偏移乘法器,与所述扫频曲线存储器相连接,通过计算获得扫频频率字的增量部分;相位累加器,用于对载波的频率字累加,并将累加结果输出;频率标记比较器,用于产生频率标记信号。本发明实施例提供的一种扫频信号产生器,采用 FPGA 作为核心部件产生扫频信号,实现方案更为合理,软件负担小、响应快,耗用 FPGA 的资源少;同时,增加一些符合市场需要的功能,扫频模式更为丰富。



1. 一种扫频信号发生器,该扫频信号发生器包括处理器、存储器、用户接口模块、时钟电路、数模转换模块、模拟电路模块以及FPGA芯片,其特征在于,该FPGA芯片包括:

通信接口模块,与所述处理器相连接,用于接收处理器的指令;

时钟模块,与所述时钟电路相连接,用于提供工作时钟;

扫频状态机,用于提供不同的扫频状态;

扫频时间累加器,与所述扫频状态机相连接,用于给所述扫频状态机反馈时间完成的标记信号,并产生读地址输出;

扫频曲线存储器,与所述扫频状态机相连接,用于存储所述扫频状态机确定的扫频曲线,并根据所述扫频时间累加器产生的读地址读取扫频曲线样点;

偏移乘法器,与所述扫频曲线存储器相连接,通过计算获得扫频频率字的增量部分;

频率字加法器,与所述偏移乘法器相连接,用于将频率字的增量与频率字基本量相加获得载波的频率字;

相位累加器,与所述频率字加法器相连接,用于对所述载波的频率字累加,并将累加结果输出;

载波存储器,接收所述相位累加器的输出结果作为读地址,用于存储载波的形状一个周期的样点;

频率标记比较器,用于产生频率标记信号。

2. 根据权利要求1所述的扫频信号发生器,其特征在于,所述扫频状态机提供四种状态扫频信号,包括:

起始保持状态,以起始频率输出信号;

扫描状态,输出信号的频率从起始频率变化到终止频率;

终止保持状态,以终止频率输出信号;

回扫状态,输出信号的频率从终止频率变化到起始频率。

3. 根据权利要求1所述的扫频信号发生器,其特征在于:

所述偏移乘法器提供扫频偏移系数与扫频曲线样点乘积,从而获得扫频频率字的增量部分。

4. 根据权利要求1所述的扫频信号发生器,其特征在于:

所述频率标记比较器获取所述处理器传送的由用户设置的标记频率地址阈值,并与所述扫频时间累加器输出的读地址相比较,二者相等时,产生一个标记信号作为频率标记信号。

一种扫频信号发生器

技术领域

[0001] 本发明涉及信号发生器,尤其涉及一种扫频信号发生器。

背景技术

[0002] 扫频信号发生器输出信号的频率随时间按一定规律、在一定范围内重复连续变化,在电子测量中,经常用来对网络的阻抗特性和传输特性进行测量。传统扫频信号发生器中,用来产生扫频信号的振荡器常用分立元件实现。例如:在LC振荡器中采用压控变容二极管、在RC振荡器中采用压控电阻实现对振荡频率的控制,在磁调制扫频法中利用电感扫频。这类电路都存在控制精度低、频率稳定性差的缺点。

[0003] 随着微电子技术的发展,直接数字频率合成(Direct Digital Synthesis,DDS)技术在频率合成领域的应用越来越广泛。DDS是从相位概念出发直接合成所需波形的一种频率合成技术。基于DDS技术的信号发生器具有相对带宽宽、频率转换时间短、频率分辨率高、输出相位连续、可产生多种调制信号、控制灵活方便等诸多优点。DDS技术的一些优势是显而易见的,因此它是目前扫频信号发生器的一种很理想的解决方案。

[0004] 现有技术中有一种基于DDS技术的扫频信号发生器,该扫频信号发生器采用可编程逻辑阵列(FPGA)作为核心部件,采用DDS技术产生扫频信号。FPGA实现原理如图1所示,DDS主要分成两路:一路产生扫频信号中频率增量部分;一路产生扫频信号中频率基量部分。

[0005] 扫频信号中频率增量部分的产生过程:实现了一个扫频频率字RAM读地址产生器,实际上就是一个累加器。不断以一定的速度累加产生读取存放扫频频率字RAM的地址。读取以后进行必要的参数调整。之后进行相位累加;累加所得到的值再与另外一路得到的数据也就是扫频信号频率基量相加,得到的和就是读取保存载波波表ROM的地址。扫频信号中频率基量部分就将起始频率字进行不断地累加。两路数据相加得到读取载波波表的地址,从保存载波波表的RAM中读取最终的扫频幅度值。

[0006] 这些幅度值再经过数模转换器(DAC)的转换,就得到模拟量的扫频信号。

[0007] 上述扫频信号产生器的FPGA内部结构不合理,所实现的扫频功能也有欠缺:

[0008] 首先,扫频开始前,需要软件计算扫频过程中所需要的每个扫频频率字,然后将其都写入到存放扫频频率字的RAM。这样不仅增加软件的负担,而且会降低系统响应时间。

[0009] 其次,使用了两个累加器分别对频率字基量和增量累加。累加器不仅消耗FPGA内部资源,而且降低FPGA的时序性能。尤其对于那些为了提高输出扫频信号的带宽而采用的并行DDS结构的应用,这种双累加器的结构缺陷会更明显。

[0010] 再次,实现的扫频信号过于简单,不足以应付实际测量需要。只能从起始频率扫描到终止频率,没有终止频率的保持功能,也不能从终止频率回扫到起始频率。

[0011] 最后,作为扫频信号发生器,缺少最起码的频率标记功能。

发明内容

[0012] 本发明实施例的目的在于提供一种扫频信号发生器,以克服现有技术方案的种种不足。

[0013] 为实现上述目的,本发明提供一种扫频信号发生器,该扫频信号发生器包括处理器、存储器、用户接口模块、时钟电路、数模转换模块、模拟电路模块以及FPGA芯片,其特征在于,该FPGA芯片包括:

[0014] 通信接口模块,与所述处理器相连接,用于接收处理器的指令;

[0015] 时钟模块,与所述时钟电路相连接,用于提供工作时钟;

[0016] 扫频状态机,用于提供不同的扫频状态;

[0017] 扫频时间累加器,与所述扫频状态机相连接,用于给所述扫频状态机反馈时间完成的标记信号,并产生读地址输出;

[0018] 扫频曲线存储器,与所述扫频状态机相连接,用于存储所述扫频状态机确定的扫频曲线,并根据所述扫频时间累加器产生的读地址读取扫频曲线样点;

[0019] 偏移乘法器,与所述扫频曲线存储器相连接,通过计算获得扫频频率字的增量部分;

[0020] 频率字加法器,与所述偏移乘法器相连接,用于将频率字的增量与频率字基本量相加获得载波的频率字;

[0021] 相位累加器,与所述频率字加法器相连接,用于对所述载波的频率字累加,并将累加结果输出;

[0022] 载波存储器,接收所述相位累加器的输出结果作为读地址,用于存储载波的形状一个周期的样点;

[0023] 频率标记比较器,用于产生频率标记信号。

[0024] 所述扫频状态机提供四种状态扫频信号,包括:

[0025] 起始保持状态,以起始频率输出信号;

[0026] 扫描状态,输出信号的频率从起始频率变化到终止频率;

[0027] 终止保持状态,以终止频率输出信号;

[0028] 回扫状态,输出信号的频率从终止频率变化到起始频率。

[0029] 所述偏移乘法器提供扫频偏移系数与扫频曲线样点乘积,从而获得扫频频率字的增量部分。

[0030] 所述频率标记比较器获取所述处理器传送的由用户设置的标记频率地址阈值,并与所述扫频时间累加器输出的读地址相比较,二者相等时,产生一个标记信号作为频率标记信号。

[0031] 本发明实施例提供的一种扫频信号产生器,采用FPGA作为核心部件产生扫频信号,实现方案更为合理,软件负担小、响应快,耗用FPGA的资源少;同时,增加一些符合市场需要的功能,扫频模式更为丰富。

附图说明

[0032] 此处所说明的附图用来提供对本发明的进一步理解,构成本申请的一部分,并不构成对本发明的限定。在附图中:

[0033] 图1是现有技术一种FPGA内部结构框图;

- [0034] 图2是本发明一种扫频信号发生器的结构框图；
[0035] 图3是本发明一种扫频信号发生器的FPGA内部功能模块示意图；
[0036] 图4是本发明一种扫频信号发生器的频率标记信号产生电路图；
[0037] 图5是本发明一种扫频信号发生器的线性扫频的4个状态示意图；
[0038] 图6是本发明一种扫频信号发生器中扫频状态机的跳转流程示意图。

具体实施方式

[0039] 为使本发明实施例的目的、技术方案和优点更加清楚明白，下面结合实施例和附图，对本发明实施例做进一步详细说明。在此，本发明的示意性实施例及其说明用于解释本发明，但并不作为对本发明的限定。

[0040] 实施例一

[0041] 本发明的一种扫频信号发生器采用FPGA加处理器的结构，FPGA作为核心部件产生扫频信号，该信号发生器的内部功能模块如图2所示，图2是本发明一种扫频信号发生器的结构原理框图。

[0042] 图2中，本发明的一种扫频信号发生器包括处理器201、存储器203、用户接口模块202、时钟电路204、数模转换模块206、模拟电路模块207以及FPGA芯片205，其中：

[0043] 处理器201实现系统控制以及信号处理，包括(1)通过用户接口模块202接受用户控制；(2)控制Flash存储器203；(3)计算扫频信号的各个参数，并配置给FPGA芯片205，这些参数包括图3中的311、312、313、314、315、316。

[0044] 用户接口模块202包括键盘、显示以及控制端口，例如GPIB、LAN、USB等。

[0045] Flash存储器203用于存储载波波形样点和扫频曲线的样点。

[0046] 时钟电路204用于给FPGA芯片205提供高精度的参考时钟。

[0047] FPGA芯片205按照处理器201的设置，输出数字形式的扫频信号212以及频率标记信号211。

[0048] 数模转换器DAC模块206，将数字信号212转换为模拟量213。

[0049] 模拟电路207，处理DAC206输出的模拟信号，包括滤波、衰减、放大等，就产生了最终的扫频信号214。

[0050] 其中的FPGA芯片205具体如图3所示，图3是本发明一种扫频发生器中FPGA芯片内部功能模块示意图，包括：

[0051] 通信接口模块300，与所述处理器相连接，用于接收处理器的指令，再将处理器发来的指令331转发给FPGA芯片内部其它模块。

[0052] 时钟模块301，与所述时钟电路相连接，对外部提供的参考时钟332进行频率合成，为内部其它模块提供工作时钟321。

[0053] 扫频状态机302，用于提供不同的扫频状态；

[0054] 本发明的扫频状态机302，提供四个状态输出扫频信号，分别是：

[0055] 起始保持状态，以起始频率输出信号；

[0056] 扫描状态，输出信号的频率从起始频率变化到终止频率；

[0057] 终止保持状态，以终止频率输出信号；

[0058] 回扫状态，输出信号的频率从终止频率变化到起始频率。

[0059] 以线性扫频为例,图4说明了这四个状态的频率变化过程。这四个状态的持续时间可分别设置;甚至可以直接跳过,例如只开启“扫描”状态,其它三个状态都关闭。因此,在输出扫频信号前,处理器需要设置这四个状态的开启和关闭,以及每个状态持续时间所对应的时间控制字311。

[0060] 扫频状态机302内这四个状态的跳转流程如图5所示。开始扫频后,先判断本状态是否开启,如果不是开启,则直接跳到下一状态;如果开启,则等到本状态的持续时间完成后,扫频时间累加器会反馈一个标记信号322,扫频状态机302收到这个标记信号后跳入下一状态。

[0061] 扫频状态机302根据跳转情况,选择各状态对应的时间控制字323送给扫频时间累加器303。

[0062] 扫频时间累加器303,与所述扫频状态机302相连接,用于给所述扫频状态机302反馈时间完成的标记信号,并产生读地址324输出给扫频曲线存储器325。

[0063] 每个状态下,扫频状态机302分别将四个状态所对应的时间控制字送给扫频时间累加器303,扫频时间累加器303以时间控制字进行累加,累加器溢出则说明本状态的持续时间完成,将一个标记信号反馈给扫频状态机302。

[0064] 本发明实现的扫频信号有四个状态,因此扫频时间累加器的累加值不能作为读地址直接送给扫频曲线存储器303,而是在各个状态下分别作如下处理:

[0065] 起始保持状态:读地址保持为0,在本状态下始终从扫频曲线存储器304中读出第一个点;

[0066] 扫描状态:将累加值送给扫频曲线存储器303;

[0067] 终止保持状态:读地址保持为最大值,在本状态下始终从扫频曲线存储器304中读出最后一个点;

[0068] 回扫状态:将累加值取反后送给扫频曲线存储器304,意即从最后一个点开始取值,直至第一个点。

[0069] 扫频曲线存储器304,与所述扫频状态机302相连接,用于存储所述扫频状态机302确定的扫频曲线,并根据所述扫频时间累加器303产生的读地址读取扫频曲线样点;所述扫频曲线存储器304的工作是在决定了扫频方式后,扫频信号开始输出前,处理器将扫频方式的对应的扫频曲线312写入到扫频曲线存储器304中;扫频开始后,按照扫频时间累加器303提供的读地址取出扫频曲线样点325。

[0070] 偏移乘法器305,与所述扫频曲线存储器304相连接,通过计算获得扫频频率字的增量部分;具体做法是将扫频曲线样点乘上一个扫频偏移系数313,乘积就是扫频频率字的增量部分326。

[0071] 频率字加法器306,与所述偏移乘法器305相连接,用于将频率字的增量与频率字基本量相加之和作为载波的频率字327,假设频率字327的数据位宽是K比特;

[0072] 相位累加器307,与所述频率字加法器306相连接,用于对所述载波的频率字累加,并将累加结果作为载波存储器的读地址328输出;

[0073] 载波存储器308,接收所述相位累加器307的输出结果作为读地址,用于存储载波的形状一个周期的样点315,例如正弦波、方波、锯齿波等。载波存储器输出的结果就是频率按照扫频方式变化的扫频信号333;

[0074] 频率标记比较器309,用于产生频率标记信号334。

[0075] 频率标记是扫频测量中的频率定度,即当扫频信号的频率变化到用户设置的“标记频率”处时输出一个标记信号。产生频率标记信号的基本方法是差频法,其原理示意图如图6所示。它使用一个标准信号发生器产生频率为“标记频率”的信号,该信号与扫频信号发生器输出的信号进行混频,再经过窄带滤波和垂直放大,从而产生标记信号。差频法的缺点显而易见,不仅电路复杂、成本高,而且由于模拟器件的非线性失真造成频率标记信号的稳定度和准确度都较差,同时由于电路延时会造成频率定度误差。

[0076] 扫频曲线每个样点所对应的输出频率可按照公式1、2计算得到。

[0077] 扫频信号333的频率=主时钟321频率×频率字327/ 2^k (公式1)

[0078] 频率字327=基本量314+扫频曲线样点325×扫频偏移系数313(公式2)

[0079] 扫频曲线是由处理器写入的,每个样点所在的地址也是处理器所知道的。因此,处理器将用户设置的标记频率所对应的地址阈值316配置给FPGA,频率标记比较器比较扫频时间累加器输出的读地址324和地址阈值316,二者相等时,则产生一个标记信号,即为频率标记信号。

[0080] 根据本发明所实现的扫频信号发生器,具有如下优点:

[0081] 扫频模式更为丰富,不仅有扫描功能,还支持起始保持、终止保持、回扫,而且这四个状态的时间可分别灵活设置;

[0082] FPGA芯片内部结构合理,使用偏移乘法器,无需软件耗费大量时间计算扫频频率字,从而减轻了软件的负担,也加快了系统响应时间;

[0083] 与现有相比,只使用一个累加器,不仅降低了对FPGA的资源占用,而且有利于FPGA时序性能的提高,也有利于扩展到并行DDS结构;

[0084] 频率标记信号的产生电路只需要一个比较器,非常简单;由于采用全数字方法,效果非常好,不仅频率稳定度和准确度高,而且没有电路延时,也就不会有频率定度误差;此外,只需增加比较器的数目,本发明就很容易增加频率标记信号的数目,由于目前FPGA资源非常丰富,这种频率标记信号数目上的增加所耗费的成本几乎可以忽略不计;

[0085] 采用FPGA在DDS技术基础上产生扫频信号,因此很自然的具有相对带宽宽、频率转换时间短、频率分辨率高、控制灵活、升级调试方便等诸多优点。

[0086] 以上所述的具体实施例,对本发明的目的、技术方案和有益效果进行了进一步详细说明,所应理解的是,以上所述仅为本发明的具体实施例而已,并不用于限定本发明的保护范围,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

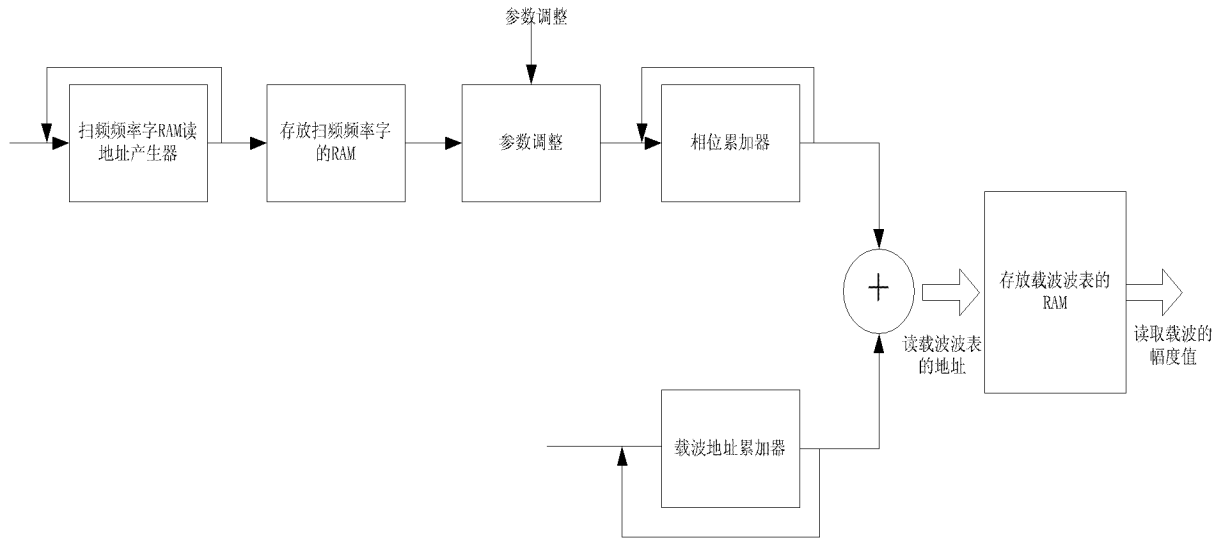


图1

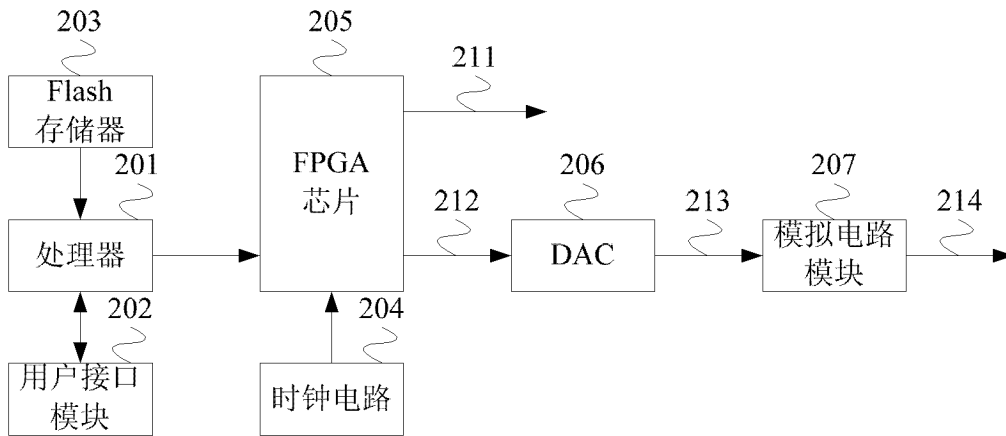


图2

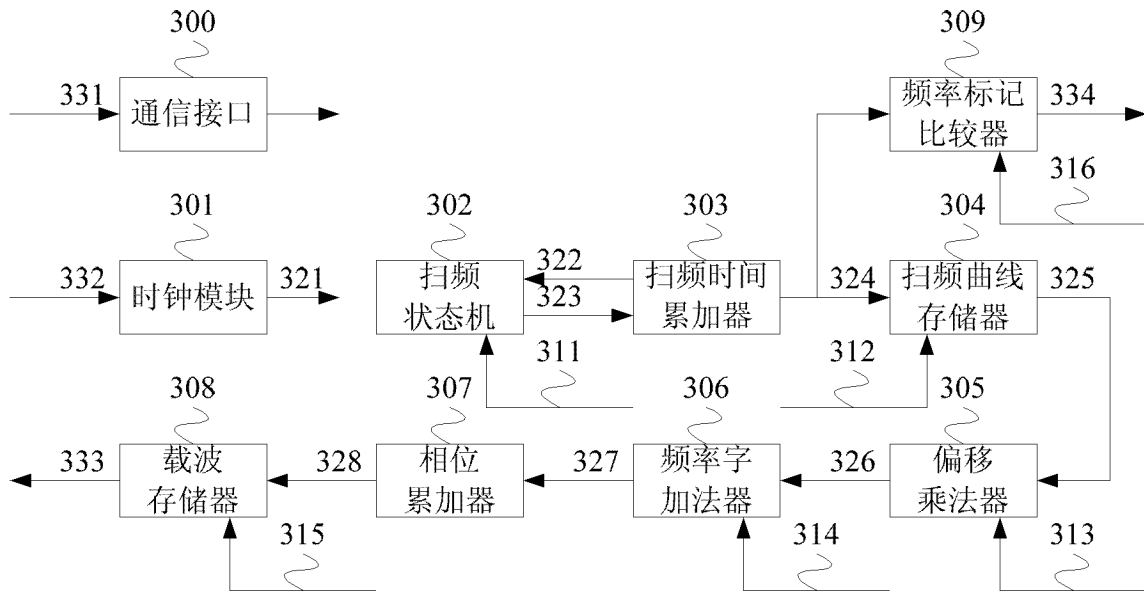


图3

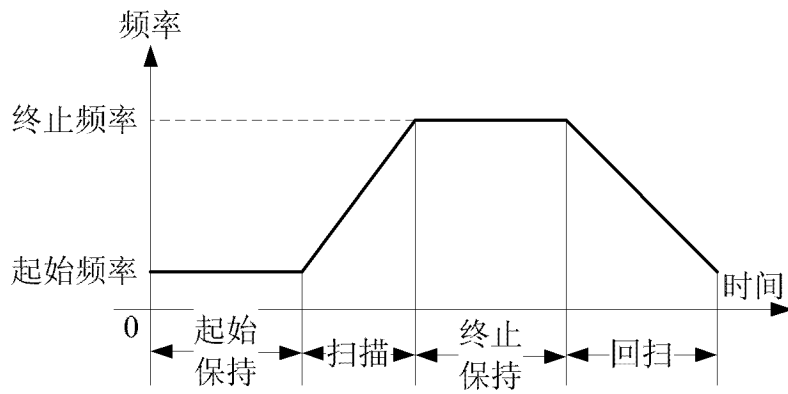


图4

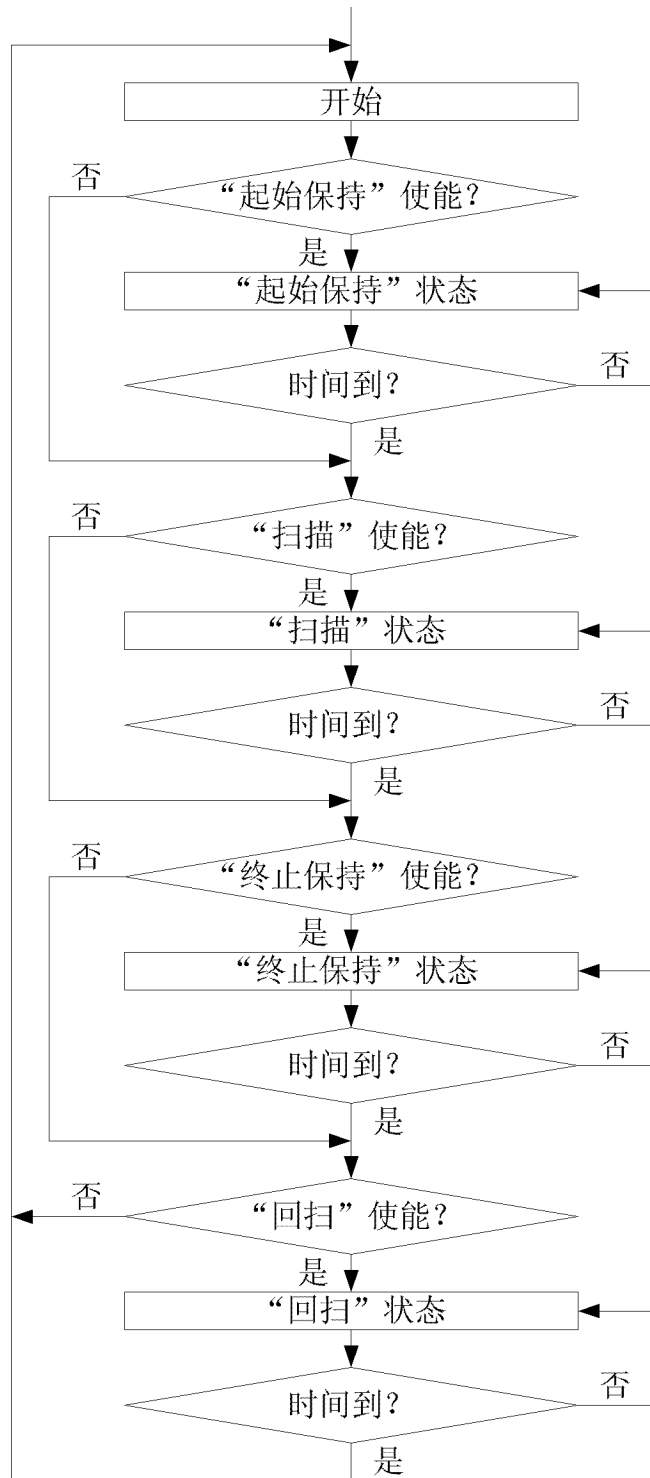


图5

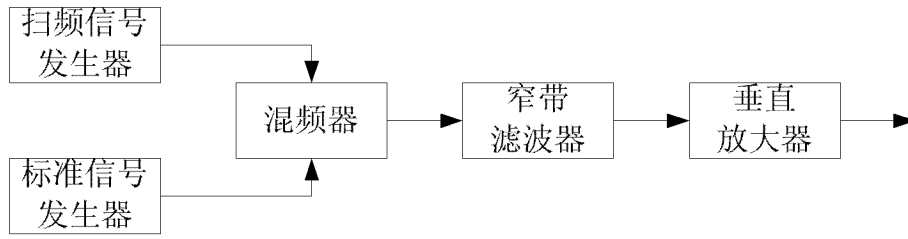


图6