



(12) 发明专利

(10) 授权公告号 CN 102576711 B

(45) 授权公告日 2015. 12. 16

(21) 申请号 201080002870. 2

H01L 21/84(2006. 01)

(22) 申请日 2010. 09. 21

H01L 27/32(2006. 01)

H01L 51/56(2006. 01)

(85) PCT国际申请进入国家阶段日
2011. 04. 11

(56) 对比文件

(86) PCT国际申请的申请数据

PCT/JP2010/005717 2010. 09. 21

JP 特开 2009-69735 A, 2009. 04. 02,

JP 特开 2010-56025 A, 2010. 03. 11,

JP 特开 2009-128577 A, 2009. 06. 11,

CN 101630685 A, 2010. 01. 20,

(87) PCT国际申请的公布数据

W02012/038999 JA 2012. 03. 29

审查员 刘晓华

(73) 专利权人 株式会社日本有机雷特显示器
地址 日本东京都

专利权人 松下液晶显示器株式会社

(72) 发明人 钟之江有宣 河内玄士朗

(74) 专利代理机构 北京市中咨律师事务所
11247

代理人 段承恩 杨光军

(51) Int. Cl.

H01L 27/12(2006. 01)

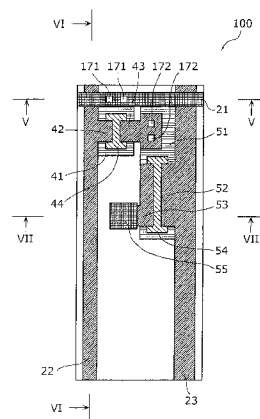
权利要求书5页 说明书17页 附图22页

(54) 发明名称

薄膜晶体管阵列装置、薄膜晶体管阵列装置的制造方法

(57) 摘要

薄膜晶体管阵列装置, 具备底栅型的第 1 以及第 2 晶体管, 栅极配线 (21), 配置在与第 1 晶体管所包含的第 1 栅极电极 (41) 不同层的钝化膜上, 经由设置在钝化膜上的第 2 孔部与第 1 栅极电极 (41) 电连接, 层叠在钝化膜上的导电氧化物膜覆盖从开口部露出的源极配线的端部, 导电氧化物膜, 介于钝化膜与栅极配线 (21) 以及中继电极 (55) 之间, 在栅极配线 (21) 与中继电极 (55) 之间为非电连接, 导电氧化物膜, 介于中继电极 (55) 与源极电极 (53) 之间, 使中继电极 (55) 与源极电极 (53) 电连接, 中继电极 (55) 与钝化膜上的栅极配线 (21) 形成在同一层, 由与栅极配线 (21) 相同的材料构成。



1. 一种薄膜晶体管阵列装置,隔着层间绝缘膜与包含 EL 发光元件的 EL 层层叠,所述 EL 发光元件具有下部电极;

所述薄膜晶体管阵列装置包括:

基板;

源极配线,其配置于所述基板的上方;

栅极配线,其与所述源极配线交叉;

第 1 晶体管,其包括在所述基板上形成的第 1 栅极电极;

第 2 晶体管,其包括与所述下部电极电连接的电流供给用的电极;

钝化膜,其介于所述层间绝缘膜与所述第 1 晶体管以及所述第 2 晶体管之间;和

导电氧化物膜,其层叠在所述钝化膜上;

所述电流供给用的电极,经由设置在所述钝化膜的第 1 孔部与所述下部电极电连接;

所述薄膜晶体管阵列装置还包括中继电极,所述中继电极形成在所述钝化膜上的与所述第 2 晶体管所包含的所述电流供给用的电极重叠的区域,对所述电流供给用的电极与所述下部电极进行中继;

所述第 1 晶体管以及所述第 2 晶体管为底栅型的晶体管;

所述源极配线,与所述第 1 晶体管的源极电极电连接,配置于比所述钝化膜更下层;

所述栅极配线,配置在与所述第 1 晶体管所包含的第 1 栅极电极不同层的所述钝化膜上,经由设置在所述钝化膜的第 2 孔部与所述第 1 栅极电极电连接;

所述源极配线的端部,从设置在所述钝化膜的开口部露出,所述源极配线的端部的露出区域成为作为与装置外部的源极驱动电路连接的连接部的端子;

层叠在所述钝化膜上的所述导电氧化物膜覆盖从所述开口部露出的所述源极配线的端部;

所述导电氧化物膜,介于所述钝化膜与所述栅极配线以及所述中继电极之间,在所述栅极配线与所述中继电极之间为非电连接;

所述导电氧化物膜,介于所述中继电极与所述电流供给用的电极之间,将所述中继电极与所述电流供给用的电极电连接;

所述中继电极,与所述钝化膜上的所述栅极配线形成在同一层,由与所述栅极配线相同的材料构成。

2. 如权利要求 1 所述的薄膜晶体管阵列装置,所述下部电极为以铝为主成分的金属。

3. 如权利要求 1 或 2 所述的薄膜晶体管阵列装置,所述栅极配线以及所述中继电极的与所述导电氧化物膜相接的面由包括铜、钼、钛和钨中的至少一种的金属形成。

4. 如权利要求 1 或 2 所述的薄膜晶体管阵列装置,所述栅极配线以及所述中继电极为层叠构造。

5. 如权利要求 1 或 2 所述的薄膜晶体管阵列装置,

所述层间绝缘膜由有机膜和无机膜这两层构成;

所述无机膜覆盖所述栅极配线以及所述中继电极。

6. 如权利要求 1 或 2 所述的薄膜晶体管阵列装置,

所述第 1 晶体管以及所述第 2 晶体管各自所包含的半导体层为结晶性半导体层;

所述第 1 晶体管所包含的所述第 1 栅极电极以及所述第 2 晶体管所包含的第 2 栅极电

极,由耐热性比所述栅极配线中所使用的金属高的金属形成。

7.如权利要求6所述的薄膜晶体管阵列装置,所述耐热性比所述栅极配线中所使用的金属高的金属为包括钼、钨、钛、钽、镍中的任意一种的金属。

8.如权利要求1或2所述的薄膜晶体管阵列装置,所述导电氧化物膜为包括铟以及锡的氧化物膜、或者包括铟以及锌的氧化物膜。

9.如权利要求1或2所述的薄膜晶体管阵列装置,

所述栅极配线的端部经由所述导电氧化物膜与在栅极绝缘膜上形成的中继配线的一方的端部连接;

所述中继配线的另一方的端部从设置在所述钝化膜的开口部露出,所述中继配线的端部的露出区域成为作为与装置外部的栅极驱动电路连接的连接部的端子;

层叠在所述钝化膜上的所述导电氧化物膜覆盖从所述开口部露出的所述中继配线的另一方的端部。

10.如权利要求9所述的薄膜晶体管阵列装置,所述中继配线与所述源极配线在同一层,并且由相同材料构成。

11.如权利要求1或2所述的薄膜晶体管阵列装置,

在所述栅极配线的端部,形成在所述栅极配线之下的所述导电氧化物膜露出、延伸;

所述导电氧化物膜露出的区域成为作为与装置外部的栅极驱动电路连接的连接部的端子。

12.如权利要求11所述的薄膜晶体管阵列装置,在栅极绝缘膜上、在所述导电氧化物膜露出的区域中至少与成为所述作为与装置外部的栅极驱动电路连接的连接部的端子的区域重叠的位置形成有弹性体。

13.如权利要求12所述的薄膜晶体管阵列装置,所述弹性体与所述源极配线在同一层,并且由相同材料构成。

14.一种EL显示面板,包括:

EL部,其具有EL发光元件,所述EL发光元件包括上部电极、下部电极、和介于所述上部电极与所述下部电极之间的发光功能层;

薄膜晶体管阵列装置,其控制所述EL发光元件;和

层间绝缘膜,其介于所述EL部与所述薄膜晶体管阵列装置之间;

所述下部电极经由所述层间绝缘膜的接触孔与所述薄膜晶体管阵列装置电连接;

所述薄膜晶体管阵列装置包括:

基板;

源极配线,其配置于所述基板的上方;

栅极配线,其与所述源极配线交叉;

第1晶体管,其包括在所述基板上形成的第1栅极电极;

第2晶体管,其包括与所述下部电极电连接的电流供给用的电极;

钝化膜,其介于所述层间绝缘膜与所述第1晶体管以及所述第2晶体管之间;和

导电氧化物膜,其层叠在所述钝化膜上;

所述电流供给用的电极,经由设置在所述钝化膜的第1孔部以及设置在所述层间绝缘膜的接触孔与所述下部电极电连接;

所述薄膜晶体管阵列装置还包括中继电极,所述中继电极形成在所述钝化膜上的与所述第 2 晶体管所包含的所述电流供给用的电极重叠的区域,对所述电流供给用的电极与所述下部电极进行中继;

所述第 1 晶体管以及所述第 2 晶体管为底栅型的晶体管;

所述源极配线,与所述第 1 晶体管的源极电极电连接,配置于比所述钝化膜更下层;

所述栅极配线,配置在与所述第 1 晶体管所包含的第 1 栅极电极不同层的所述钝化膜上,经由设置在所述钝化膜的孔部与所述第 1 栅极电极电连接;

所述源极配线的端部,从设置在所述钝化膜的开口部露出,所述源极配线的端部的露出区域成为作为与装置外部的源极驱动电路连接的连接部的端子;

层叠在所述钝化膜上的所述导电氧化物膜覆盖从所述开口部露出的所述源极配线的端部;

所述导电氧化物膜,介于所述钝化膜与所述栅极配线以及所述中继电极之间,在所述栅极配线与所述中继电极之间为非电连接;

所述导电氧化物膜,介于所述中继电极与所述电流供给用的电极之间,使所述中继电极与所述电流供给用的电极电连接;

所述中继电极,与所述钝化膜上的所述栅极配线形成在同一层,由与所述栅极配线相同的材料构成。

15. 如权利要求 14 所述的 EL 显示面板,所述下部电极为以铝为主成分的金属。

16. 如权利要求 14 或 15 所述的 EL 显示面板,所述下部电极和所述中继电极,在设置在所述钝化膜的孔部的上部周缘的平坦区域连接。

17. 一种 EL 显示装置,搭载有权利要求 14 至 16 中的任意一项所述的 EL 显示面板。

18. 一种薄膜晶体管阵列装置的制造方法,包括:

第 1 工序,准备基板;

第 2 工序,在所述基板的上方形成源极配线;

第 3 工序,在所述基板上,形成包括第 1 栅极电极的第 1 晶体管;

第 4 工序,在所述基板上,形成包括电流供给用的电极的第 2 晶体管;

第 5 工序,在所述第 1 晶体管以及所述第 2 晶体管的上方形成钝化膜;

第 6 工序,在所述钝化膜上层叠导电氧化物膜;和

第 7 工序,形成在所述源极配线的上方与所述源极配线交叉的栅极配线,在所述钝化膜上的与所述第 2 晶体管所包含的所述电流供给用的电极重叠的区域,形成对所述电流供给用的电极与下部电极进行中继的中继电极;

所述第 1 晶体管以及所述第 2 晶体管为底栅型的晶体管;

所述源极配线,与所述第 1 晶体管的源极电极电连接,配置于比所述钝化膜更下层;

所述栅极配线,配置在与所述第 1 晶体管所包含的第 1 栅极电极不同层的所述钝化膜上,经由设置在所述钝化膜的孔部与所述第 1 栅极电极电连接;

在所述第 5 工序与所述第 6 工序之间,使所述源极配线的端部从设置在所述钝化膜的开口部露出,对所述源极配线的端部的露出区域作为与装置外部的源极驱动电路连接的连接部的端子而形成;

在所述第 6 工序中,使层叠在所述钝化膜上的所述导电氧化物膜将从所述开口部露出

的所述源极配线的端部覆盖而形成；

所述导电氧化物膜，形成于所述钝化膜与所述栅极配线以及所述中继电极之间，并且在所述栅极配线与所述中继电极之间分开形成；

所述导电氧化物膜，介于所述中继电极与所述电流供给用的电极之间，使所述中继电极与所述电流供给用的电极电连接；

在所述第 7 工序中，所述中继电极，使用与所述栅极配线相同的材料，与所述钝化膜上的所述栅极配线形成在同一层。

19. 如权利要求 18 所述的薄膜晶体管阵列装置的制造方法，所述下部电极为以铝为主成分的金属。

20. 如权利要求 18 或 19 所述的薄膜晶体管阵列装置的制造方法，将所述栅极配线以及所述中继电极的与所述导电氧化物膜相接的面，由包括铜、钼、钛和钨中的任意一种的金属形成。

21. 如权利要求 18 或 19 所述的薄膜晶体管阵列装置的制造方法，

所述第 1 晶体管以及所述第 2 晶体管各自所包含的半导体层为结晶性半导体层；

将所述第 1 晶体管所包含的所述第 1 栅极电极以及所述第 2 晶体管所包含的第 2 栅极电极，由耐热性比所述栅极配线中所使用的金属高的金属形成。

22. 如权利要求 18 或 19 所述的薄膜晶体管阵列装置的制造方法，用包括铟以及锡的氧化物膜、或者包括铟以及锌的氧化物膜，形成所述导电氧化物膜。

23. 一种 EL 显示面板的制造方法，包括：

第 1 工序，准备基板；

第 2 工序，在所述基板的上方形成源极配线；

第 3 工序，在所述基板上，形成包括第 1 栅极电极的第 1 晶体管；

第 4 工序，在所述基板上，形成包括电流供给用的电极的第 2 晶体管；

第 5 工序，在所述第 1 晶体管以及所述第 2 晶体管的上方形成钝化膜；

第 6 工序，在所述钝化膜上层叠导电氧化物膜；

第 7 工序，形成在所述源极配线的上方与所述源极配线交叉的栅极配线，在所述钝化膜上的与所述第 2 晶体管所包含的所述电流供给用的电极重叠的区域，形成对所述电流供给用的电极与下部电极进行中继的中继电极；

第 8 工序，在所述钝化膜的上方形成层间绝缘膜；

第 9 工序，在所述层间绝缘膜上形成下部电极；

第 10 工序，在所述下部电极的上方形成发光功能层；和

第 11 工序，在所述发光功能层的上方形成上部电极；

所述第 1 晶体管以及所述第 2 晶体管为底栅型的晶体管；

所述源极配线，与所述第 1 晶体管的源极电极电连接，配置于比所述钝化膜更下层；

所述栅极配线，配置在与所述第 1 晶体管所包含的第 1 栅极电极不同层的所述钝化膜上，经由设置在所述钝化膜的第 1 孔部与所述第 1 栅极电极电连接；

所述下部电极，经由设置在所述钝化膜的第 2 孔部以及所述层间绝缘膜的接触孔与薄膜晶体管阵列装置电连接；

在所述第 5 工序与所述第 6 工序之间，使所述源极配线的端部从设置在所述钝化膜的

开口部露出,对所述源极配线的端部的露出区域作为与装置外部的源极驱动电路连接的连接部的端子而形成;

在所述第 6 工序中,使层叠在所述钝化膜上的所述导电氧化物膜将从所述开口部露出的所述源极配线的端部覆盖而形成;

所述导电氧化物膜,形成于所述钝化膜与所述栅极配线以及所述中继电极之间,并且在所述栅极配线与所述中继电极之间分开形成;

所述导电氧化物膜,介于所述中继电极与所述电流供给用的电极之间,使所述中继电极与所述电流供给用的电极电连接;

在所述第 7 工序中,所述中继电极,使用与所述栅极配线相同的材料,与所述钝化膜上的所述栅极配线形成在同一层。

薄膜晶体管阵列装置、薄膜晶体管阵列装置的制造方法

技术领域

[0001] 本发明涉及在基板上集成形成有以多晶硅、微晶硅等为活性层的薄膜晶体管的图像显示装置用的薄膜晶体管阵列装置、使用该薄膜晶体管阵列装置的 EL 显示面板以及 EL 显示装置。

背景技术

[0002] 薄膜晶体管,用于有机 EL 显示器、液晶显示器等显示装置的驱动基板,现在,面向高性能化的开发正在积极进行。特别是,在伴随着显示器的大型化、高精细化,而要求薄膜晶体管的高电流驱动能力的进程中,活性层使用结晶化了的半导体薄膜(多晶硅、微晶硅)的薄膜晶体管受到瞩目。

[0003] 作为半导体薄膜的结晶化工艺,代替已经确立的采用 1000℃ 以上的处理温度的高温工艺技术,开发出了采用 600℃ 以下的处理温度的低温工艺。在低温工艺中,不需要使用耐热性优异的石英等高价基板,能够谋求制造成本的降低。

[0004] 作为低温工艺的一环,使用激光束加热的激光退火受到瞩目。该激光退火是向形成在玻璃等低耐热性绝缘基板上的非晶硅、多晶硅等非单晶性的半导体薄膜,照射激光束、局部加热熔化,然后在其冷却过程中使半导体薄膜结晶。将该结晶化的半导体薄膜作为活性层(沟道区域),集成形成薄膜晶体管。结晶化的半导体薄膜,其载流子的迁移率变高,所以能够使薄膜晶体管高性能化(例如,参照专利文献 1)。

[0005] 另外,作为薄膜晶体管的构造,栅极电极配置在半导体层之下的底栅型的构造是主流的构造。参照图 17 ~ 图 21,对底栅侧的薄膜晶体管 1000 的构造进行说明。

[0006] 薄膜晶体管 1000,如图 17 ~ 图 21 所示,是基板 1010、第 1 金属层 1020、栅极绝缘膜 1030、半导体膜 1040、第 2 金属层 1050 以及钝化膜 1060 的层叠构造体。

[0007] 在层叠在基板 1010 上的第 1 金属层 1020,形成有栅极配线 1021、和从栅极配线 1021 延伸设置的栅极电极 1022。另外,栅极绝缘膜 1030,以覆盖栅极配线 1021 以及栅极电极 1022 的方式,形成在基板 1010 以及第 1 金属层 1020 上。进而,半导体膜 1040,以与栅极电极 1022 重叠的方式,层叠在栅极绝缘膜 1030 上。

[0008] 在层叠在栅极绝缘膜 1030 以及半导体膜 1040 上的第 2 金属层 1050,形成有源极配线 1051、从源极配线 1051 延伸设置的源极电极 1052 和漏极电极 1053。另外,源极电极 1052 以及漏极电极 1053,被配置在互相相对的位置,并且分别与半导体膜 1040 的一部分重叠。另外,钝化膜 1060,以覆盖源极配线 1051、源极电极 1052 以及漏极电极 1053 的方式,层叠在栅极绝缘膜 1030、半导体膜 1040 以及第 2 金属层 1050 上。

[0009] 在上述那样的底栅型的薄膜晶体管 1000 中,栅极配线 1021 与栅极电极 1022 形成在比半导体膜 1040 更下层的第 1 金属层 1020。即,在半导体膜 1040 的激光结晶化工序时,已经形成了栅极配线 1021 以及栅极电极 1022。即,栅极配线 1021 以及栅极电极 1022 需要具有能够耐受激光结晶化工序中的温度(600℃ 左右)的高耐热性。

[0010] 专利文献 1:日本特开平 07-235490 号公报

发明内容

[0011] 然而,一般的作为电极材料使用的金属具有耐热性越高则导电性越下降的倾向。因此,在作为栅极电极 1022 的材料使用耐热性高的材料、在与栅极电极 1022 同一层以相同金属材料形成栅极配线 1021 的情况下,栅极配线 1021 的配线电阻变高。高配线电阻会导致信号的延迟、电压下降引起的显示器的偏差。特别是,当面板面积大型化、驱动频率增大化时,配线电阻的影响变大。

[0012] 另外,形成在第 1 金属层 1020 的栅极配线 1021 与形成在第 2 金属层 1050 的源极配线 1051,如图 21 所示,隔着膜厚为 200nm 左右的栅极绝缘膜 1030 交叉。因此,还存在下述问题:当为了薄膜晶体管 1000 的高性能化而要将栅极绝缘膜 1030 薄膜化时,栅极配线 1021 与源极配线 1051 的间隔变得更窄,配线之间的寄生电容增加。

[0013] 进而,构成薄膜晶体管 1000 的电极、配线中使用的金属,由于与空气中的水分或者构成薄膜晶体管 1000 的氧化物膜等接触,会氧化,使薄膜晶体管 1000 的功能劣化。

[0014] 本发明用于解决上述课题,其目的在于提供一种薄膜晶体管阵列装置,将栅极电极以及栅极配线用具有适于其各自的特性的材料形成,降低栅极配线与源极配线之间的寄生电容,并且防止金属的氧化。

[0015] 本发明的一个技术方案中的薄膜晶体管阵列装置,隔着层间绝缘膜而与包含 EL 发光元件的 EL 层层叠,所述 EL 发光元件具有下部电极。具体地说,所述薄膜晶体管阵列装置包含:基板;源极配线,其配置于所述基板的上方;栅极配线,其与所述源极配线交叉;第 1 晶体管,其包含在所述基板上形成的第 1 栅极电极;第 2 晶体管,其包含与所述下部电极电连接的电流供给用的电极;钝化膜,其介于所述层间绝缘膜与所述第 1 晶体管以及所述第 2 晶体管之间;和导电氧化物膜,其层叠在所述钝化膜上。所述电流供给用的电极,经由设置在所述钝化膜的第 1 孔部与所述下部电极电连接。所述薄膜晶体管阵列装置还包含中继电极,所述中继电极形成在所述钝化膜上的与所述第 2 晶体管所包含的所述电流供给用的电极重叠的区域,对所述电流供给用的电极与所述下部电极进行中继。所述第 1 晶体管以及所述第 2 晶体管为底栅型的晶体管。所述源极配线,与所述第 1 晶体管的源极电极电连接,配置于比所述钝化膜更下层。所述栅极配线,配置在与所述第 1 晶体管所包含的第 1 栅极电极不同层的所述钝化膜上,经由设置在所述钝化膜的第 2 孔部与所述第 1 栅极电极电连接。所述源极配线的端部,从设置在所述钝化膜的开口部露出,所述源极配线的端部的露出区域成为作为与装置外部的源极驱动电路连接的连接部的端子。层叠在所述钝化膜上的所述导电氧化物膜覆盖从所述开口部露出的所述源极配线的端部。所述导电氧化物膜,介于所述钝化膜与所述栅极配线以及所述中继电极之间,在所述栅极配线与所述中继电极之间为非电连接。所述导电氧化物膜,介于所述中继电极与所述电流供给用的电极之间,使所述中继电极与所述电流供给用的电极电连接。而且,所述中继电极,与所述钝化膜上的所述栅极配线形成在同一层,由与所述栅极配线相同的材料构成。

[0016] 根据本发明,能够在维持栅极电极的耐热性的同时,实现栅极配线的低电阻化。另外,即使为了提高薄膜晶体管的特性而减薄栅极绝缘膜的厚度,栅极配线与源极配线之间的寄生电容也不会变大。即,能够抑制由寄生电容的增加引起的图像信号的延迟等。并且,防止各电极以及各配线中所使用的金属的氧化,由此能够防止薄膜晶体管阵列装置的功能

降低。

附图说明

- [0017] 图 1 是表示薄膜半导体阵列基板的图。
- [0018] 图 2A 是实施方式的有机 EL 显示器的立体图。
- [0019] 图 2B 是更具体地表示图 2A 的层叠构造的局部立体图,是表示线堤岸的例子的图。
- [0020] 图 2C 是更具体地表示图 2A 的层叠构造的局部立体图,是表示像素堤岸的例子的图。
- [0021] 图 3 是表示像素电路的电路结构的图。
- [0022] 图 4 是表示像素的结构的主视图。
- [0023] 图 5 是图 4 的 V-V 剖面的剖视图。
- [0024] 图 6 是图 4 的 VI-VI 剖面的剖视图。
- [0025] 图 7 是图 4 的 VII-VII 剖面的剖视图。
- [0026] 图 8 是从图 4 的 V-V 剖面观察的主要部分的立体图。
- [0027] 图 9A 是表示与实施方式的薄膜晶体管阵列装置的制造工序 (a) 对应的图 4 的 V-V 剖面的构造的图。
- [0028] 图 9B 是表示与实施方式的薄膜晶体管阵列装置的制造工序 (b) 对应的图 4 的 V-V 剖面的构造的图。
- [0029] 图 9C 是表示与实施方式的薄膜晶体管阵列装置的制造工序 (c) 对应的图 4 的 V-V 剖面的构造的图。
- [0030] 图 9D 是表示与实施方式的薄膜晶体管阵列装置的制造工序 (d) 对应的图 4 的 V-V 剖面的构造的图。
- [0031] 图 9E 是表示与实施方式的薄膜晶体管阵列装置的制造工序 (e) 的一部分对应的图 4 的 V-V 剖面的构造的图。
- [0032] 图 9F 是表示与实施方式的薄膜晶体管阵列装置的制造工序 (e) 的另一部分对应的图 4 的 V-V 剖面的构造的图。
- [0033] 图 9G 是表示与实施方式的薄膜晶体管阵列装置的制造工序 (f) 对应的图 4 的 V-V 剖面的构造的图。
- [0034] 图 10A 是表示与形成端子、栅极配线以及中继电极的工序的一部分对应的图 4 的 V-V 剖面的构造的图。
- [0035] 图 10B 是表示与形成端子、栅极配线以及中继电极的工序的其他部分对应的图 4 的 V-V 剖面的构造的图。
- [0036] 图 10C 是表示与形成端子、栅极配线以及中继电极的工序的又一其他部分对应的图 4 的 V-V 剖面的构造的图。
- [0037] 图 11A 是表示与实施方式的薄膜晶体管阵列装置的制造工序 (a) 对应的图 4 的 VII-VII 剖面的构造的图。
- [0038] 图 11B 是表示与实施方式的薄膜晶体管阵列装置的制造工序 (b) 对应的图 4 的 VII-VII 剖面的构造的图。
- [0039] 图 11C 是表示与实施方式的薄膜晶体管阵列装置的制造工序 (c) 的一部分对应的

图 4 的 VII-VII 剖面的构造的图。

[0040] 图 11D 是表示与实施方式的薄膜晶体管阵列装置的制造工序 (c) 的其他部分对应的图 4 的 VII-VII 剖面的构造的图。

[0041] 图 11E 是表示与实施方式的薄膜晶体管阵列装置的制造工序 (c) 的又一其他部分对应的图 4 的 VII-VII 剖面的构造的图。

[0042] 图 11F 是表示与实施方式的薄膜晶体管阵列装置的制造工序 (d) 的对应的图 4 的 VII-VII 剖面的构造的图。

[0043] 图 11G 是表示与实施方式的薄膜晶体管阵列装置的制造工序 (e) 对应的图 4 的 VII-VII 剖面的构造的图。

[0044] 图 11H 是表示与实施方式的薄膜晶体管阵列装置的制造工序 (f) 对应的图 4 的 VII-VII 剖面的构造的图。

[0045] 图 12A 是表示与形成端子、栅极配线以及中继电极的工序的一部分对应的图 4 的 VII-VII 剖面的构造的图。

[0046] 图 12B 是表示与形成端子、栅极配线以及中继电极的工序的其他部分对应的图 4 的 VII-VII 剖面的构造的图。

[0047] 图 12C 是表示与形成端子、栅极配线以及中继电极的工序的又一其他部分对应的图 4 的 VII-VII 剖面的构造的图。

[0048] 图 13 是表示图 5 的变形例的图。

[0049] 图 14 是表示图 5 的其他的变形例的图。

[0050] 图 15 是表示图 7 的变形例的图。

[0051] 图 16 是表示图 7 的其他的变形例的图。

[0052] 图 17 是表示以往的像素的结构的主视图。

[0053] 图 18 是图 17 的 XVIII-XVIII 剖面的剖视图。

[0054] 图 19 是图 17 的 XIX-XIX 剖面的剖视图。

[0055] 图 20 是图 17 的 XX-XX 剖面的剖视图。

[0056] 图 21 是从图 17 的 XVIII-XVIII 剖面观察的主要部分的立体图。

[0057] 附图标记说明

[0058] 1 : 薄膜半导体阵列基板

[0059] 10 : 有机 EL 显示器

[0060] 11 : 层间绝缘膜

[0061] 12 : 阳极

[0062] 13 : 有机 EL 层

[0063] 14 : 透明阴极

[0064] 20 : 薄膜晶体管阵列装置

[0065] 21、1021 : 栅极配线

[0066] 22、1051 : 源极配线

[0067] 23 : 电源配线

[0068] 30 : 像素电路

[0069] 40 : 第 1 晶体管

- [0070] 41、51、1022 :栅极电极
- [0071] 42、53、1052 :源极电极
- [0072] 43、52、1053 :漏极电极
- [0073] 44、54、1040 :半导体膜
- [0074] 50 :第 2 晶体管
- [0075] 55 :中继电极
- [0076] 60 :电容器
- [0077] 70、70a、70b、80 :端子部
- [0078] 71、71a、71b、81 :端子
- [0079] 72 :中继配线
- [0080] 72b :弹性体
- [0081] 73、74、82 :孔部
- [0082] 100 :像素
- [0083] 100R、100G、100B :子像素
- [0084] 110、1010 :基板
- [0085] 120、1020 :第 1 金属层
- [0086] 130、1030 :栅极绝缘膜
- [0087] 140、1050 :第 2 金属层
- [0088] 150、1060 :钝化膜
- [0089] 160 :导电氧化物膜
- [0090] 170 :第 3 金属层
- [0091] 171 :第 1 接触孔
- [0092] 172 :第 2 接触孔
- [0093] 173 :第 3 接触孔
- [0094] 174 :第 4 接触孔
- [0095] 180 :感光性抗蚀剂膜
- [0096] 181 :第 1 感光性抗蚀剂膜
- [0097] 182 :第 2 感光性抗蚀剂膜
- [0098] 1000 :薄膜晶体管

具体实施方式

[0099] 本发明的一个实施方式的薄膜晶体管阵列装置,隔着层间绝缘膜与包含 EL 发光元件的 EL 层层叠,所述 EL 发光元件具有下部电极。具体地说,所述薄膜晶体管阵列装置包含:基板;源极配线,其配置于所述基板的上方;栅极配线,其与所述源极配线交叉;第 1 晶体管,其包含在所述基板上形成的第 1 栅极电极;第 2 晶体管,其包含与所述下部电极电连接的电流供给用的电极;钝化膜,其介于所述层间绝缘膜与所述第 1 晶体管以及所述第 2 晶体管之间;和导电氧化物膜,其层叠在所述钝化膜上。所述电流供给用的电极,经由设置在所述钝化膜的第 1 孔部与所述下部电极电连接。所述薄膜晶体管阵列装置还包含中继电极,所述中继电极形成在所述钝化膜上的与所述第 2 晶体管所包含的所述电流供给用的电

极重叠的区域,对所述电流供给用的电极与所述下部电极进行中继。所述第 1 晶体管以及所述第 2 晶体管为底栅型的晶体管。所述源极配线,与所述第 1 晶体管的源极电极电连接,配置于比所述钝化膜更下层。所述栅极配线,配置在与所述第 1 晶体管所包含的第 1 栅极电极不同层的所述钝化膜上,经由设置在所述钝化膜的孔部与所述第 1 栅极电极电连接。所述源极配线的端部,从设置在所述钝化膜的开口部露出,所述源极配线的端部的露出区域成为作为与装置外部的源极驱动电路连接的连接部的端子。层叠在所述钝化膜上的所述导电氧化物膜覆盖从所述开口部露出的所述源极配线的端部。所述导电氧化物膜,介于所述钝化膜与所述栅极配线以及所述中继电极之间,在所述栅极配线与所述中继电极之间为非电连接。所述导电氧化物膜,介于所述中继电极与所述电流供给用的电极之间,使所述中继电极与所述电流供给用的电极电连接。而且,所述中继电极,与所述钝化膜上的所述栅极配线形成在同一层,由与所述栅极配线相同的材料构成。

[0100] 在所述的薄膜晶体管阵列装置中,将源极配线配置于比钝化膜更下层,将栅极配线配置在与在基板上形成的栅极电极不同层的钝化膜上。而且,设为使栅极电极与栅极配线经由设置在钝化膜上的孔部电连接的结构。因此,栅极配线与源极配线之间的间隔,不是与栅极电极与源极电极之间的间隔对应,而是与在源极电极上形成的钝化膜的膜厚对应。在这里,钝化膜是保护薄膜晶体管阵列装置的表面的膜,所以即使将其膜厚加厚也不会影响薄膜晶体管阵列装置的性能。其结果,通过调整钝化膜的膜厚、确保栅极配线与源极配线之间的距离,能够降低栅极配线与源极配线之间的寄生电容。

[0101] 另外,源极配线的端部,从设置在钝化膜的开口部露出,源极配线的端部的露出区域能够用作作为与装置外部的源极驱动电路连接的连接部的端子。在该情况下,源极配线的端部的露出区域容易与空气或者空气中的水分接触、氧化。如果氧化,则被氧化的端子与外部的驱动电路的连接经由电阻高的氧化层电连接,所以存在端子与外部的驱动电路的连接电阻变高的问题。

[0102] 在此,在上述结构的薄膜晶体管阵列装置中,在钝化膜上层叠导电氧化物膜,通过导电氧化物膜,覆盖源极配线的端部经由钝化膜的开口部露出的区域。通过这样,导电氧化物膜能够防止作为源极配线的端部的端子、即源极配线的端部的露出区域被氧化。其结果,使得端子与外部的驱动电路的连接电阻为低电阻的而进行连接。

[0103] 如上所述,在钝化膜上层叠有导电氧化物膜 (Indium Tin Oxide:ITO) 的情况下,在第 2 晶体管所包含的电源供给用的电极与以铝为主成分的下部电极之间存在导电氧化物膜,产生下部电极由导电氧化物膜氧化的问题。与此相对,根据上述结构,在钝化膜上的与第 2 晶体管所包含的电流供给用的电极 (指“源极电极或者漏极电极”。下同) 重叠的区域形成中继电极,使中继电极对电流供给用的电极与下部电极进行中继。另外,导电氧化物膜存在于钝化膜与中继电极之间。导电氧化物膜,介于中继电极与电流供给用的电极之间。由此,在下部电极与导电氧化物膜之间存在中继电极,所以能够防止下部电极因导电氧化物膜氧化。

[0104] 进而,中继电极,与钝化膜上的栅极配线形成在同一层,由与栅极配线相同材料构成。这样,通过将栅极配线配置在钝化膜上,能够在与栅极配线相同的层、且用与栅极配线相同的材料形成中继电极。因此,能够通过同一工序进行栅极配线的形成和中继电极的形成。其结果,能够通过简单的结构,既降低栅极配线与源极配线之间的寄生电容,又防止下

部电极因导电氧化物膜氧化。

[0105] 另外,所述下部电极可以为以铝为主成分的金属。在下部电极与导电氧化物膜之间存在中继电极,所以即便在下部电极采用以铝为主成分的金属的情况下,也能够隔着中继电极防止下部电极因导电氧化物膜氧化。

[0106] 另外,所述栅极配线以及所述中继电极的与所述导电氧化物膜相接的面可以由包含铜、钼、钛和钨中的至少一种的金属形成。

[0107] 另外,所述栅极配线以及所述中继电极可以为层叠构造。

[0108] 另外,所述层间绝缘膜可以由有机膜和无机膜这两层构成。而且,所述无机膜可以覆盖所述栅极配线以及所述中继电极。

[0109] 另外,所述第1晶体管以及所述第2晶体管各自所包含的半导体层可以为结晶性半导体层。而且,所述第1晶体管所包含的所述第1栅极电极以及所述第2晶体管所包含的第2栅极电极,可以由耐热性比所述栅极配线中所使用的金属高的金属形成。

[0110] 根据上述结构,第1晶体管以及第2晶体管各自所包含的半导体层可以为结晶性半导体层。在该情况下,为了将半导体层形成为结晶性半导体层,需要向非结晶性半导体层进行激光照射、使非结晶性半导体层的温度上升到1100℃到1414℃的范围,将非结晶性半导体层结晶化。在底栅型的薄膜晶体管阵列装置中,首先在基板上形成栅极电极,然后形成半导体层,所以在通过上述那样的高热处理使非结晶性半导体层结晶化的情况下,要求构成栅极电极的金属的耐热性高。另一方面,耐热性高的金属其电阻也高,所以在通过相同材料形成栅极电极与栅极配线的情况下,栅极配线也通过高电阻的金属形成,产生栅极配线高电阻化的问题。

[0111] 然而,根据上述结构的薄膜晶体管阵列装置,通过在不同层形成栅极电极与栅极配线,能够从不同材料中选择栅极电极与栅极配线。由此,能够提高构成栅极电极的金属的耐热性,同时能够从低电阻的金属中选择构成栅极配线的金属,将栅极配线低电阻化。

[0112] 另外,耐热性比所述栅极配线中所使用的金属高的金属为包含钼、钨、钛、钽、镍中的任意一种的金属。

[0113] 另外,所述导电氧化物膜为包含铟以及锡的氧化物膜或者包含铟以及锌的氧化物膜。

[0114] 作为一个实施方式,所述栅极配线的端部可以经由所述导电氧化物膜与在所述栅极绝缘膜上形成的中继配线的一方的端部连接。另外,所述中继配线的另一方的端部可以从设置在所述钝化膜上的开口部露出,所述中继配线的端部的露出区域成为作为与装置外部的栅极驱动电路连接的连接部的端子,而且,层叠在所述钝化膜上的所述导电氧化物膜可以覆盖从所述开口部露出的所述中继配线的另一方的端部。

[0115] 进而,所述中继配线可以与所述源极配线在同一层,并且由相同材料构成。

[0116] 作为其他的实施方式,可以在所述栅极配线的端部,形成在所述栅极配线之下的所述导电氧化物膜露出、延伸。而且,所述导电氧化物膜露出的区域可以成为作为与装置外部的栅极驱动电路连接的连接部的端子。

[0117] 另外,可以在所述栅极绝缘膜上、在所述导电氧化物膜露出的区域中至少与成为所述端子的区域重叠的位置形成有弹性体。

[0118] 进而,所述弹性体可以与所述源极配线在同一层,并且由相同材料构成。

[0119] 本发明的一个实施方式的 EL 显示面板,包括:EL 部,其具有 EL 发光元件,所述 EL 发光元件包括上部电极、下部电极、和介于所述上部电极与所述下部电极之间的发光功能层;薄膜晶体管阵列装置,其控制所述 EL 发光元件;和层间绝缘膜,其介于所述 EL 部与所述薄膜晶体管阵列装置之间;所述下部电极经由所述层间绝缘膜的接触孔与所述薄膜晶体管阵列装置电连接。所述薄膜晶体管阵列装置包括:基板;源极配线,其配置于所述基板的上方;栅极配线,其与所述源极配线交叉;第 1 晶体管,其包括在所述基板上形成的第 1 栅极电极;第 2 晶体管,其包括与所述下部电极电连接的电流供给用的电极;钝化膜,其介于所述层间绝缘膜与所述第 1 晶体管以及所述第 2 晶体管之间;和导电氧化物膜,其层叠在所述钝化膜上。所述电流供给用的电极,经由设置在所述钝化膜的第 1 孔部以及设置在所述层间绝缘膜的接触孔与所述下部电极电连接。所述薄膜晶体管阵列装置还包括中继电极,所述中继电极形成在所述钝化膜上的与所述第 2 晶体管所包含的所述电流供给用的电极重叠的区域,对所述电流供给用的电极与所述下部电极进行中继。所述第 1 晶体管以及所述第 2 晶体管为底栅型的晶体管。所述源极配线,与所述第 1 晶体管的源极电极电连接,配置于比所述钝化膜更下层。所述栅极配线,配置在与所述第 1 晶体管所包含的第 1 栅极电极不同层的所述钝化膜上,经由设置在所述钝化膜的第 2 孔部与所述第 1 栅极电极电连接。所述源极配线的端部,从设置在所述钝化膜的开口部露出,所述源极配线的端部的露出区域成为作为与装置外部的源极驱动电路连接的连接部的端子。层叠在所述钝化膜上的所述导电氧化物膜覆盖从所述开口部露出的所述源极配线的端部。所述导电氧化物膜,介于所述钝化膜与所述栅极配线以及所述中继电极之间,在所述栅极配线与所述中继电极之间为非电连接。所述导电氧化物膜,介于所述中继电极与所述电流供给用的电极之间,将所述中继电极与所述电流供给用的电极电连接。并且,所述中继电极,与所述钝化膜上的所述栅极配线形成在同一层,由与所述栅极配线相同的材料构成。

[0120] EL 显示面板,由于在对显示面板的 EL 元件部的发光进行控制的薄膜晶体管阵列装置形成的栅极信号的延迟,随着显示面板变为 20 英寸、30 英寸、40 英寸这样大型化,用于驱动显示面板的边缘部减少。

[0121] 在此,如果采用上述结构的薄膜晶体管阵列装置,即使是大画面的 EL 显示面板,也能够降低源极配线与栅极配线之间的寄生电容,所以能够实现能够显示没有栅极信号的延迟、栅极信号波形不会变弱、不会使图像信号劣化的高画质的图像的 EL 显示装置。另外,薄膜晶体管阵列装置与 EL 元件的电连接为低电阻,所以能够实现 EL 元件的发光电流不减少、消耗功率低、发光辉度高并且长寿命的 EL 面板。进而,能够通过简易的结构,既降低源极配线与栅极配线之间的寄生电容,又防止下部电极因导电氧化物膜氧化,所以能够实现制造成品率(材料利用率)高的 EL 显示面板。

[0122] 另外,所述下部电极可以为以铝为主成分的金属。

[0123] 另外,所述下部电极和所述中继电极,可以在设置在所述钝化膜的孔部的上部周缘的平坦区域连接。

[0124] 本发明的一个实施方式中的 EL 显示装置,搭载有上述的 EL 显示面板。

[0125] 本发明的一个实施方式的薄膜晶体管阵列装置的制造方法,包括:第 1 工序,准备基板;第 2 工序,在所述基板的上方形成源极配线;第 3 工序,在所述基板上,形成包括第 1 栅极电极的第 1 晶体管;第 4 工序,在所述基板上,形成包括电流供给用的电极的第 2 晶体

管;第5工序,在所述第1晶体管以及所述第2晶体管的上方形成钝化膜;第6工序,在所述钝化膜上层叠导电氧化物膜;和第7工序,在所述源极配线的上方形成与所述源极配线交叉的栅极配线,在所述钝化膜上的与所述第2晶体管所包含的所述电流供给用的电极重叠的区域,形成对所述电流供给用的电极与所述下部电极进行中继的中继电极。所述第1晶体管以及所述第2晶体管为底栅型的晶体管。所述源极配线,与所述第1晶体管的源极电极电连接,配置比所述钝化膜更下层。所述栅极配线,配置在与所述第1晶体管所包含的第1栅极电极不同层的所述钝化膜上,经由设置在所述钝化膜的孔部与所述第1栅极电极电连接。在所述第5工序与所述第6工序之间,使所述源极配线的端部从设置在所述钝化膜的开口部露出,将所述源极配线的端部的露出区域形成为作为与装置外部的源极驱动电路连接的连接部的端子。在所述第6工序中,形成为:层叠在所述钝化膜上的所述导电氧化物膜覆盖从所述开口部露出的所述源极配线的端部。所述导电氧化物膜,形成于所述钝化膜与所述栅极配线以及所述中继电极之间,并且形成为在所述栅极配线与所述中继电极之间断开。所述导电氧化物膜,介于所述中继电极与所述电流供给用的电极之间,使所述中继电极与所述电流供给用的电极电连接。并且,在所述第7工序中,所述中继电极,使用与所述栅极配线相同的材料,与所述钝化膜上的所述栅极配线形成在同一层。

[0126] 导电氧化物膜,不但覆盖源极配线的端部的露出区域的附近,还介于钝化膜与所述栅极配线以及中继电极之间。即,在钝化膜上层叠导电氧化物膜时,将导电氧化物膜不仅层叠于源极配线的端部的露出区域附近,还层叠于整个钝化膜上。接下来,将成为栅极配线以及中继电极的金属膜层叠于整个导电氧化物膜上。接下来,在金属膜上配置预定的图形化(图形形成)掩模,使用预定的蚀刻液,图形化出栅极配线。通过半色调工艺对栅极配线与导电氧化物膜进行蚀刻,所以在栅极配线之下留下导电氧化物膜。最后,将预定的图形化掩模剥离。

[0127] 因此,在栅极配线的下层,有导电氧化物膜留下。与此相对,还有下述方法:在将成为栅极配线以及中继电极的金属膜层叠于导电氧化物膜上之前、对导电氧化物膜进行蚀刻、然后、对成为栅极配线以及中继电极的金属膜进行图形化。但是,在该情况下,需要2次图形化工序,工序成本增大。另一方面,如果如本实施方式那样,将成为栅极配线以及中继电极的金属膜层叠于整个导电氧化物膜上,在其上接着使用半色调掩模,对金属膜以及导电氧化物膜进行蚀刻,则图形化工序变为1次,能够降低工序成本。

[0128] 另外,所述下部电极可以为以铝为主成分的金属。

[0129] 另外,可以由包含铜、钼、钛和钨中的任意一种的金属形成所述栅极配线以及所述中继电极的与所述导电氧化物膜相接的面。

[0130] 另外,所述第1晶体管以及所述第2晶体管各自所包含的半导体层可以为结晶性半导体层。而且,可以用耐热性比所述栅极配线中所使用的金属高的金属,形成所述第1晶体管所包含的所述第1栅极电极以及所述第2晶体管所含的所述第2栅极电极。

[0131] 根据上述的制造方法,通过在不同层形成栅极电极与栅极配线,能够从不同材料中选择栅极电极与栅极配线。由此,能够使构成栅极电极的金属的耐热性高,同时从低电阻的金属中选择构成栅极配线的金属,将栅极配线低电阻化。其结果,能够形成迁移率高的半导体层,并且能够形成低电阻的栅极配线。

[0132] 另外,可以用包含铟以及锡的氧化物膜或者包含铟以及锌的氧化物膜,形成所述

导电氧化物膜。

[0133] 本发明的一个实施方式的 EL 显示面板的制造方法,包括:第 1 工序,准备基板;第 2 工序,在所述基板的上方形成源极配线;第 3 工序,在所述基板上,形成包括第 1 栅极电极的第 1 晶体管;第 4 工序,在所述基板上,形成包括电流供给用的电极的第 2 晶体管;第 5 工序,在所述第 1 晶体管以及所述第 2 晶体管的上方形成钝化膜;第 6 工序,在所述钝化膜上层叠导电氧化物膜;第 7 工序,在所述源极配线的上方,形成与所述源极配线交叉的栅极配线,在所述钝化膜上的与所述第 2 晶体管所包含的所述电流供给用的电极重叠的区域,形成对所述电流供给用的电极与所述下部电极进行中继的中继电极;第 8 工序,在所述钝化膜的上方形成层间绝缘膜;第 9 工序,在所述层间绝缘膜上形成下部电极;第 10 工序,在所述下部电极的上方形成发光功能层;和第 11 工序,在所述发光功能层的上方形成上部电极。所述第 1 晶体管以及所述第 2 晶体管为底栅型的晶体。所述源极配线,与所述第 1 晶体管的源极电极电连接,配置于比所述钝化膜更下层。所述栅极配线,配置在与所述第 1 晶体管所包含的第 1 栅极电极不同层的所述钝化膜上,经由设置在所述钝化膜的第 1 孔部与所述第 1 栅极电极电连接。所述下部电极,经由设置在所述钝化膜的第 2 孔部以及所述层间绝缘膜的接触孔与所述薄膜晶体管阵列装置电连接。在所述第 5 工序与所述第 6 工序之间,使所述源极配线的端部从设置在所述钝化膜的开口部露出,将所述源极配线的端部的露出区域形成作为与装置外部的源极驱动电路连接的连接部的端子。在所述第 6 工序中,形成:层叠在所述钝化膜上的所述导电氧化物膜覆盖从所述开口部露出的所述源极配线的端部。所述导电氧化物膜,形成于所述钝化膜与所述栅极配线以及所述中继电极之间,并且形成在所述栅极配线与所述中继电极之间断开。所述导电氧化物膜,介于所述中继电极与所述电流供给用的电极之间,使所述中继电极与所述电流供给用的电极电连接。并且,在所述第 7 工序中,所述中继电极,使用与所述栅极配线相同的材料,与所述钝化膜上的所述栅极配线形成在同一层。

[0134] 下面,参照附图对本发明的实施方式进行详细说明。

[0135] (实施方式)

[0136] 参照图 1~图 3,对本发明的实施方式的有机 EL (ElectroLuminescence, 电致发光) 显示器 (有机 EL 显示装置) 10 以及图像显示装置用的薄膜晶体管阵列装置 (下面,简称为“薄膜晶体管阵列装置”) 20 进行说明。另外,图 1 是表示薄膜半导体阵列基板 1 的图。图 2A 是作为本发明的实施方式的显示装置的一例的有机 EL 显示器 10 的立体图。图 2B 是更具体地表示图 2A 的层叠构造的局部立体图,是表示线堤岸的例子图。图 2C 是更具体地表示图 2A 的层叠构造的局部立体图,是表示像素堤岸的例子图。图 3 是表示驱动像素 100 的像素电路 30 的电路结构的图。

[0137] 首先,薄膜半导体阵列基板 1,如图 1 所示,由多个 (在图 1 中为 2 个) 有机 EL 显示器 10 构成。另外,有机 EL 显示器 10,如图 2A 所示,为从下层起层叠着薄膜晶体管阵列装置 20、层间绝缘膜 (平坦化膜) 11 (在图 2A 中图示省略)、阳极 (下部电极) 12、有机 EL 层 (有机发光层) 13 以及透明阴极 (上部电极) 14 的层叠构造体。另外,在阳极 12 以及有机 EL 层 13 之间层叠有空穴输送层 (图示省略),在有机 EL 层 13 以及透明阴极 14 之间层叠有电子输送层 (图示省略)。

[0138] 在薄膜晶体管阵列装置 20,行列状 (矩阵状) 配置有多个像素 100。各像素 100

由分别设置于各像素 100 的像素电路 30 驱动。另外,薄膜晶体管阵列装置 20 具备:行状配置的多个栅极配线 21,以与栅极配线 21 交叉的方式列状配置的多个源极配线(信号配线)22,和与源极配线 22 平行地延伸的多个电源配线 23(在图 2A 中图示省略)。

[0139] 所述栅极配线 21,将包含于各像素电路 30 的作为开关元件而动作的薄膜晶体管的栅极电极 41(在图 2A 中图示省略)按每行连接。源极配线 22,将包含于各像素电路 30 的作为开关元件而动作的薄膜晶体管的源极电极 42(在图 2A 中图示省略)按每列连接。电源配线 23,将包含于各像素电路 30 的作为驱动元件而动作的薄膜晶体管的漏极电极 52(在图 2A 中图示省略)按每列连接。

[0140] 更具体地说,有机 EL 显示器 10 的各像素 100,如图 2B 以及图 2C 所示,由 3 色(红色、绿色、蓝色)的子像素 100R、100G、100B 构成。子像素 100R、100G、100B 分别在图 2B 的进深方向排列多个(将其称为“子像素列”)。

[0141] 图 2B 是表示线堤岸的例子的图,各子像素列通过堤岸 15 互相分离。图 2B 所示的堤岸 15,为在互相相邻的子像素列之间沿与源极配线 22 平行的方向延伸的突条,形成在薄膜晶体管阵列装置 20 之上。换言之,各子像素列分别形成在互相相邻的突条之间(即,堤岸 15 的开口部)。

[0142] 阳极 12,在薄膜晶体管阵列装置 20 上(更具体地说,是层间绝缘膜 11 上)并且堤岸 15 的开口部内,按各子像素 100R、100G、100B 形成。有机 EL 层 13,在阳极 12 上并且堤岸 15 的开口部内,按每个子像素列(即,以覆盖各列的多个阳极 12 的方式)形成。透明阴极 14,在多个有机 EL 层 13 以及堤岸 15(多个突条)上,并且以覆盖所有的子像素 100R、100G、100B 的方式,连续地形成。

[0143] 另一方面,图 2C 是表示像素堤岸的例子的图,各子像素 100R、100G、100B 通过堤岸 15 而相互分离。图 2C 所示的堤岸 15,形成为与栅极配线 21 平行地延伸的突条和与源极配线 22 平行地延伸的突条互相交叉。而且,在由该突条包围的部分(即,堤岸 15 的开口部)形成有子像素 100R、100G、100B。

[0144] 阳极 12,在薄膜晶体管阵列装置 20 上(更具体地说,是层间绝缘膜 11 上)并且堤岸 15 的开口部内,按每个子像素 100R、100G、100B 形成。同样,有机 EL 层 13,在阳极 12 上并且堤岸 15 的开口部内,按每个子像素 100R、100G、100B 形成。透明阴极 14,在多个有机 EL 层 13 以及堤岸 15(多个突条)上,并且以覆盖所有的子像素 100R、100G、100B 的方式,连续地形成。

[0145] 进而,在薄膜晶体管阵列装置 20,在每个子像素 100R、100G、100B 形成有像素电路 30(在图 2B 以及图 2C 中将图示省略)。而且,各子像素 100R、100G、100B 与对应的像素电路 30,如图 7 所示,由第 3 以及第 4 接触孔 173、174 以及中继电极 55 电连接。

[0146] 另外,子像素 100R、100G、100B,除了有机 EL 层 13 的特性(发光颜色)不同之外,为相同的结构。因此,在以后的说明中,不区分子像素 100R、100G、100B,都称为“像素 100”。另外,本发明对于图 2B 所示的线堤岸和图 2C 所示的像素堤岸都能够同样应用。

[0147] 像素电路 30,如图 3 所示,由下述部件构成:作为开关元件而动作的第 1 晶体管 40,作为驱动元件而动作的第 2 晶体管 50,和存储显示于对应的像素的数据的电容器 60。

[0148] 第 1 晶体管 40,由与栅极配线 21 连接的栅极电极 41,与源极配线 22 连接的源极电极 42,与电容器 60 以及第 2 晶体管 50 的栅极电极 51 连接的漏极电极 43,和半导体膜

44(在图3中图示省略)构成。该第1晶体管40,当电压施加于所连接的栅极配线21以及源极配线22时,将施加于该源极配线22的电压值作为显示数据而保存于电容器60。

[0149] 第2晶体管50,由与第1晶体管40的漏极电极43连接的栅极电极51,与电源配线23以及电容器60连接的漏极电极52,与阳极12连接的源极电极53,和半导体膜54(在图3中图示省略)构成。该第2晶体管50,将与电容器60所保持的电压值对应的电流从电源配线23通过源极电极53向阳极12供给。

[0150] 即,上述结构的有机EL显示器10,采用按位于栅极配线21与源极配线22的交点的每个像素100进行显示控制的有源矩阵方式。

[0151] 接下来,参照图4~图8,对构成薄膜晶体管阵列装置20的像素100的构造(图5以及图6的断裂线的右侧的构造)进行说明。另外,图4是表示像素100的结构的主视图。图5是图4的V-V剖面的剖视图。图6是图4的VI-VI剖面的剖视图。图7是图4的VII-VII剖面的剖视图。图8是从图4的V-V剖面观察的主要部分的立体图。另外,在图7中,也图示了层间绝缘膜11以及阳极12。

[0152] 如图4~图7所示,像素100是基板110、第1金属层(导电层)120、栅极绝缘膜130、半导体膜44、54、第2金属层(导电层)140、钝化膜150、导电氧化物膜(Indium Tin Oxide:ITO,铟锡氧化物)160以及第3金属层(导电层)170的层叠构造体。

[0153] 在层叠在基板110上的第1金属层120,形成有第1晶体管40的栅极电极41、和第2晶体管50的栅极电极51。另外,在基板110以及第1金属层120上,以覆盖栅极电极41、51的方式,形成有栅极绝缘膜130。

[0154] 半导体膜44,被配置在栅极绝缘膜130上(栅极绝缘膜130与第2金属层140之间)、并且与栅极电极41重叠的区域内。同样,半导体膜54,被配置在栅极绝缘膜130上(栅极绝缘膜130与第2金属层140之间)、并且与栅极电极51重叠的区域内。另外,本说明书中的“重叠”,指的是处于从上下方向观察互相重合的位置关系。

[0155] 在层叠在栅极绝缘膜130以及半导体膜44、54上的第2金属层140,形成有源极配线22、电源配线23、第1晶体管40的源极电极42以及漏极电极43、第2晶体管50的漏极电极52以及源极电极53。即,第1以及第2晶体管40、50,是栅极电极41、51形成在比源极电极42、53以及漏极电极43、52更下层的底栅型的晶体管。

[0156] 更具体地说,源极电极42以及漏极电极43,形成在互相相对的位置,并且分别与半导体膜44的一部分重叠。另外,源极电极42,从形成在相同层的源极配线22延伸设置。同样,漏极电极52以及源极电极53,形成在互相相对的位置,并且分别与半导体膜54的一部分重叠。另外,漏极电极52,从形成在相同层的电源配线23延伸设置。

[0157] 另外,在栅极绝缘膜130,在与漏极电极43以及栅极电极51重叠的位置,形成有在厚度方向上贯通的第2接触孔(孔部)172。而且,漏极电极43,经由第2接触孔172,与形成在第1金属层120的栅极电极51电连接。

[0158] 进而,在栅极绝缘膜130以及第2金属层140上,以覆盖源极电极42、53以及漏极电极43、52的方式,形成有钝化膜150。即,钝化膜150形成为介于层间绝缘膜11与第1以及第2晶体管40、50之间。

[0159] 在钝化膜150上,层叠有导电氧化物膜160。进而,在导电氧化物膜160上,层叠有第3金属层170。在层叠在导电氧化物膜160上的第3金属层170,形成有栅极配线21以

及中继电极 55。导电氧化物膜 160,有选择地形成在与栅极配线 21 以及中继电极 55 重叠的位置,与栅极配线 21 重叠的部分和与中继电极 55 重叠的部分成为非电连接的状态。

[0160] 另外,在栅极绝缘膜 130 以及钝化膜 150,在与栅极配线 21 以及栅极电极 41 重叠的位置,形成有在厚度方向上贯通的第 1 接触孔(孔部)171。而且,栅极配线 21,经由第 1 接触孔 171,与形成在第 1 金属层 120 的栅极电极 41 电连接。另外,栅极配线 21 与栅极电极 41 不直接接触,在两者之间介有导电氧化物膜 160。

[0161] 同样,在钝化膜 150,在与第 2 晶体管 50 的源极电极 53 以及中继电极 55 重叠的位置,形成有在厚度方向上贯通的第 3 接触孔(孔部)173。而且,中继电极 55,经由第 3 接触孔 173,与形成在第 2 金属层 140 的源极电极 53 电连接。另外,源极电极 53 与中继电极 55 不直接接触,在两者之间介有导电氧化物膜 160。

[0162] 进而,在钝化膜 150 以及第 3 金属层 170 上,以覆盖栅极配线 21 以及中继电极 55 的方式,形成有层间绝缘膜 11。在层间绝缘膜 11 上,在与相邻的像素 100 的边界部分形成有堤岸 15。而且,在堤岸 15 的开口部,形成有以像素 100 为单位形成的阳极 12,和以颜色(子像素列)为单位或者以子像素为单位形成的有机 EL 层 13。进而,在有机 EL 层 13 以及堤岸 15 上,形成有透明阴极 14。

[0163] 进而,在与阳极 12 以及中继电极 55 重叠的位置,形成有在厚度方向上贯通层间绝缘膜 11 的第 4 接触孔(孔部)174。而且,阳极 12,经由第 4 接触孔 174,与形成在第 3 金属层 170 的中继电极 55 电连接。另外,图 7 所示的中继电极 55,由填充在第 3 接触孔 173 中的中央区域和在第 3 接触孔 173 的上部周缘延伸的平坦区域构成。而且,阳极 12 在中继电极 55 的平坦区域电连接。

[0164] 在上述结构的像素 100 中,如图 8 所示,源极配线 22 以及电源配线 23,形成在与源极电极 42、53 以及漏极电极 43、52 同层的第 2 金属层 140。另一方面,栅极配线 21,形成在与源极配线 22 以及电源配线 23 不同层的第 3 金属层 170。而且,栅极配线 21 与源极配线 22、以及栅极配线 21 与电源配线 23,夹着钝化膜 150 以及导电氧化物膜 160 互相交叉。

[0165] 如上述结构那样,通过将各配线(栅极配线 21、源极配线 22 以及电源配线 23)设置在比形成有栅极电极 41、51 的第 1 金属层 120 更上方的金属层(第 2 金属层 140 以及第 3 金属层 170),能够将栅极电极 41、51 以及各配线用与各自合适的材料构成。另外,钝化膜 150 与栅极绝缘膜 130 相比较,能够自由设定膜厚。在此,通过将各配线配置在隔着该钝化膜 150 在层叠方向上相邻的第 2 以及第 3 金属层 140、170,能够降低寄生电容。

[0166] 接下来,参照图 5 以及图 6,对形成在薄膜晶体管阵列装置 20 的端部的端子部 70、80 的构造(图 5 以及图 6 的断裂线的左侧的构造)进行说明。

[0167] 图 5 所示的端子部(断裂线的左侧的部分)70,形成在沿行方向相连的多个像素 100 的两端的 2 个部位。该端子部 70,由通过与导电氧化物膜 160 相同的材料形成的端子 71,形成在第 2 金属层 140 的中继配线 72,和在厚度方向上贯通钝化膜 150 的孔部 73、74 构成。孔部 73,形成在与中继配线 72 的一方侧端部重叠的位置,将端子 71 与中继配线 72 的一方侧端部电连接。同样,孔部 74,形成在与中继配线 72 的另一方侧端部重叠的位置,将栅极配线 21 的端部与中继配线 72 的另一方侧端部电连接。

[0168] 即,端子部 70,被设置在将配置成行列状的像素 100 按每行连接的栅极配线 21 的两端,作为连接栅极配线 21 与外部的驱动电路的连接部而起作用。在这里,端子 71 被配置

成覆盖从孔部 73 露出的中继配线 72 的一方侧端部,所以能够防止中继配线 72 与空气中的水分等接触、氧化。

[0169] 同样,图 6 所示的端子部(断裂线的左侧的部分)80,形成在沿列方向相连的多个像素 100 的两端的 2 个部位。该端子部 80,由通过与导电氧化物膜 160 相同的材料形成的端子 81,和在厚度方向上贯通钝化膜 150 的孔部 82 构成。孔部 82,形成在与源极配线 22 的端部重叠的位置,将端子 81 与源极配线 22 的端部电连接。

[0170] 即,端子部 80,被设置在将配置成行列状的像素 100 按每列连接的源极配线 22 的两端,作为连接源极配线 22 与外部的驱动电路的连接部而起作用。在这里,端子 81 被配置成覆盖从孔部 82 露出的源极配线 22 的端部,所以能够防止源极配线 22 与空气中的水分等接触、氧化。

[0171] 接下来,参照图 9A~图 12C,对制造本实施方式的薄膜晶体管阵列装置 20 的方法进行说明。另外,图 9A~图 9G 是表示与制造工序(a)~(f)对应的图 4 的 V-V 剖面的构造的图。图 10A~图 10C 是表示图 9F 与图 9G 之间的制造工序的详细情况的图。图 11A~图 11H 是表示与制造工序(a)~(f)对应的图 4 的 VII-VII 剖面的构造的图。图 12A~图 12C 是表示图 11G 与图 11H 之间的制造工序的详细情况的图。

[0172] 首先,如图 9A 以及图 11A 的(a)工序所示,准备基板 110。基板 110,一般使用玻璃、石英等绝缘性的材料。为了防止杂质从基板 110 扩散,也可以在基板 110 的上面形成未图示的氧化硅膜或者氮化硅膜。膜厚为 100nm 左右。

[0173] 接下来,如图 9B 以及图 11B 的(b)工序所示,在基板 110 上形成具有耐热性的第 1 金属层 120,然后通过光刻法、蚀刻法等进行图形化,形成栅极电极 41、51。作为材料,可以列举具有耐热性的 Mo、W、Ta、Ti、Ni 的任意一种或者它们的合金。在本实施方式中使用 Mo。厚度优选为 100nm 左右。

[0174] 接下来,如图 9C 以及图 11C~图 11E 的(c)工序所示,在基板 110 以及第 1 金属层 120 上形成栅极绝缘膜 130,在栅极绝缘膜 130 上形成半导体层。另外,栅极绝缘膜 130 以及半导体层,通过等离子体 CVD 法等,不破坏真空地连续地形成。作为栅极绝缘膜 130,形成氧化硅膜、氮化硅膜或者两者的复合膜。厚度为 200nm 左右。另外,半导体层为 50nm 左右的非晶硅膜。

[0175] 然后,例如如图 11D 的箭头所示,通过向半导体层上照射准分子激光等,将半导体层从非晶性半导体层改性成多晶性半导体层。作为结晶化的方法,例如在 400℃~500℃的炉内进行脱氢,然后通过准分子激光使其结晶化,然后在真空中进行几秒~几十秒的氢等离子体处理。更具体地说,照射准分子激光等,使非晶性半导体层的温度上升到预定的温度范围,由此使其结晶化。在这里,预定的温度范围,例如为 1100℃~1414℃。另外,多晶性半导体层内的平均结晶粒径为 20nm~60nm。

[0176] 在这里,构成栅极电极 41、51 的第 1 金属层 120,在上述的工序中暴露于高温中,所以需要由熔点比上述的温度范围的上限值(1414℃)高的金属形成。另一方面,在以后的工序中层叠的第 2 以及第 3 金属层 140、170,可以由熔点比上述的温度范围的下限值(1100℃)低的金属形成。

[0177] 接下来,如图 11E 所示,通过光刻法、蚀刻法等,将半导体层加工成岛状的半导体膜 44、54。进而,在栅极绝缘膜 130,同样通过光刻法、蚀刻法等,形成第 2 贯通孔(图示省

略)。该第 2 贯通孔在后来成为第 2 接触孔 172。

[0178] 然后,如图 9D 以及图 11F 的 (d) 工序所示,在栅极绝缘膜 130 以及半导体膜 44、54 上形成第 2 金属层 140,通过图形化分别加工出源极配线 22、电源配线 23、源极电极 42、53、漏极电极 43、52 以及中继配线 72。此时,构成第 2 金属层 140 的材料也填充于第 2 贯通孔 (图示省略),形成第 2 接触孔 172。通过该工序,栅极电极 51 与漏极电极 43 经由第 2 接触孔 172 电连接。

[0179] 作为构成第 2 金属层 140 的材料,可以列举作为低电阻金属的 Al、Cu、Ag 的任意一种或者它们的合金。在本实施方式中使用 Al。厚度为 300nm 左右。

[0180] 另外,在源极电极 42 与半导体膜 44 之间、以及漏极电极 43 与半导体膜 44 之间,一般来说,形成有未图示的低电阻半导体层。该低电阻半导体层,一般使用掺杂有磷等 n 型掺杂剂的非晶硅层,或者掺杂有硼等 p 型掺杂剂的非晶硅层。作为厚度为 20nm 左右。在结晶化了的半导体膜 44 与经掺杂的非晶硅层之间也可以还具有非晶硅等半导体层。这些膜有时是为了提高设备特性而必须的。对于半导体膜 54 也同样。

[0181] 然后,如图 9E、图 9F 以及图 11G 的 (e) 工序所示,在栅极绝缘膜 130、半导体膜 44、54、以及第 2 金属层 140 上形成由氧化硅膜、氮化硅膜或者这些膜的层叠膜构成的钝化膜 150。另外,在钝化膜 150,通过光刻法、蚀刻法等,形成:连续地贯通栅极绝缘膜 130 以及钝化膜 150 的第 1 贯通孔 171a,和在厚度方向上贯通钝化膜 150 的第 3 贯通孔 173 (图示省略) 以及孔部 73、74、82。该第 1 贯通孔 171a 后来成为第 1 接触孔 171,第 3 贯通孔后来成为第 3 接触孔 173。

[0182] 在这里,以形成在由第 2 以及第 3 金属层 140、170 夹着的钝化膜 150 上的每单位面积的电容,比通过由第 1 以及第 2 金属层 120、140 夹着的栅极绝缘膜 130 形成的每单位面积的电容小的方式,确定栅极绝缘膜 130 以及钝化膜 150 的材料、膜厚。更具体地说,形成在钝化膜 150 的每单位面积的电容优选小于 $1.5 \times 10^{-4} (\text{F}/\text{m}^2)$ 。另一方面,形成在栅极绝缘膜 130 的每单位面积的电容优选为 $1.5 \times 10^{-4} (\text{F}/\text{m}^2)$ 以上。

[0183] 进而,如图 9G 以及图 11H 的 (f) 工序所示,在钝化膜 150 上形成导电氧化物膜 160,在导电氧化物膜 160 上形成第 3 金属层 170。然后,第 3 金属层 170 通过图形化加工为栅极配线 21 以及中继电极 55。形成栅极配线 21 以及中继电极 55 的工序,将在以后使用图 10A ~ 图 10C 以及图 12A ~ 图 12C 进行说明。

[0184] 作为构成导电氧化物膜 160 的材料,为包含铟以及锡的氧化物膜,或者包含铟以及锌的氧化物膜。另一方面,作为构成第 3 金属层 170 的材料,由于要求为低电阻,所以可以为与第 2 金属层 140 相同的金属。但是,第 3 金属层 170 的与导电氧化物膜 160 相接的面由包含铜、钼、钛和钨中的至少一种的金属形成。例如,也可以将第 2 金属层 140 设为层叠构造,作为势垒金属形成 50nm 的 Mo,然后形成 300nm 的 Al。在要求更低电阻的情况下,有时代替 Al 而使用 Cu (在该情况下,不需要势垒金属)。另外,通过使厚度增加也能够实现更低的电阻。

[0185] 此时,构成导电氧化物膜 160 以及第 3 金属层 170 的材料也填充于第 1 以及第 3 贯通孔 (图示省略),形成第 1 以及第 3 接触孔 171、173。由此,经由第 1 接触孔 171,栅极配线 21 与栅极电极 41 电连接,经由第 3 接触孔 173,源极电极 53 与中继电极 55 电连接。

[0186] 接下来,参照图 10A ~ 图 10C 以及图 12A ~ 图 12C,对形成栅极配线 21 以及中继电

极 55 的工序进行详细说明。具体地说,对使用半色调掩模、同时加工导电氧化物膜 160 以及第 3 金属层 170 的例子进行说明。

[0187] 首先,如图 10A 以及图 12A 所示,在钝化膜 150 上形成导电氧化物膜 160 以及第 3 金属层 170。在该工序中,导电氧化物膜 160 以及第 3 金属层 170 形成在像素 100 的整个面上。

[0188] 接下来,如图 10B 以及图 12B 所示,在第 3 金属层 170 上形成感光性抗蚀剂膜 180。该感光性抗蚀剂膜 180 由厚度尺寸相对较小的第 1 感光性抗蚀剂膜 181 和厚度尺寸相对较大的第 2 感光性抗蚀剂膜 182 构成。

[0189] 第 1 感光性抗蚀剂膜 181 形成在与在加工后成为端子 71、81 的部分重叠的位置。另一方面,第 2 感光性抗蚀剂膜 182 形成在与在加工后成为栅极配线 21 以及中继电极 55 的部分重叠的位置。另一方面,在其以外的区域,即,最终去除导电氧化物膜 160 以及第 3 金属层 170 的部分,不形成感光性抗蚀剂膜 180。

[0190] 接下来,如图 10C 以及图 12C 所示,通过蚀刻法,图形形成端子 71、81、栅极配线 21 以及中继电极 55。具体地说,在第 1 感光性抗蚀剂膜 181 的位置,将第 3 金属层 170 除去,仅留下导电氧化物膜 160。在这里留下的导电氧化物膜 160 成为端子 71、81。另一方面,在第 2 感光性抗蚀剂膜 182 的位置,导电氧化物膜 160 以及第 3 金属层 170 留下。在这里留下的导电氧化物膜 160 成为端子 71、81。另一方面,在第 2 感光性抗蚀剂膜 182 的位置,留下导电氧化物膜 160 和第 3 金属层 170。在此留下的导电氧化物膜 160 以及第 3 金属层 170 成为栅极配线 21 以及中继电极 55。即,栅极配线 21 与中继电极 55 由相同的材料形成。

[0191] 这样,通过使用半色调掩模对导电氧化物膜 160 以及第 3 金属层 170 进行加工,能够削减掩模,能够使制造工序简略化,削减制造成本。

[0192] 接下来,对制造本实施方式的有机 EL 显示器 10 的方法进行说明(图示省略)。具体地说,对在上述的薄膜晶体管阵列装置 20 上顺次层叠层间绝缘膜 11、堤岸 15、阳极 12、有机 EL 层 13 以及透明阴极 14 的方法进行说明。

[0193] 首先,在第 3 金属层 170 上,形成层间绝缘膜 11。然后,通过光刻法、蚀刻法等,形成贯通层间绝缘膜 11 的第 4 贯通孔(图示省略)。该第 4 贯通孔在后来成为第 4 接触孔 174。

[0194] 接下来,堤岸 15,形成在层间绝缘膜 11 上的与各像素 100 的边界对应的位置。进而,阳极 12,按每个像素 100,形成在层间绝缘膜 11 上且堤岸 15 的开口部内。此时,构成阳极 12 的材料填充于第 4 贯通孔,形成第 4 接触孔 174。经由该第 4 接触孔 174,阳极 12 与中继电极 55 电连接。

[0195] 阳极 12 的材料,例如,为下述的任意一种材料:钼、铝、金、银、铜等导电性金属或者这些金属的合金、PEDOT:PSS 等有机导电性材料、氧化锌、和添加铅的氧化铟。通过真空蒸镀法、电子束蒸镀法、RF 溅射法或者印刷法等制作由这些材料构成的膜,形成电极图形。

[0196] 有机 EL 层 13,按每个颜色(子像素列)或者每个子像素,形成在阳极 12 上且堤岸 15 的开口部内。该有机 EL 层 13 是空穴注入层、空穴输送层、发光层、电子输送层以及电子注入层等各层层叠而构成的。例如,作为空穴注入层可以使用酞菁铜,作为空穴输送层可以使用 α -NPD(Bis[N-(1-Naphthyl)-N-Phenyl]benzidine),作为发光层可以使用 Alq₃(tris(8-hydroxyquinoline)aluminum),作为电子输送层可以使用噁唑衍生物,作为

电子注入层可以使用 Alq_3 。另外,这些材料只是一例,也可以使用其他的材料。

[0197] 透明阴极 14 是连续形成在有机 EL 层 13 上的具有透射性的电极。透明阴极 14 的材料例如为 ITO 、 SnO_2 、 In_2O_3 、 ZnO 或者它们的组合等。

[0198] (变形例)

[0199] 接下来,参照图 13 以及图 14,对图 5 所示的端子部 70 的变形例进行说明。图 13 所示的端子部 70a,将与栅极配线 21 重叠的导电氧化物膜 160 的端部延长、形成端子 71a。即,在图 13 所示的例子中,使形成在栅极配线 21 之下的导电氧化物膜 160,从由第 3 金属层 170 形成的栅极配线 21 的端部延伸,将导电氧化物膜 160 的露出部分设为端子 71a。由此,与图 5 的例子相比较,能够将中继配线 72 以及孔部 73、74 省略。

[0200] 另外,图 14 所示的端子部 70b,在图 13 的结构的基础上,在与第 2 金属层 140 的端子 71b 重叠的位置,配置有弹性体 72b。该弹性体 72b 可以通过与第 2 金属层 140 相同的材料形成。配置于端子 71b 的紧下方的弹性体 72b,成为在将端子 71b 与外部驱动电路例如通过 ACF (Anisotropic Conductive Film, 各向异性导电性膜) 或者引线接合法等电接合时的缓冲件。其结果,能够可靠地进行接合,提高电连接的可靠性。

[0201] 接下来,参照图 15 以及图 16,对图 7 的变形例进行说明。在图 15 中,表示了阳极 12 在中继电极 55 的中央区域电连接的例子。另外,在图 16 中,表示了层间绝缘膜 11 由有机膜 11a 和无机膜 11b 这两层构成的例子。在这里,有机膜 11a 被配置在与阳极 12 相接一侧(上层),无机膜 11b 被配置在与栅极配线 21 以及中继电极 55 相接一侧(下层)。

[0202] 另外,在本实施方式中,示出了构成像素 100 的 TFT 为 2 个的情况,但本发明的应用范围并不限于此。在为了补偿像素 100 内的 TFT 的不均而由多个(3 个以上)TFT 构成的情况下也能够采用同样的结构。

[0203] 另外,在本实施方式中,示出了用于驱动有机 EL 元件的像素结构,但并不限于此。能够应用于液晶、无机 EL 等使用 TFT 构成的所有的薄膜晶体管阵列装置 20。

[0204] 另外,在本实施方式中,示出了下述例子:在沿层叠方向相互相邻的第 1 ~ 第 3 金属层 120、140、170 中的第 1 金属层 120 形成栅极电极 41、51,在第 2 金属层 140 形成源极配线 22 以及电源配线 23,在第 3 金属层 170 形成栅极配线 21,但本发明的应用范围并不限于此。即,即便在第 1 以及第 2 金属层 120、140 之间、以及第 2 以及第 3 金属层 140、170 之间还形成有金属层,只要栅极配线 21、源极配线 22 以及电源配线 23 位于比栅极电极 41、51 更上方的金属层,就能够得到本发明的效果。

[0205] 上面,参照附图对本发明的实施方式进行了说明,但本发明并不限于图示的实施方式。可以对于图示的实施方式,在与本发明相同的范围内或者等同的范围内,加以各种修正、变形。

[0206] 产业上的利用可能性

[0207] 本发明的图像显示装置用薄膜晶体管阵列装置,作为有机 EL 显示装置、液晶显示装置等中所使用的驱动用背板 (back plate) 而有用。

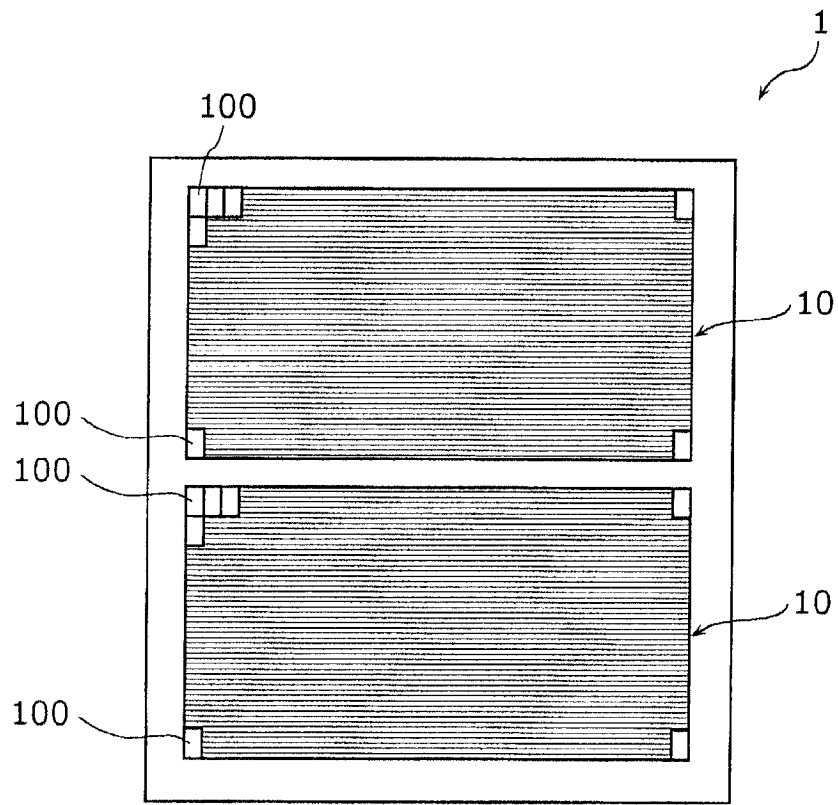


图 1

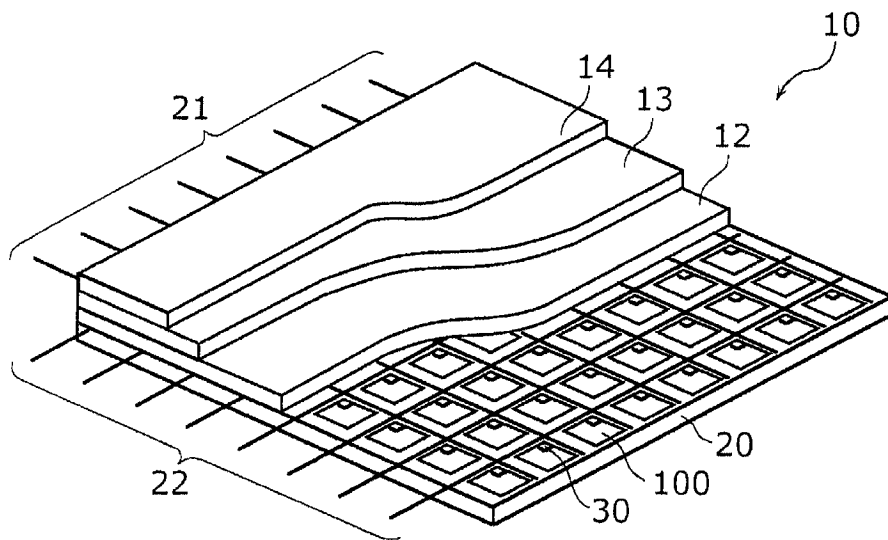


图 2A

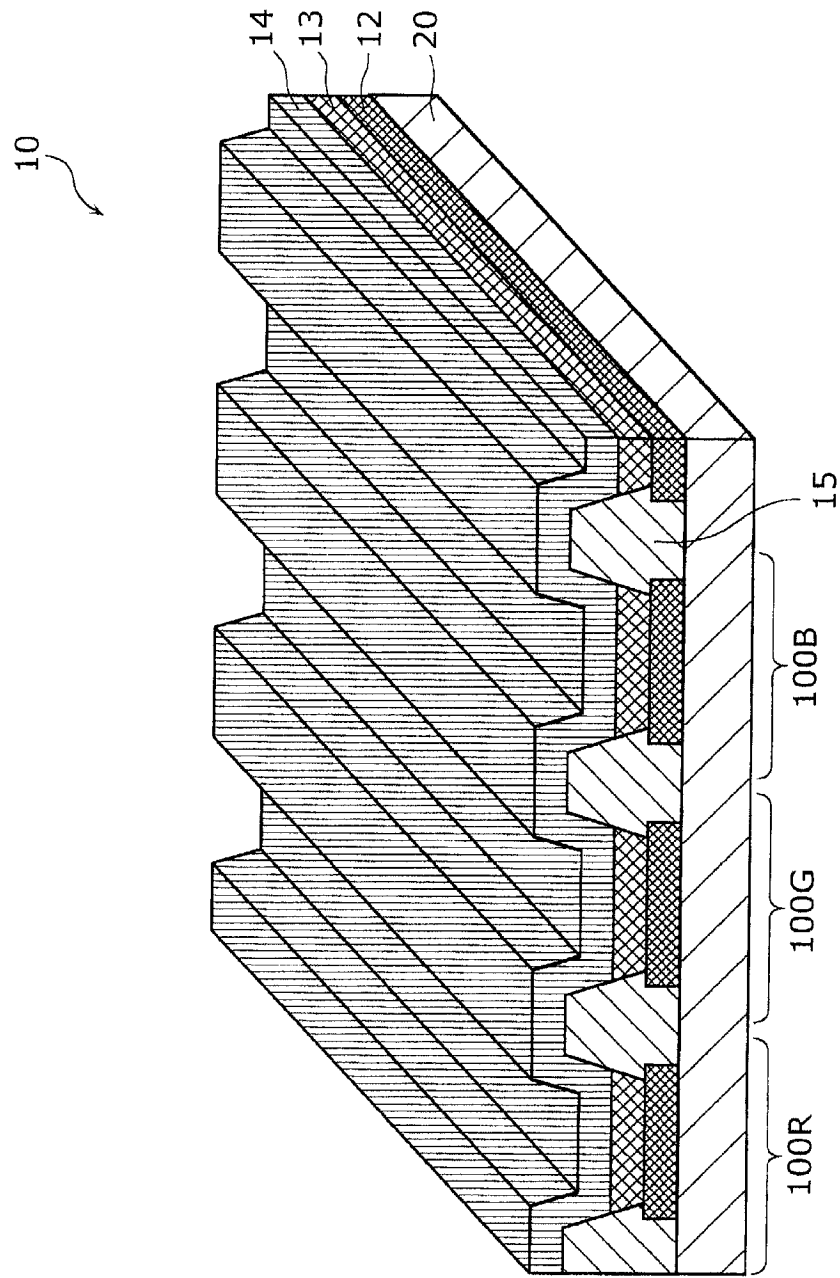


图 2B

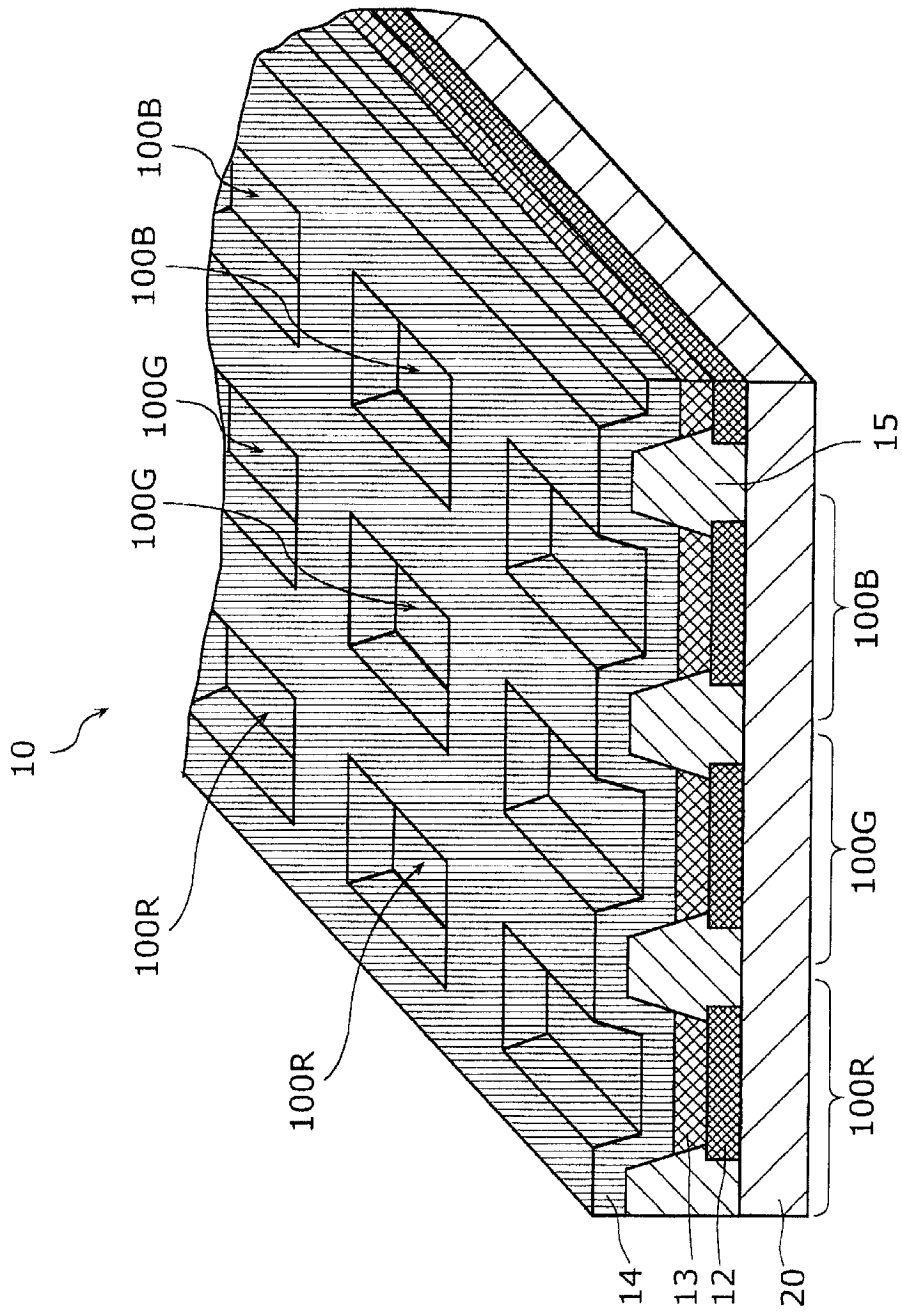


图 2C

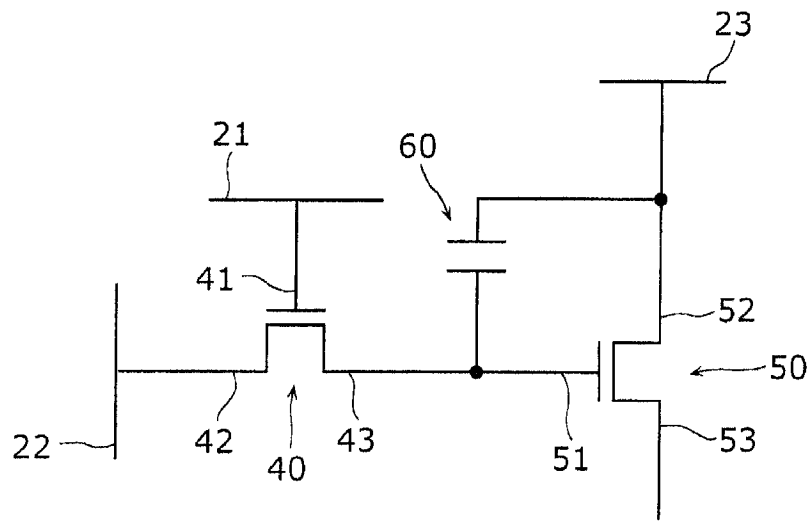


图 3

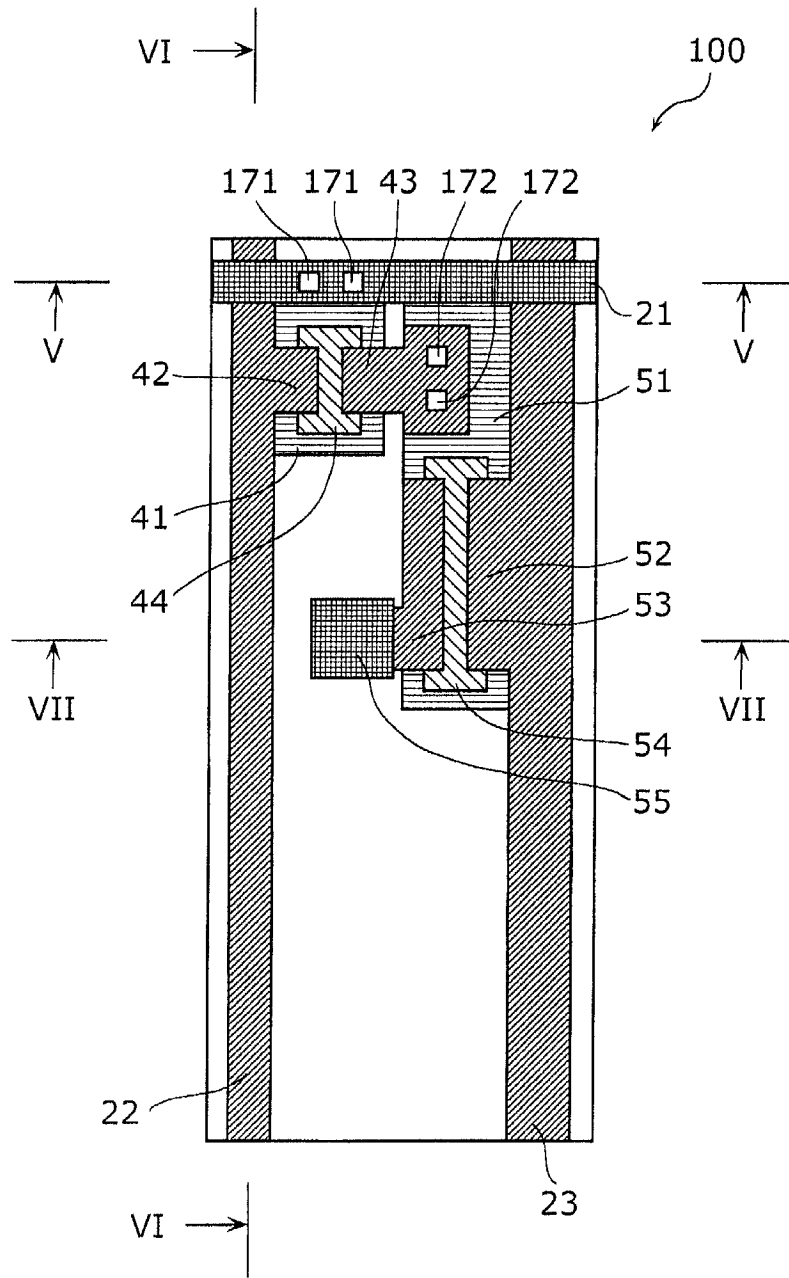


图 4

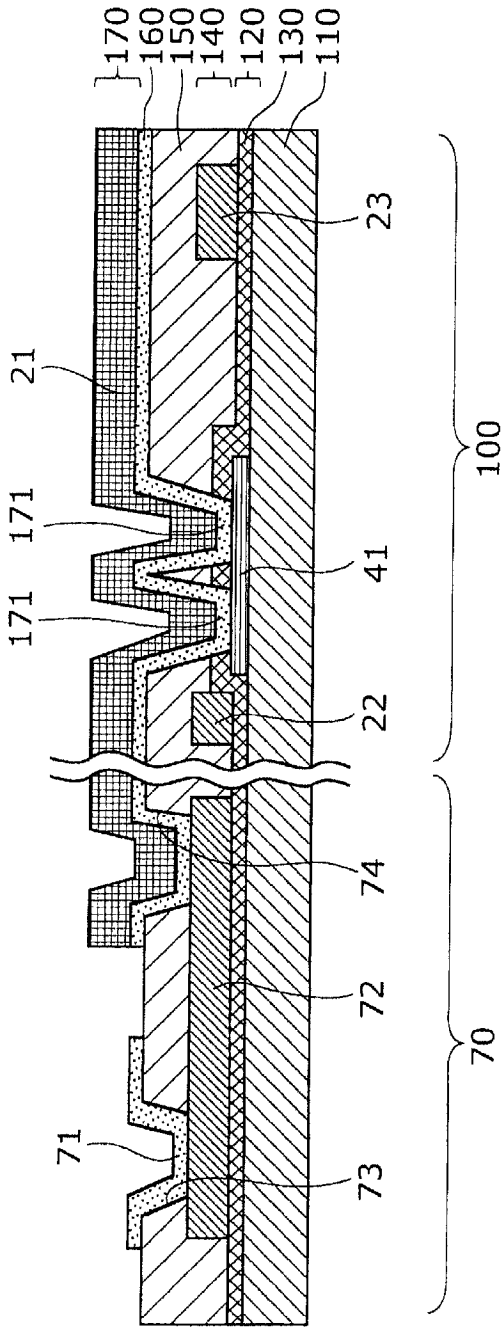


图 5

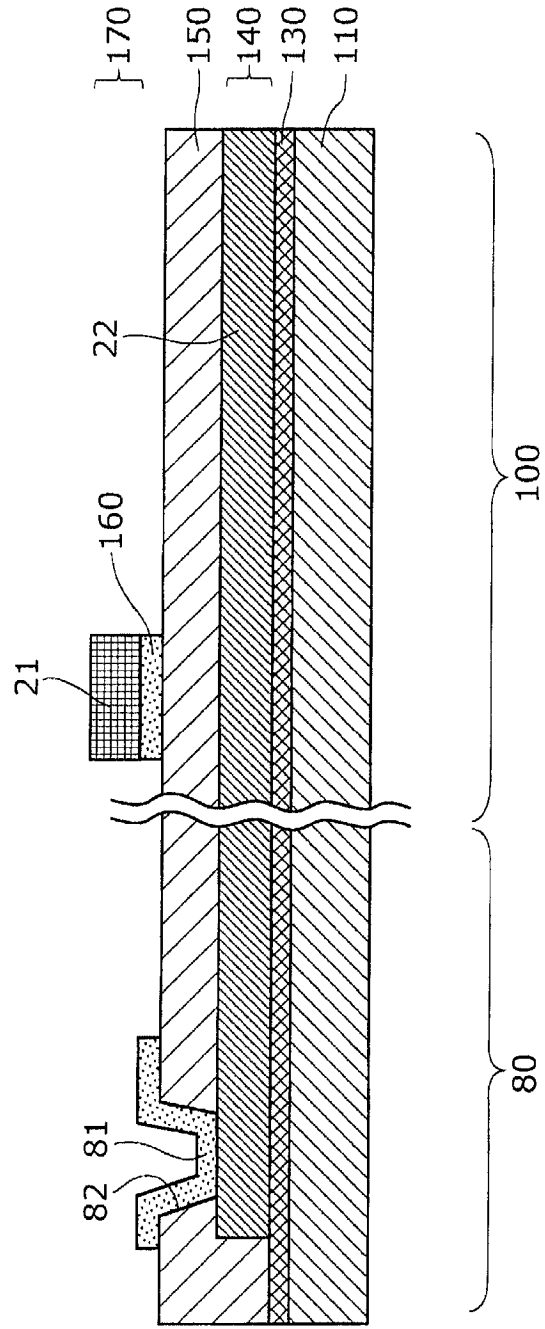


图 6

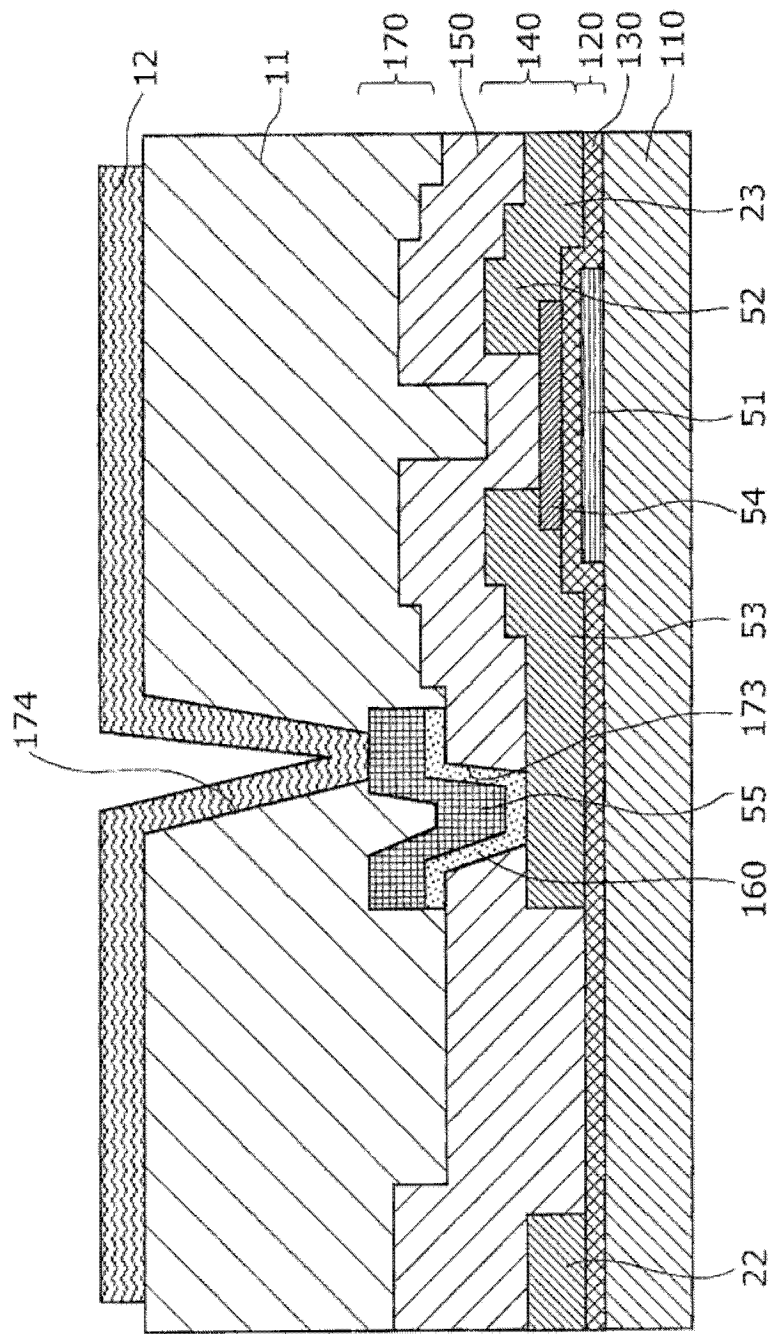


图 7

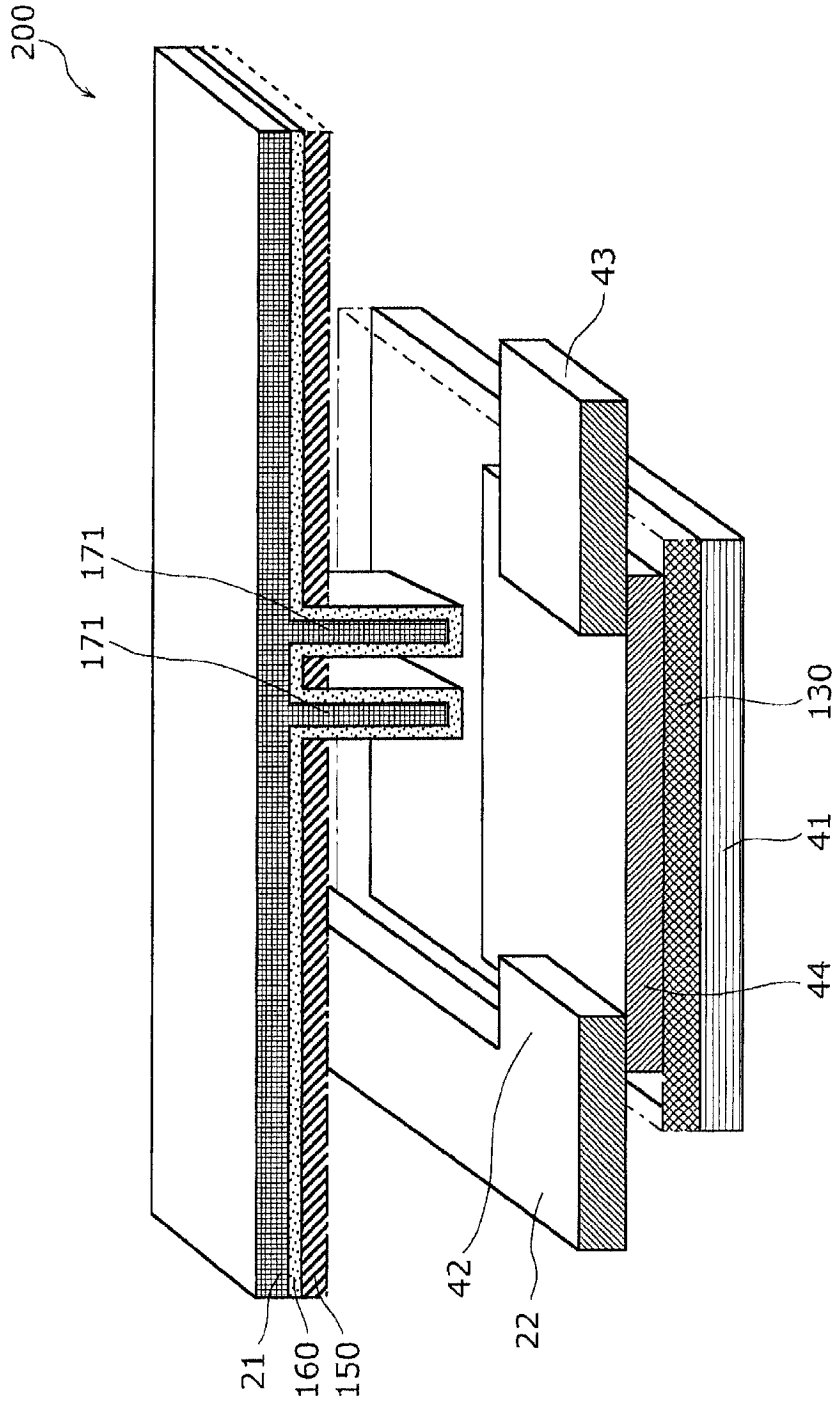


图 8

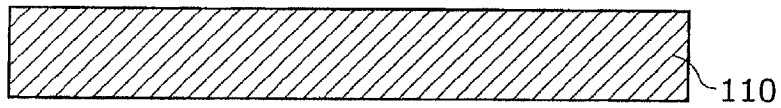


图 9A

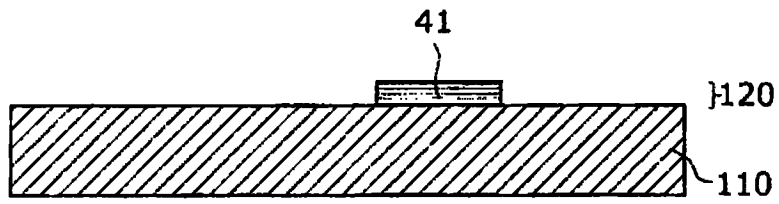


图 9B

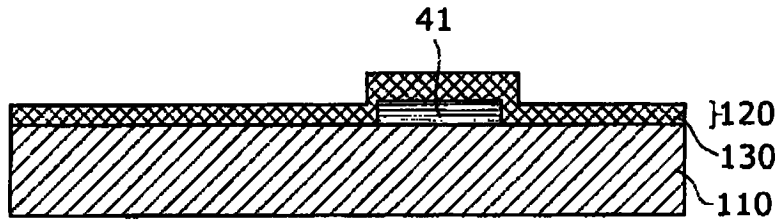


图 9C

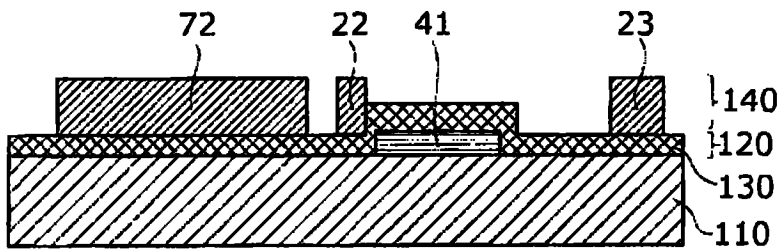


图 9D

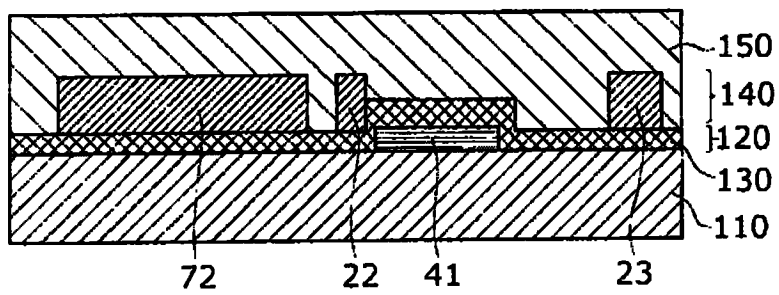


图 9E

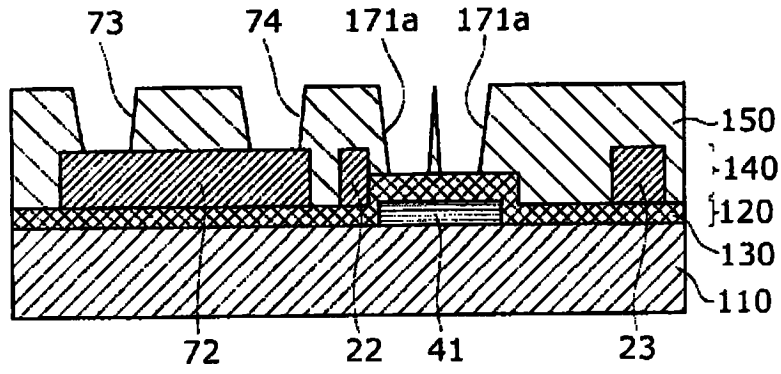


图 9F

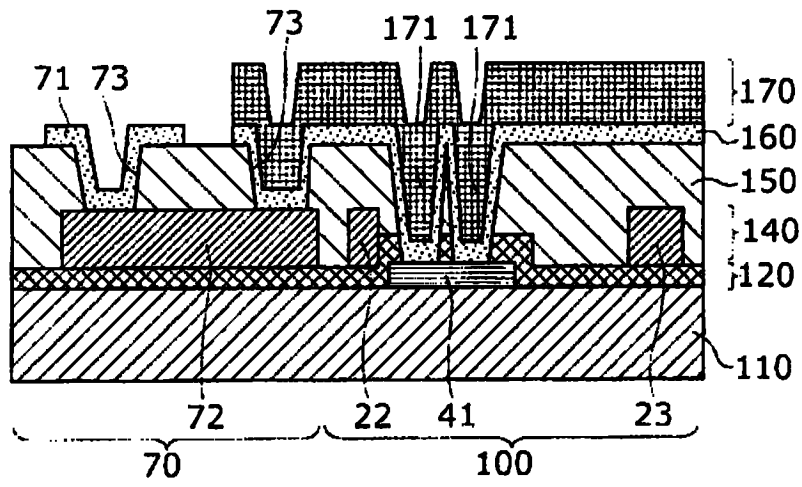


图 9G

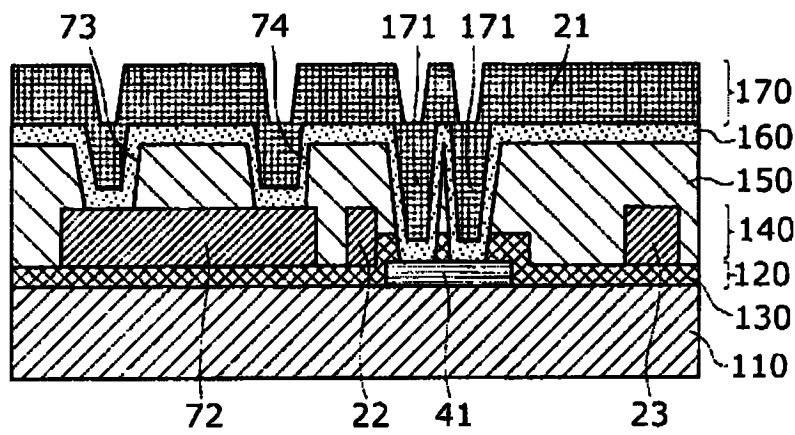


图 10A

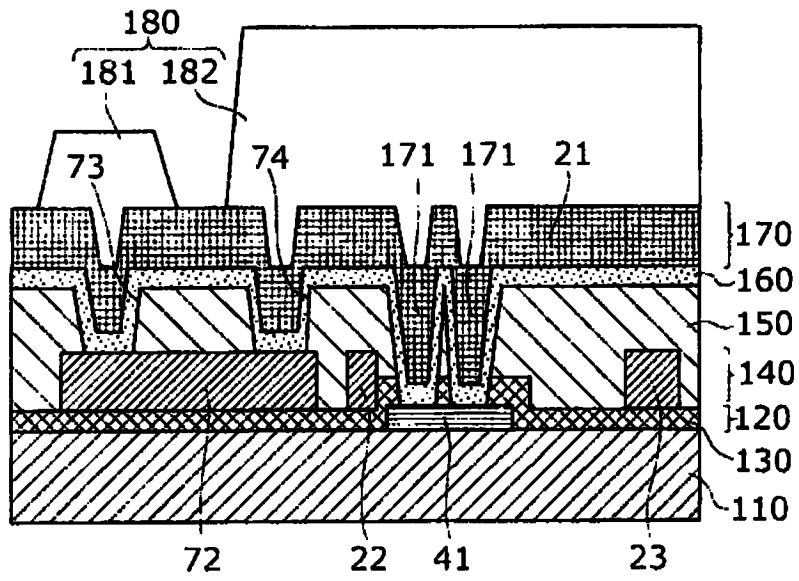


图 10B

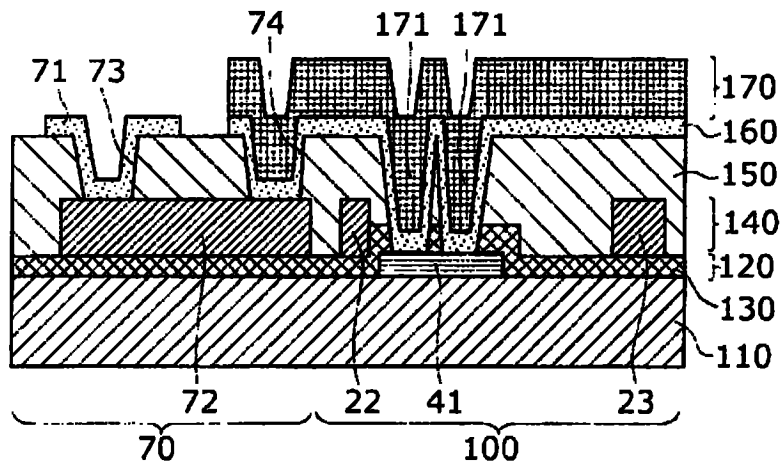


图 10C

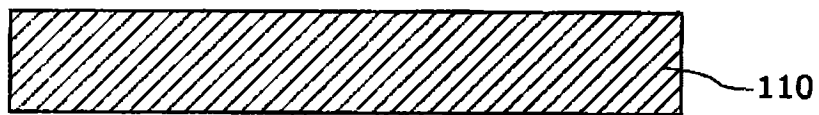


图 11A

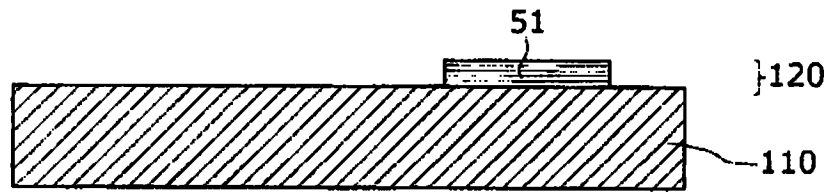


图 11B

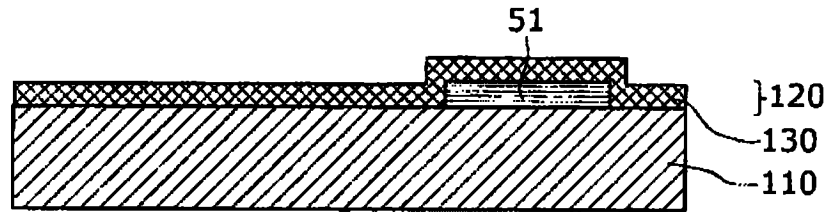


图 11C

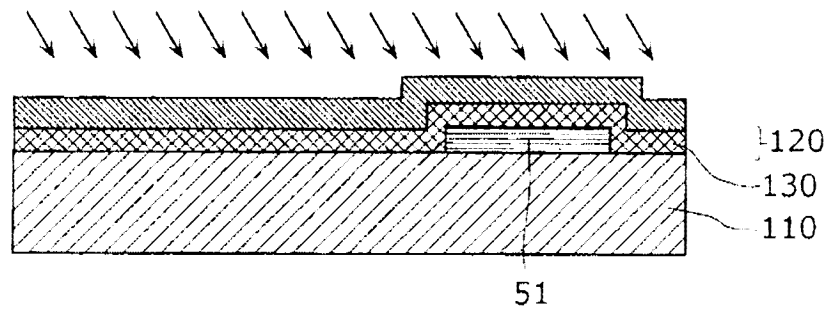


图 11D

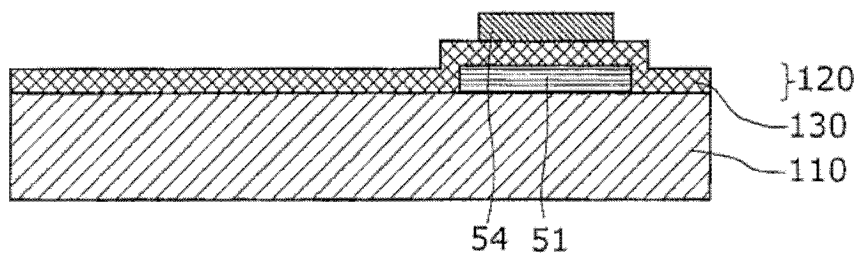


图 11E

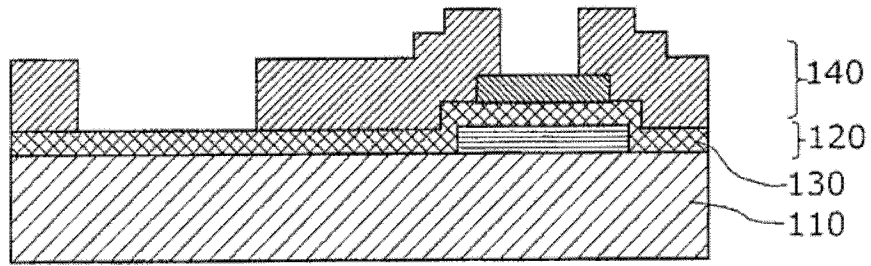


图 11F

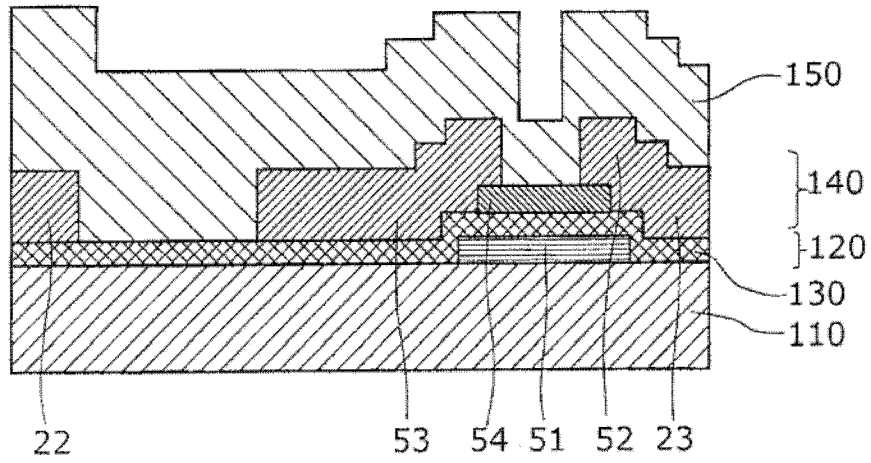


图 11G

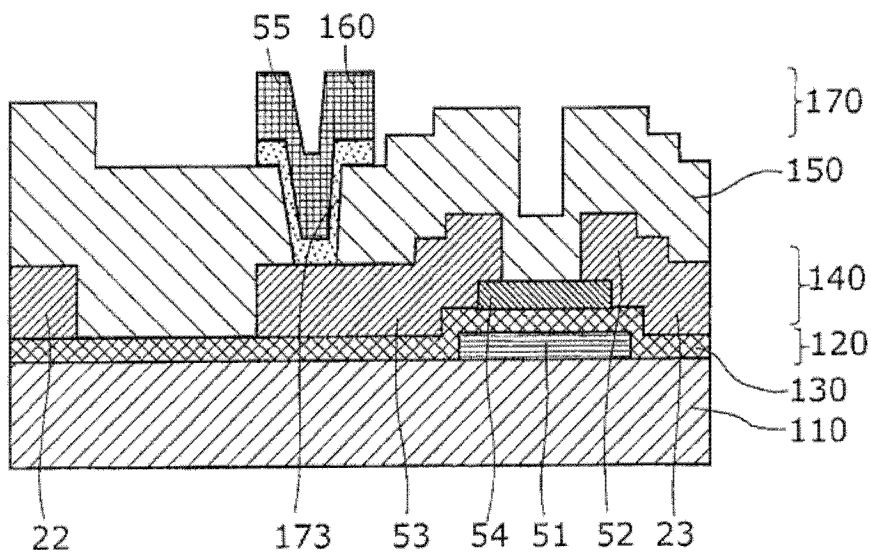


图 11H

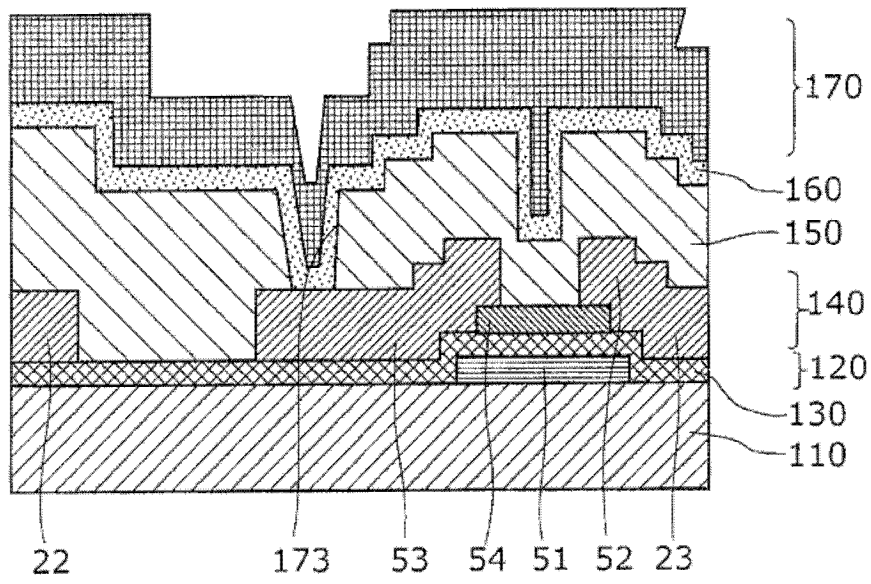


图 12A

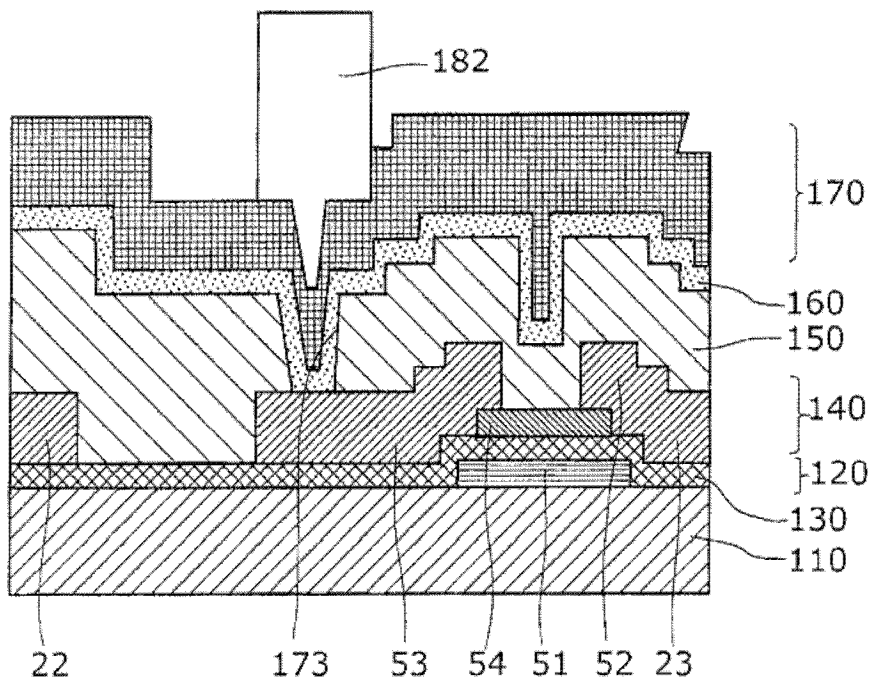


图 12B

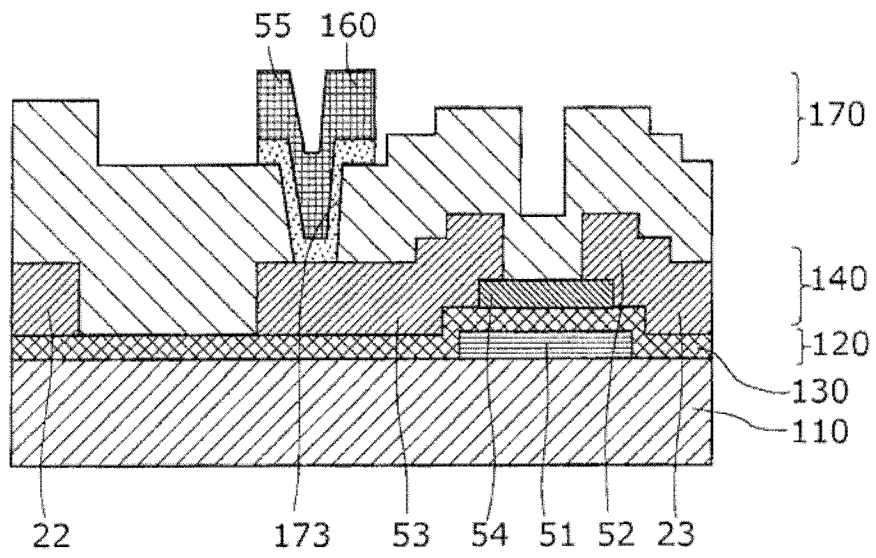


图 12C

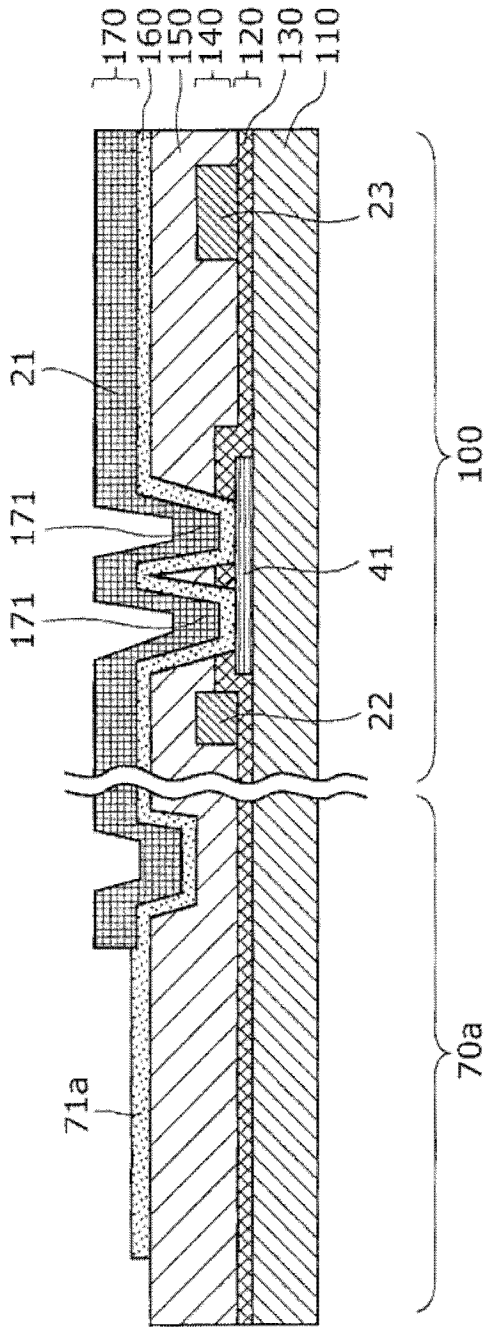


图 13

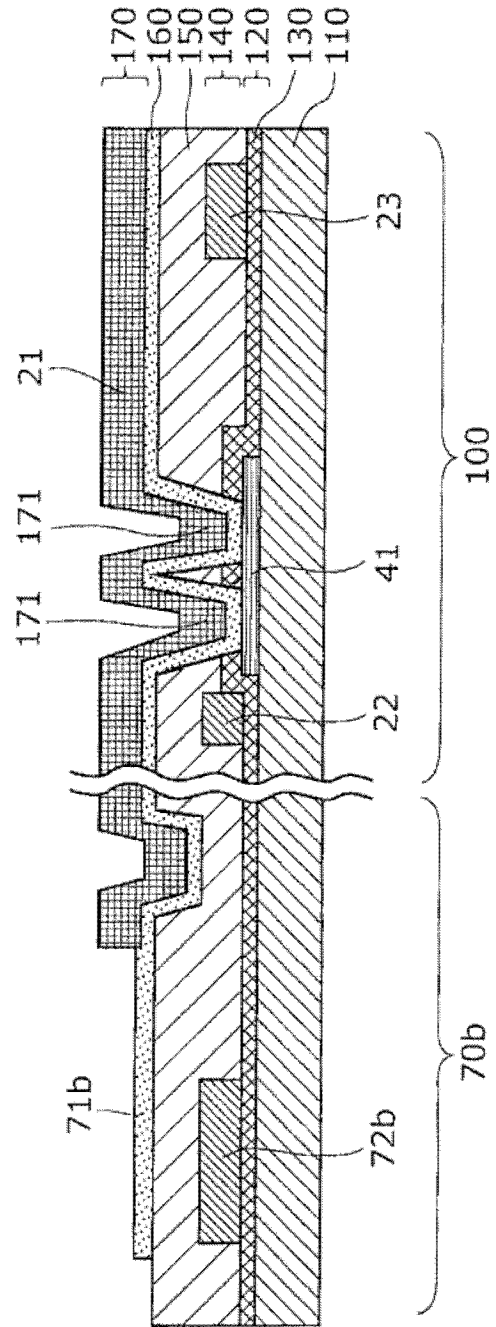


图 14

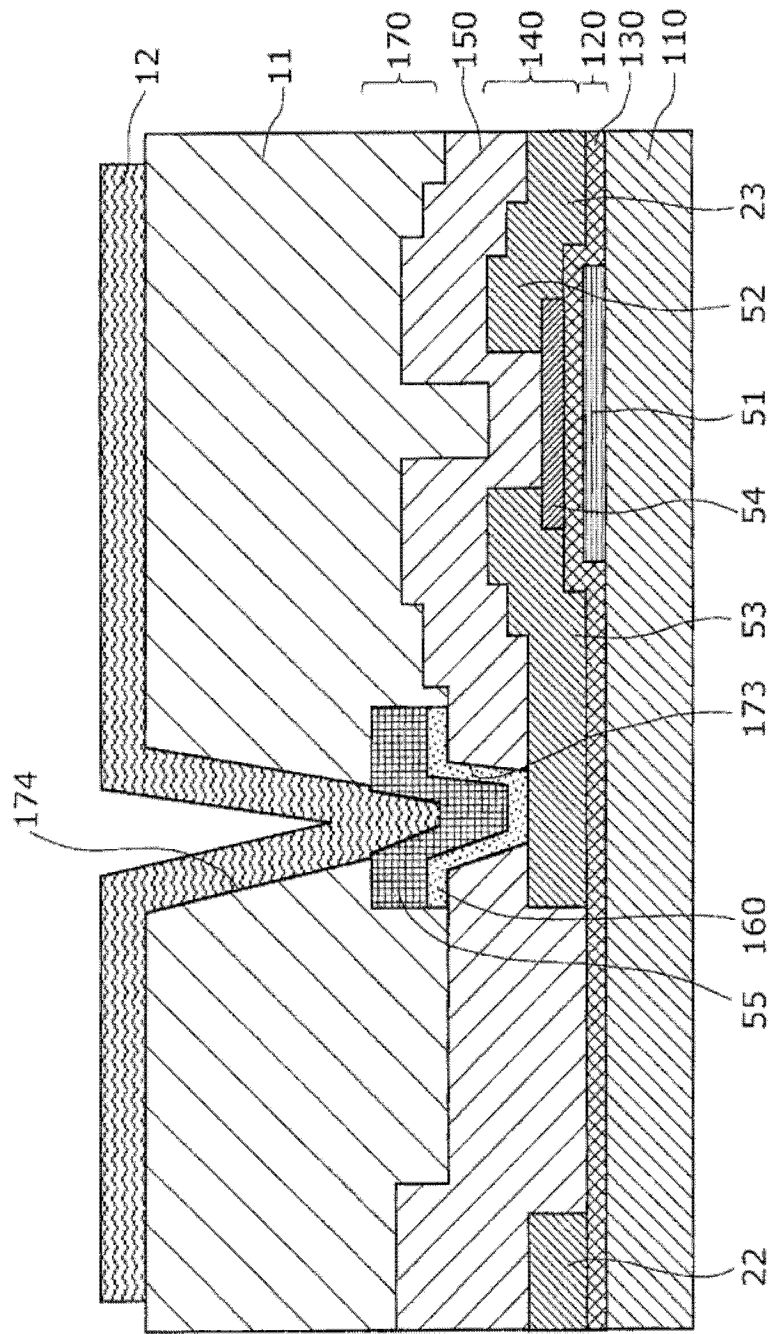


图 15

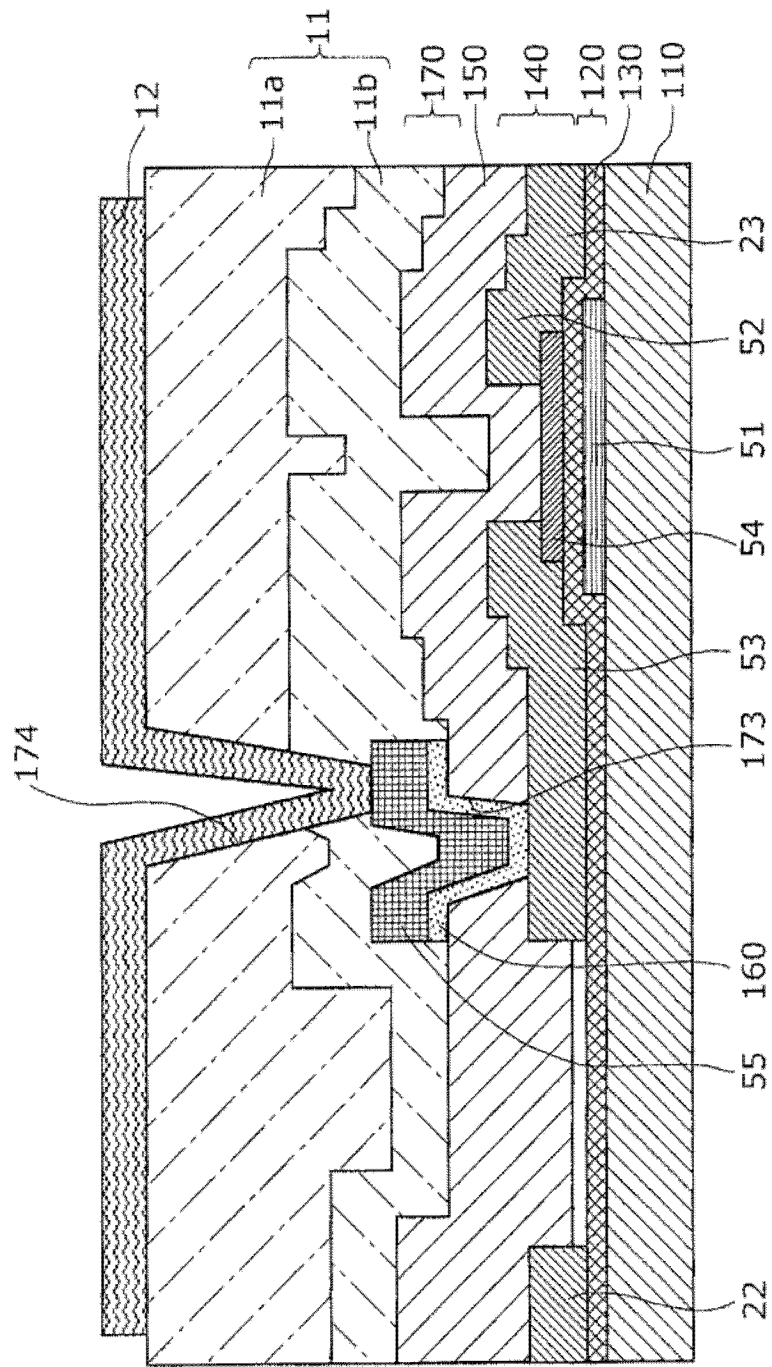


图 16

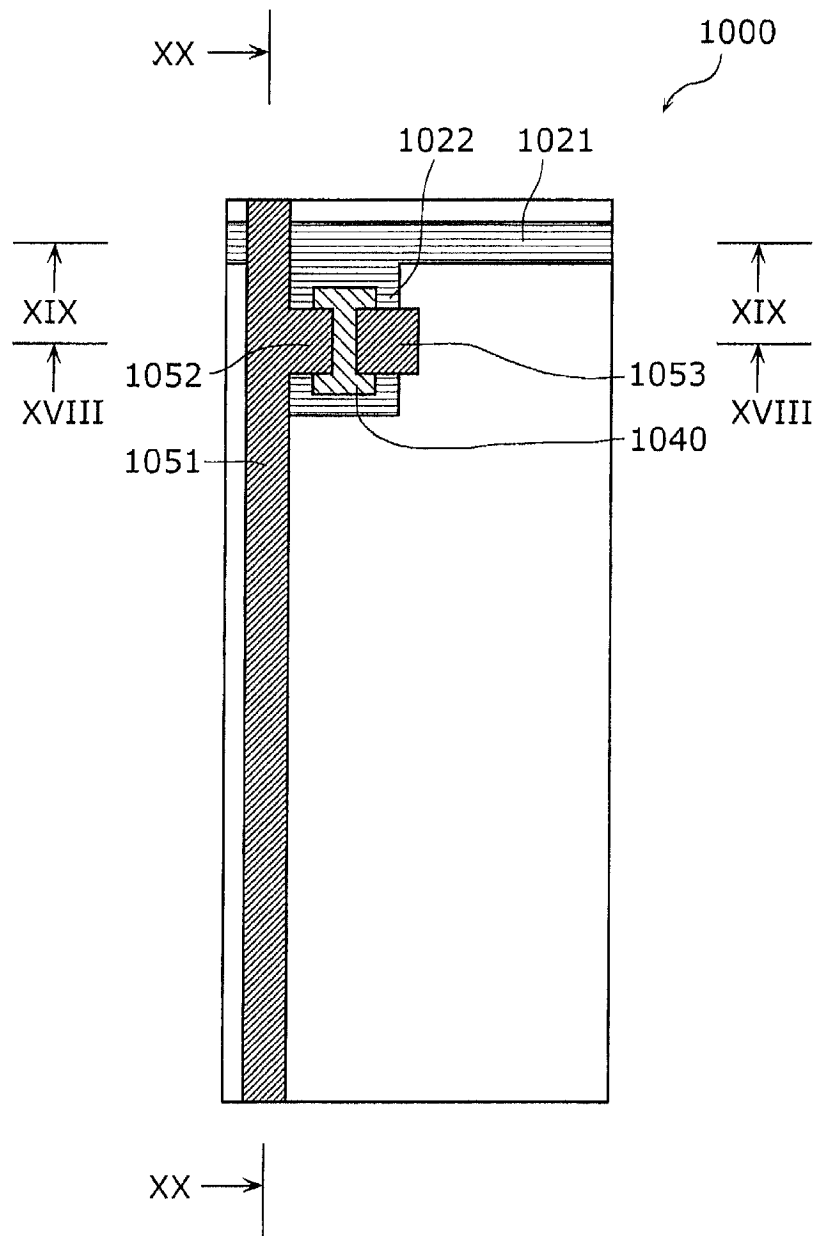


图 17

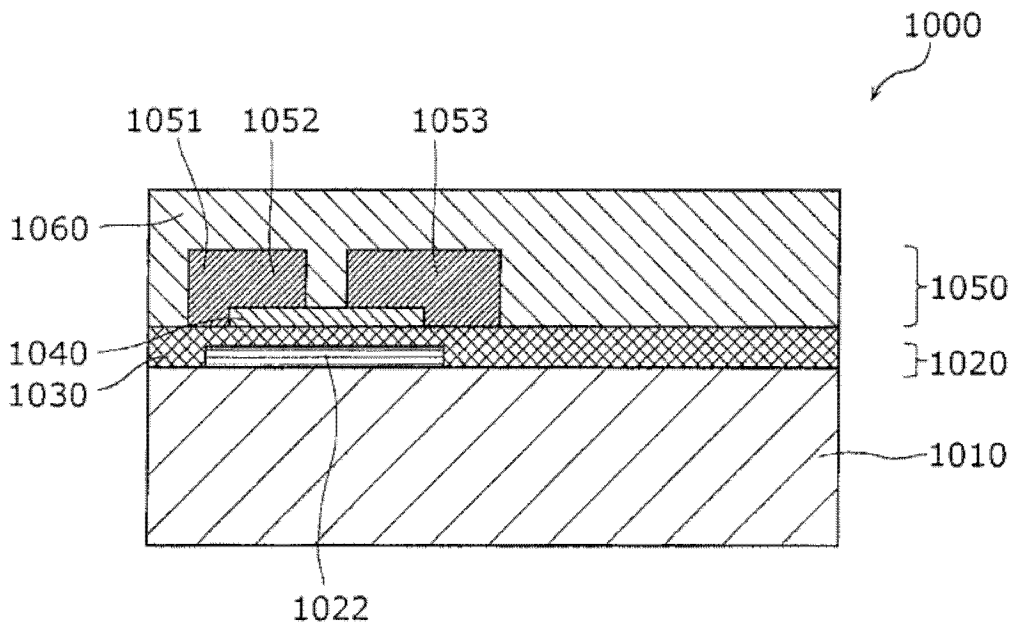


图 18

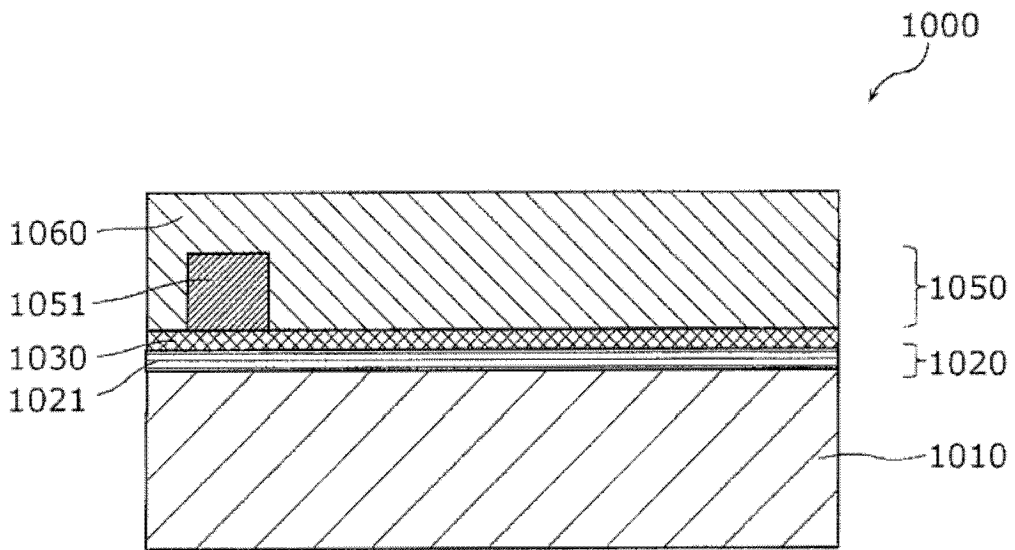


图 19

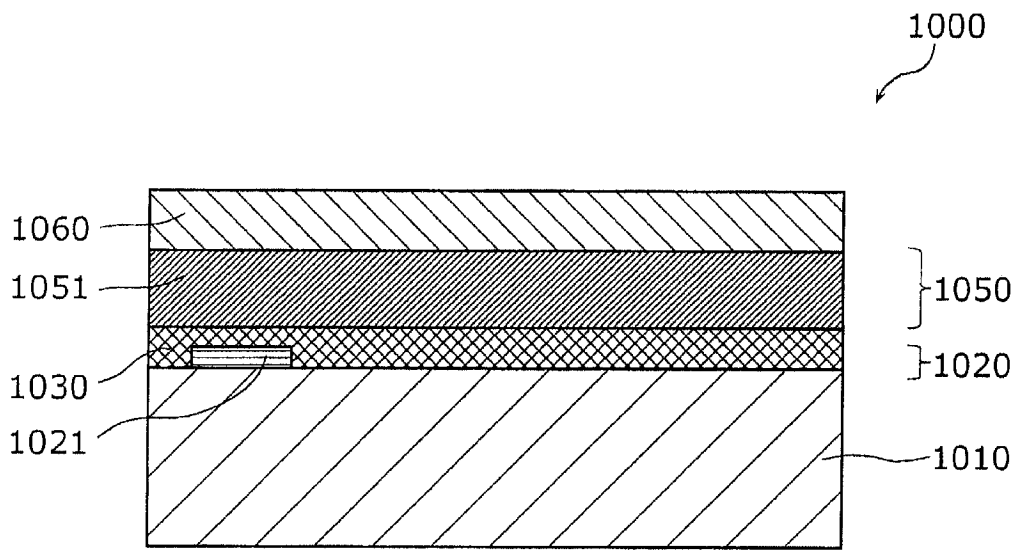


图 20

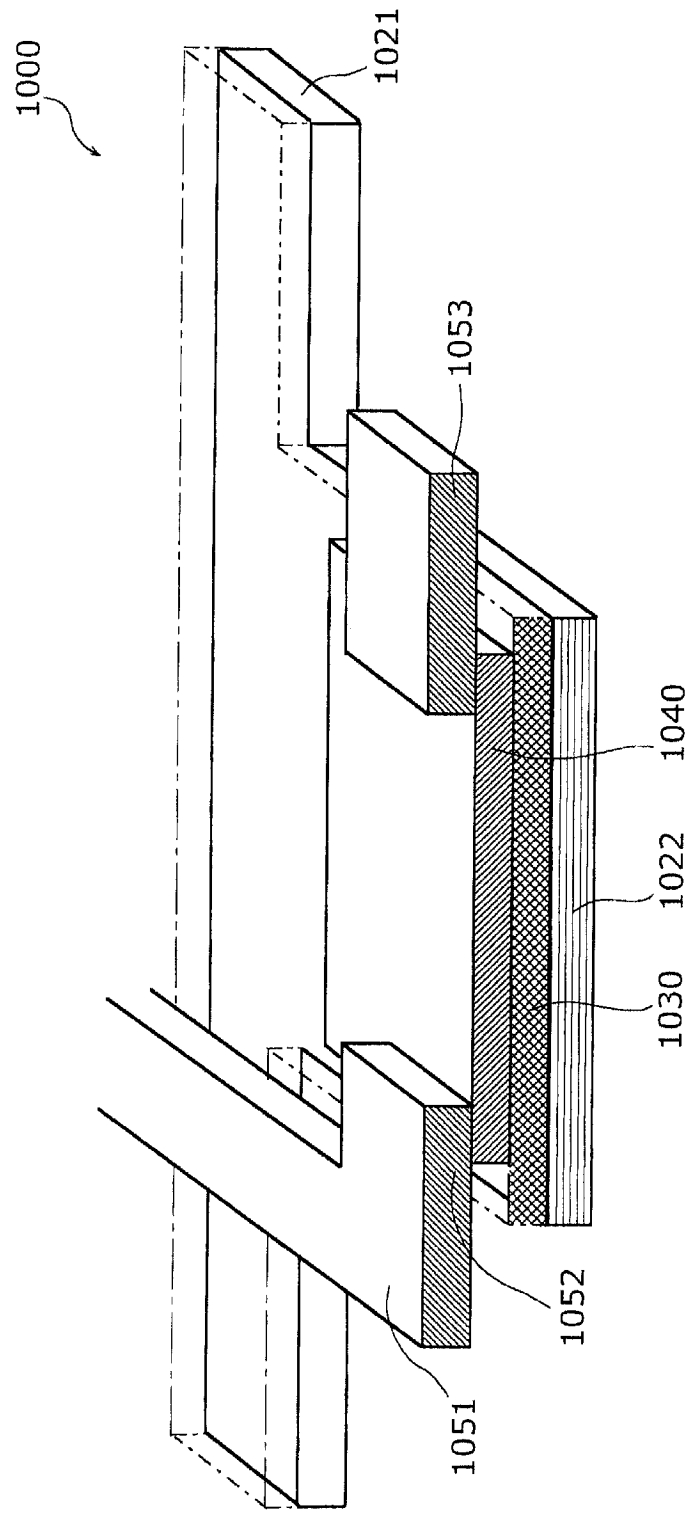


图 21