(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0010790
(43) 공개일자 2018년01월31일

(51) 국제특허분류(Int. Cl.)
H01L 45/00 (2006.01)
(52) CPC특허분류
H01L 45/141 (2013.01)
H01L 45/1253 (2013.01)
(21) 출원번호 10-2016-0093462
(22) 출원일자 2016년07월22일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
오철
경기도 수원시 팔달구 팔달로153번길 75, 1층 (화서동)
안동호
경기도 화성시 영통로50번길 27, 105동 103호 (반월동, 반달마을두산위브아파트)
(뒷면에 계속)
(74) 대리인
리앤목특허법인

전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **메모리 소자**

(57) 요 약

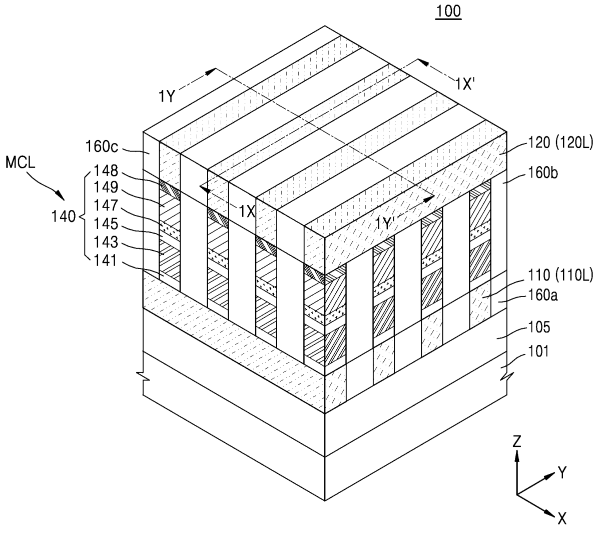
메모리 소자가 개시된다. 메모리 소자는 가변 저항층, 및 상기 가변 저항층과 전기적으로 연결되도록 위치하며, 하기의 화학식 1에 따른 조성을 갖는 칼코게나이드 스위칭 물질을 포함하는 선택 소자층을 포함한다.

<화학식 1>

$[Ge_X Si_Y (As_a Te_{1-a})_Z]_{(1-U)} [N]_U$

(여기에서, 0.05 ≤ X ≤ 0.1이고, 0.15 ≤ Y ≤ 0.25이고, 0.7 ≤ Z ≤ 0.8이고, X+Y+Z=1이고, 0.45 ≤ a ≤ 0.6이고, 0.08 ≤ U ≤ 0.2이다.)

대 표 도 - 도2



(52) CPC특허분류
H01L 45/144 (2013.01)
H01L 45/1641 (2013.01)

(72) 발명자
박순오
경기도 수원시 영통구 영통로 460, 311동 602호 (영통동, 대우.동신아파트)
박정희
경기도 화성시 동탄숲속로 96, 855동 502호 (능동, 숲속마을모아미래도1단지아파트)
이진우
서울특별시 강동구 상암로 8-9, 401호 (암사동, 하우스 케이)
호리이 히데키
서울특별시 강남구 광평로51길 22, 103동 302호 (수서동, 한아름아파트)
성동준
경기도 성남시 분당구 정자일로213번길 5, 301호 (정자동, 아이파크분당3)
최설
서울특별시 종로구 사직로8길 4, 105동 402호 (사직동, 광화문풍림스페이스본)

명 세 서

청구범위

청구항 1

가변 저항층; 및

상기 가변 저항층과 전기적으로 연결되도록 위치하며, 하기의 화학식 1에 따른 조성을 갖는 칼코게나이드 스위칭 물질을 포함하는 선택 소자층;을 포함하는 메모리 소자,

<화학식 1>

$[Ge_X Si_Y (As_a Te_{1-a})_Z]_{(1-U)} [N]_U$

(여기에서, 0.05 ≤ X ≤ 0.1이고, 0.15 ≤ Y ≤ 0.25이고, 0.7 ≤ Z ≤ 0.8이고, X+Y+Z=1이고, 0.45 ≤ a ≤ 0.6이고, 0.08 ≤ U ≤ 0.2이다.).

청구항 2

제1항에 있어서, 상기 화학식 1에서 X는 0.06 내지 0.08의 범위이며, Y는 0.17 내지 0.22인 것을 특징으로 하는 메모리 소자.

청구항 3

제1항에 있어서, 상기 화학식 1에서 Z는 0.5 내지 0.6의 범위인 것을 특징으로 하는 메모리 소자.

청구항 4

제1항에 있어서, 상기 화학식 1에서 U는 0.15 내지 0.2의 범위인 것을 특징으로 하는 메모리 소자.

청구항 5

제1항에 있어서, 상기 칼코게나이드 스위칭 물질은 상기 화학식 1에서 탄소(C)가 더 포함된 하기의 화학식 2의 조성을 갖는 것을 특징으로 하는 메모리 소자,

<화학식 2>

$[Ge_X Si_Y (As_a Te_{1-a})_Z]_{(1-U-V)} [N]_U [C]_V$

(여기에서, 0.05 ≤ X ≤ 0.1이고, 0.15 ≤ Y ≤ 0.25이고, 0.7 ≤ Z ≤ 0.8이고, X+Y+Z=1이고, 0.45 ≤ a ≤ 0.6이고, 0.08 ≤ U ≤ 0.2이고, 0.01 ≤ V ≤ 0.15이다.).

청구항 6

제5항에 있어서, 상기 화학식 2에서 U는 0.1 내지 0.15의 범위이고, V는 0.04 내지 0.1의 범위인 것을 특징으로 하는 메모리 소자.

청구항 7

제1항에 있어서, 상기 칼코게나이드 스위칭 물질은 오보닉 문턱 스위칭(ovonic threshold switching) 특성을 나타내도록 구성되는 것을 특징으로 하는 메모리 소자.

청구항 8

제1항에 있어서, 상기 가변 저항층은 상기 칼코게나이드 스위칭 물질과는 다른 조성을 갖는 칼코게나이드 물질을 포함하는 것을 특징으로 하는 메모리 소자.

청구항 9

제1항에 있어서, 상기 가변 저항층은 GeSbTe, InSbTe 및 BiSbTe 중 적어도 하나를 포함하거나, GeTe 및 SbTe이 반복하여 적층된 초격자(super lattice) 구조를 포함하는 것을 특징으로 하는 메모리 소자.

청구항 10

가변 저항층; 및

상기 가변 저항층과 전기적으로 연결되도록 위치하며, 하기의 화학식 3에 따른 조성을 갖는 칼코게나이드 스위칭 물질을 포함하는 선택 소자층;을 포함하는 메모리 소자,

<화학식 3>

$Ge_X Si_Y As_Z (Te_b Se_{1-b})_W$

(여기에서, 0.05 ≤ X ≤ 0.1이고, 0.15 ≤ Y ≤ 0.25이고, 0.35 ≤ Z ≤ 0.45이고, 0.7 ≤ b < 1.0이고, 0.3 ≤ W ≤ 0.4이고, X+Y+Z+W=1이다.).

청구항 11

제10항에 있어서, 상기 칼코게나이드 스위칭 물질은 3.5 내지 8 원자 퍼센트(at%)의 셀레늄(Se) 및 24 내지 28 at%의 텔루륨(Te)을 포함하는 것을 특징으로 하는 메모리 소자.

청구항 12

제10항에 있어서, 상기 칼코게나이드 스위칭 물질은 6 내지 8 at%의 저머늄(Ge) 및 17 내지 22 at%의 실리콘(Si)을 포함하는 것을 특징으로 하는 메모리 소자.

청구항 13

제10항에 있어서, 상기 칼코게나이드 스위칭 물질은 상기 화학식 3에서 질소(N)가 더 포함된 하기의 화학식 4의 조성을 갖는 것을 특징으로 하는 메모리 소자,

<화학식 4>

$[Ge_X Si_Y As_Z (Te_b Se_{1-b})_W]_{(1-U)} [N]_U$

(여기에서, 0.05 ≤ X ≤ 0.1이고, 0.15 ≤ Y ≤ 0.25이고, 0.35 ≤ Z ≤ 0.45이고, 0.7 ≤ b < 1.0이고, 0.3 ≤ W ≤ 0.4이고, X+Y+Z+W=1이고, 0.08 ≤ U ≤ 0.2이다.).

청구항 14

제13항에 있어서, 상기 칼코게나이드 스위칭 물질은 15 내지 20 at%의 질소(N)를 포함하는 것을 특징으로 하는 메모리 소자.

청구항 15

제10항에 있어서, 상기 칼코게나이드 스위칭 물질은 상기 화학식 3에서 질소(N) 및 탄소(C)가 더 포함된 하기의 화학식 5의 조성을 갖는 것을 특징으로 하는 메모리 소자,

<화학식 5>

$[Ge_X Si_Y As_Z (Te_b Se_{1-b})_W]_{(1-U-V)} [N]_U [C]_V$

(여기에서, 0.05 ≤ X ≤ 0.1이고, 0.15 ≤ Y ≤ 0.25이고, 0.35 ≤ Z ≤ 0.45이고, 0.7 ≤ b < 1.0이고, 0.3 ≤ W ≤ 0.4이고, X+Y+Z+W=1이고, 0.08 ≤ U ≤ 0.2이고, 0.01 ≤ V ≤ 0.15이다.).

청구항 16

제15항에 있어서, 상기 칼코게나이드 스위칭 물질은 10 내지 15 at%의 질소(N) 및 4 내지 10 at%의 탄소(C)를 포함하는 것을 특징으로 하는 메모리 소자.

청구항 17

기판 상에 형성되며, 상기 기판의 상면에 평행한 제1 방향으로 연장되는 복수의 제1 전극 라인;

상기 복수의 제1 전극 라인 상에 형성되며, 상기 기판의 상면에 평행하고 상기 제1 방향과 다른 제2 방향으로 연장되는 복수의 제2 전극 라인;

상기 복수의 제1 전극 라인 상에 형성되며, 상기 제1 방향으로 연장되는 복수의 제3 전극 라인; 및

상기 복수의 제1 전극 라인과 상기 복수의 제2 전극 라인의 교차 지점 및 상기 복수의 제2 전극 라인과 상기 복수의 제3 전극 라인의 교차 지점에 각각 형성되는 복수의 메모리 셀을 포함하고,

상기 복수의 메모리 셀 각각은 선택 소자층 및 가변 저항층을 포함하고,

상기 선택 소자층은 하기의 화학식 1 또는 화학식 3에 따른 조성을 갖는 칼코게나이드 스위칭 물질을 포함하는 것을 특징으로 하는 메모리 소자,

<화학식 1>

$[Ge_X Si_Y (As_a Te_{1-a})_Z]_{(1-U)} [N]_U$

(여기에서, $0.05 \le X \le 0.1$이고, $0.15 \le Y \le 0.25$이고, $0.7 \le Z \le 0.8$이고, $X+Y+Z=1$이고, $0.45 \le a \le 0.6$이고, $0.08 \le U \le 0.2$이다.),

<화학식 3>

$Ge_X Si_Y As_Z (Te_b Se_{1-b})_W$

(여기에서, $0.05 \le X \le 0.1$이고, $0.15 \le Y \le 0.25$이고, $0.35 \le Z \le 0.45$이고, $0.7 \le b < 1.0$이고, $0.3 \le W \le 0.4$이고, $X+Y+Z+W=1$이다.).

청구항 18

제17항에 있어서,

상기 칼코게나이드 스위칭 물질에 질소(N) 및 탄소(C) 중 적어도 하나가 더 포함된 것을 특징으로 하는 메모리 소자.

청구항 19

제17항에 있어서, 상기 가변 저항층은 기둥 구조, 뿔 구조, L형 구조 및 대쉬(dash) 구조 중 어느 하나의 구조를 가지는 것을 특징으로 하는 메모리 소자.

청구항 20

제17항에 있어서, 상기 복수의 메모리 셀 각각은 제1 전극층, 제2 전극층 및 제3 전극층을 더 포함하고,

상기 제1 전극층 및 상기 제2 전극층 사이에 상기 선택 소자층이 배치되고, 상기 제2 전극층 및 상기 제3 전극층 사이에 상기 가변 저항층이 배치되는 것을 특징으로 하는 메모리 소자.

발명의 설명

기 술 분 야

[0001] 본 발명의 기술적 사상은 메모리 소자에 관한 것으로, 더욱 상세하게는, 가변 저항 물질층을 포함하는 메모리 소자에 관한 것이다.

배 경 기 술

[0002] 전자 제품의 경박 단소화 경향에 따라 반도체 소자의 고집적화에 대한 요구가 증가하고 있다. 또한 가변 저항 물질층과 선택 소자층을 포함하며, 크로스 포인트 구조를 갖는 3차원 메모리 소자가 제안되고 있다. 3차원 메모리 소자를 위한 선택 소자층으로서, 오보닉 문턱 스위칭 특성을 나타내는 칼코게나이드 물질을 사용한 메모리 소자가 제안되었다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제는 낮은 오프 전류 및 우수한 신뢰성을 갖는 메모리 소자를 제공하는 것이다.

과제의 해결 수단

[0004] 상기 기술적 과제를 달성하기 위한 본 발명의 기술적 사상에 따른 메모리 소자는, 가변 저항층, 및 상기 가변 저항층과 전기적으로 연결되도록 위치하며, 하기의 화학식 1에 따른 조성을 갖는 칼코게나이드 스위칭 물질을 포함하는 선택 소자층을 포함하며, 화학식 1은 다음과 같다.

[0005] $[Ge_X Si_Y (As_a Te_{1-a})_Z]_{(1-U)} [N]_U$

[0006] (여기에서, 0.05 ≤ X ≤ 0.1이고, 0.15 ≤ Y ≤ 0.25이고, 0.7 ≤ Z ≤ 0.8이고, X+Y+Z=1이고, 0.45 ≤ a ≤ 0.6이고, 0.08 ≤ U ≤ 0.2이다.)

[0007] 상기 기술적 과제를 달성하기 위한 본 발명의 기술적 사상에 따른 메모리 소자는, 가변 저항층, 및 상기 가변 저항층과 전기적으로 연결되도록 위치하며, 하기의 화학식 3에 따른 조성을 갖는 칼코게나이드 스위칭 물질을 포함하는 선택 소자층을 포함하며, 화학식 3은 다음과 같다.

[0008] $Ge_X Si_Y As_Z (Te_b Se_{1-b})_W$

[0009] (여기에서, 0.05 ≤ X ≤ 0.1이고, 0.15 ≤ Y ≤ 0.25이고, 0.35 ≤ Z ≤ 0.45이고, 0.7 ≤ b < 1.0이고, 0.3 ≤ W ≤ 0.4이고, X+Y+Z+W=1이다.)

[0010] 상기 기술적 과제를 달성하기 위한 본 발명의 기술적 사상에 따른 메모리 소자는, 기판 상에 형성되며, 상기 기판의 상면에 평행한 제1 방향으로 연장되는 복수의 제1 전극 라인; 상기 복수의 제1 전극 라인 상에 형성되며, 상기 기판의 상면에 평행하고 상기 제1 방향과 다른 제2 방향으로 연장되는 복수의 제2 전극 라인; 상기 복수의 제1 전극 라인 상에 형성되며, 상기 제1 방향으로 연장되는 복수의 제3 전극 라인; 및 상기 복수의 제1 전극 라인과 상기 복수의 제2 전극 라인의 교차 지점 및 상기 복수의 제2 전극 라인과 상기 복수의 제3 전극 라인의 교차 지점에 각각 형성되는 복수의 메모리 셀을 포함하고, 상기 복수의 메모리 셀 각각은 선택 소자층 및 가변 저항층을 포함하고, 상기 선택 소자층은 상기의 화학식 1 또는 화학식 3에 따른 조성을 갖는 칼코게나이드 스위칭 물질을 포함한다.

발명의 효과

[0011] 본 발명의 기술적 사상에 의한 메모리 소자는 칼코게나이드 스위칭 물질을 포함하는 선택 소자층을 구비한다. 상기 칼코게나이드 스위칭 물질은 비소(As) 및 텔루륨(Te)을, 비소(As) 및 텔루륨(Te)의 전체 원자 함량에 대한 비소(As)의 비율이 약 0.45 내지 0.6이도록 포함할 수 있고, 질소(N)를 8 내지 20 at% 포함할 수 있다. 이에 따라 상기 메모리 소자는 낮은 오프 전류, 우수한 열적 안정성 및 우수한 신뢰성을 나타낼 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 가변 저항 메모리 소자에 대한 등가 회로도이다.

도 2는 본 발명의 일 실시예에 따른 가변 저항 메모리 소자에 대한 사시도이고, 도 3은 도 2의 1X-1X' 및 1Y-1Y' 부분을 절단하여 보여주는 단면도이다.

도 4는 오보닉 문턱 스위칭 특성을 갖는 선택 소자층의 전압-전류 곡선을 개략적으로 나타낸 그래프이다.

도 5는 예시적인 실시예들에 따른 칼코게나이드 스위칭 물질의 조성 범위를 나타내는 3원계 상태도(ternary phase diagram)이다.

도 6a 내지 도 6c는 예시적인 실시예들에 따른 칼코게나이드 스위칭 물질을 포함하는 메모리 소자들의 특성들을 나타내는 그래프들이다.

도 7 내지 도 10은 본 발명의 실시예들에 따른 가변 저항 메모리 소자에 대한 단면도들이다.

도 13은 본 발명의 일 실시예에 따른 가변 저항 메모리 소자에 대한 사시도이고, 도 14는 도 13의 3X-3X' 및 3Y-3Y' 부분을 절단하여 보여주는 단면도이다.

도 15는 본 발명의 일 실시예에 따른 가변 저항 메모리 소자에 대한 사시도이고, 도 16은 도 15의 4X-4X' 부분을 절단하여 보여주는 단면도이다.

도 17 내지 도 19는 본 발명의 일 실시예에 따른 도 2의 가변 저항 메모리 소자의 제조 과정을 보여주는 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 첨부된 도면을 참조하여 본 발명의 기술적 사상의 바람직한 실시예를 상세히 설명하기로 한다.

[0014] 도 1은 본 발명의 일 실시예에 따른 가변 저항 메모리 소자에 대한 등가 회로도이다.

[0015] 도 1을 참조하면, 가변 저항 메모리 소자(100)는 제1 방향(X 방향)을 따라 연장되고 제1 방향에 수직한 제2 방향(Y 방향)으로 이격된 워드 라인(WL1, WL2)을 포함할 수 있다. 또한, 가변 저항 메모리 소자(100)는 워드 라인(WL1, WL2)과 제3 방향(Z 방향)으로 이격되어, 제2 방향을 따라 연장되는 비트 라인(BL1, BL2, BL3, BL4)을 포함할 수 있다.

[0016] 메모리 셀(MC)은 비트 라인(BL1, BL2, BL3, BL4)과 워드 라인(WL1, WL2)과의 사이에 각각 배치될 수 있다. 구체적으로, 메모리 셀(MC)은 비트 라인(BL1, BL2, BL3, BL4)과 워드 라인(WL1, WL2)의 교차점에 배치될 수 있고, 정보 저장을 위한 가변 저항층(ME)과 메모리 셀을 선택하기 위한 선택 소자층(SW)을 포함할 수 있다. 한편, 선택 소자층(SW)은 스위칭 소자층 또는 억세스 소자층으로 명명될 수도 있다.

[0017] 메모리 셀(MC)은 제3 방향을 따라 동일한 구조로 배치될 수 있다. 예컨대, 워드 라인(WL1)과 비트 라인(BL1) 사이에 배치되는 메모리 셀(MC)에서, 선택 소자층(SW)은 워드 라인(WL1)에 전기적으로 연결되고, 가변 저항층(ME)은 비트 라인(BL1)에 전기적으로 연결되며, 가변 저항층(ME)과 선택 소자층(SW)은 직렬로 연결될 수 있다.

[0018] 그러나 본 발명의 기술적 사상이 이에 한정되는 것은 아니다. 예컨대, 도 1에 도시된 것과는 달리, 메모리 셀(MC)에서 선택 소자층(SW)과 가변 저항층(ME)의 위치가 바뀔 수 있다. 예컨대, 메모리 셀(MC)에서 가변 저항층(ME)이 워드 라인(WL1)에 연결되고 선택 소자층(SW)이 비트 라인(BL1)과 연결될 수도 있다.

[0019] 가변 저항 메모리 소자(100)의 구동 방법에 대하여 간단히 설명한다. 워드 라인(WL1, WL2)과 비트 라인(BL1, BL2, BL3, BL4)을 통해 메모리 셀(MC)의 가변 저항층(ME)에 전압이 인가되어, 가변 저항층(ME)에 전류가 흐를 수 있다. 예컨대, 가변 저항층(ME)은 제1 상태와 제2 상태 간에 가역적으로 천이할 수 있는 상변화 물질층을 포함할 수 있다. 그러나 가변 저항층(ME)은 이에 한정되는 것은 아니며, 인가된 전압에 따라 저항값이 달라지는 가변 저항체라면 어떠한 것도 포함할 수 있다. 예컨대, 선택된 메모리 셀(MC)은 가변 저항층(ME)에 인가되는 전압에 따라 가변 저항층(ME)의 저항이 제1 상태와 제2 상태 간에 가역적으로 천이할 수 있다.

[0020] 가변 저항층(ME)의 저항 변화에 따라, 메모리 셀(MC)은 '0' 또는 '1'과 같은 디지털 정보를 기억할 수 있고, 또한 메모리 셀(MC)로부터 디지털 정보를 소거할 수도 있다. 예컨대, 메모리 셀(MC)에서 고저항 상태 '0'과 저저항 상태 '1'로 데이터를 기입할 수 있다. 여기서, 고저항 상태 '0'에서 저저항 상태 '1'로의 기입을 '셋(set) 동작'이라 칭할 수 있고, 저저항 상태 '1'에서 고저항 상태 '0'으로의 기입을 '리셋(reset) 동작'이라 칭할 수 있다. 그러나 본 발명의 실시예들에 따른 메모리 셀(MC)은 상기 예시된 고저항 상태 '0' 및 저저항 상태 '1'의 디지털 정보에만 한정되는 것은 아니며, 다양한 저항 상태들을 저장할 수 있다.

[0021] 워드 라인(WL1, WL2) 및 비트 라인(BL1, BL2, BL3, BL4)의 선택에 의해 임의의 메모리 셀(MC)이 어드레스 될 수 있고, 워드 라인(WL1, WL2) 및 비트 라인(BL1, BL2, BL3, BL4) 사이에 소정의 신호를 인가하여, 메모리 셀(MC)을 프로그래밍할 수 있다. 또한, 비트 라인(BL1, BL2, BL3, BL4)을 통하여 전류 값을 측정함으로써, 해당 메모리 셀(MC)의 가변 저항층의 저항값에 따른 정보, 즉 프로그래밍된 정보를 판독할 수 있다.

[0022] 도 2는 본 발명의 일 실시예에 따른 가변 저항 메모리 소자에 대한 사시도이고, 도 3은 도 2의 1X-1X' 및 1Y-1Y' 부분을 절단하여 보여주는 단면도이다.

[0023] 도 2 및 도 3을 참조하면, 가변 저항 메모리 소자(100)는 기판(101) 상에 제1 전극 라인층(110L), 제2 전극 라인층(120L) 및 메모리 셀층(MCL)을 포함할 수 있다.

[0024] 도시된 바와 같이, 기판(101) 상에는 층간 절연층(105)이 배치될 수 있다. 층간 절연층(105)은 실리콘옥사이드

와 같은 산화물 또는 실리콘나이트라이드와 같은 질화물로 형성될 수 있고, 제1 전극 라인층(110L)을 기판(101)으로부터 전기적으로 분리하는 역할을 할 수 있다. 본 실시예의 가변 저항 메모리 소자(100)에서, 기판(101) 상에 층간 절연층(105)이 배치되고 있지만, 이는 하나의 예시에 불과하다. 예컨대, 본 실시예의 가변 저항 메모리 소자(100)에서, 기판(101) 상에 집적 회로층이 배치될 수도 있고, 그러한 집적 회로층 상에 메모리 셀들이 배치될 수 있다. 집적 회로층은 예컨대, 메모리 셀들의 동작을 위한 주변 회로 및/또는 연산 등을 위한 코어 회로를 포함할 수 있다. 참고로, 기판 상에 주변 회로 및/또는 코어 회로 등을 포함하는 집적 회로층이 배치되고, 집적 회로층 상부에 메모리 셀들이 배치되는 구조를 COP(Cell On Peri) 구조라고 한다.

[0025] 제1 전극 라인층(110L)은 제1 방향(X 방향)으로 상호 평행하게 연장하는 복수의 제1 전극 라인들(110)을 포함할 수 있다. 제2 전극 라인층(120L)은 제1 방향과 교차하는 제2 방향(Y 방향)으로 상호 평행하게 연장하는 복수의 제2 전극 라인들(120)을 포함할 수 있다. 제1 방향과 제2 방향은 서로 수직으로 교차할 수 있다.

[0026] 가변 저항 메모리 소자의 구동 측면에서, 제1 전극 라인들(110)은 워드 라인(도 1에서 WL)에 해당할 수 있고, 제2 전극 라인들(120)은 비트 라인(도 1에서 BL)에 해당할 수 있다. 또한, 반대로 제1 전극 라인들(110)이 비트 라인에 해당하고, 제2 전극 라인들(120)이 워드 라인에 해당할 수도 있다.

[0027] 제1 전극 라인들(110) 및 제2 전극 라인들(120)은 각각 금속, 도전성 금속 질화물, 도전성 금속 산화물, 또는 이들의 조합으로 이루어질 수 있다. 예컨대, 제1 전극 라인들(110) 및 제2 전극 라인들(120)은 각각 W, WN, Au, Ag, Cu, Al, TiAlN, Ir, Pt, Pd, Ru, Zr, Rh, Ni, Co, Cr, Sn, Zn, ITO, 이들의 합금, 또는 이들의 조합으로 이루어질 수 있다. 또한, 제1 전극 라인들(110) 및 제2 전극 라인들(120)은 각각 금속막과, 상기 금속막의 적어도 일부를 덮는 도전성 장벽층을 포함할 수 있다. 상기 도전성 장벽층은 예컨대, Ti, TiN, Ta, TaN, 또는 이들의 조합으로 이루어질 수 있다.

[0028] 메모리 셀층(MCL)은 제1 방향 및 제2 방향으로 서로 이격된 복수의 메모리 셀들(140, 도 1에서 MC)을 포함할 수 있다. 도시된 바와 같이 제1 전극 라인들(110)과 제2 전극 라인들(120)은 서로 교차할 수 있다. 메모리 셀들(140)은 제1 전극 라인층(110L)과 제2 전극 라인층(120L) 사이의 제1 전극 라인들(110)과 제2 전극 라인들(120)이 교차하는 부분들에 배치될 수 있다.

[0029] 메모리 셀들(140)은 사각기둥 형태의 필라(pillar) 구조로 형성될 수 있다. 물론, 메모리 셀들(140)의 구조가 사각기둥 형태에 한하는 것은 아니다. 예컨대, 메모리 셀들(140)은 원기둥, 타원기둥, 다각기둥 등의 다양한 기둥 형태를 가질 수 있다. 또한, 형성 방법에 따라 메모리 셀들(140)은 하부가 상부보다 넓은 구조, 또는 상부가 하부보다 넓은 구조를 가질 수 있다. 예컨대, 메모리 셀들(140)이 양각 식각 공정을 통해 형성되는 경우, 하부가 상부보다 넓은 구조를 가질 수 있다. 또한, 메모리 셀들(140)이 다마신(damascene) 공정으로 형성되는 경우에는 상부가 하부보다 넓은 구조를 가질 수 있다. 물론, 양각 식각 공정 또는 다마신 공정에서, 식각을 정밀하게 제어하여 측면이 거의 수직이 되도록 물질층들을 식각함으로써, 상부와 하부의 넓이 차이가 거의 없도록 할 수도 있다. 도 2 및 3을 포함하여 이하의 모든 도면들에서 메모리 셀들(140)이 측면이 수직인 형태로 도시되고 있지만, 이는 도시의 편의를 위한 것으로서, 메모리 셀들(140)은 하부가 상부보다 넓거나, 또는 상부가 하부보다 넓은 구조를 가질 수 있다.

[0030] 메모리 셀들(140)은 각각 하부 전극층(141), 선택 소자층(143), 중간 전극층(145), 가열(heating) 전극층(147), 가변 저항층(149) 및 상부 전극층(148)을 포함할 수 있다. 위치 관계를 고려하지 않는 경우, 하부 전극층(141)은 제1 전극층, 중간 전극층(145) 및 가열 전극층(147)은 제2 전극층, 상부 전극층(148)은 제3 전극층으로 지칭될 수 있다.

[0031] 일부 실시예들에서, 가변 저항층(149, 도 1에서 ME)은 가열 시간에 따라 비정질(amorphous) 상태와 결정질(crystalline) 상태 사이에서 가역적으로 변화하는 상변화 물질을 포함할 수 있다. 예컨대, 가변 저항층(149)은 가변 저항층(149)의 양단에 인가되는 전압에 의해 발생하는 줄 열(Joule heat)에 의해 상(phase)이 가역적으로 변화될 수 있고, 이러한 상변화에 의해 저항이 변화될 수 있는 물질을 포함할 수 있다. 구체적으로, 상기 상변화 물질은 비정질 상에서 고저항 상태가 되고, 결정질 상에서 저저항 상태가 될 수 있다. 고저항 상태를 '0'으로, 저저항 상태 '1'로 정의함으로써, 가변 저항층(149)에 데이터가 저장될 수 있다.

[0032] 일부 실시예들에서, 가변 저항층(149)은 상변화 물질로서 칼코게나이드 물질을 포함할 수 있다. 예를 들어, 가변 저항층(149)은 Ge-Sb-Te(GST)를 포함할 수 있다. 여기서 사용되는 하이픈(-) 표시된 화학적 조성 표기는 특정 혼합물 또는 화합물에 포함된 원소를 표시하고, 표시된 원소를 포함하는 모든 화학식 구조를 나타낼 수 있다. 예를 들어, Ge-Sb-Te는 $Ge_2Sb_2Te_5$, $Ge_2Sb_2Te_7$, $Ge_1Sb_2Te_4$, 또는 $Ge_1Sb_4Te_7$ 등의 물질일 수 있다.

[0033] 가변 저항층(149)은 전술한 Ge-Sb-Te(GST) 외에도 다양한 칼코게나이드 물질을 포함할 수 있다. 예를 들어, 가변 저항층(149)은 칼코게나이드 물질로서, 실리콘(Si), 저머늄(Ge), 안티몬(Sb), 텔레륨(Te), 비스무스(Bi), 인듐(In), 주석(Sn) 및 셀레늄(Se) 중에서 선택된 적어도 두 개 또는 그 조합을 포함할 수 있다.

[0034] 가변 저항층(149)을 이루는 각 원소는 다양한 화학적 조성비 (stoichiometry)를 가질 수 있다. 각 원소의 화학적 조성비에 따라 가변 저항층(149)의 결정화 온도, 용융점, 결정화 에너지에 따른 상변화 속도, 및 정보 보유력(retention)이 조절될 수 있다. 예시적인 실시예들에 있어서, 가변 저항층(149)을 구성하는 칼코게나이드 물질의 용융점은 약 500℃ 내지 약 800℃일 수 있다.

[0035] 또한, 가변 저항층(149)은 붕소(B), 탄소(C), 질소(N), 산소(O), 인(P) 및 황(S) 중에서 선택된 적어도 하나의 불순물을 더 포함할 수 있다. 상기 불순물에 의해 가변 저항 메모리 소자(100)의 구동 전류가 변화될 수 있다. 또한, 가변 저항층(149)은 금속을 더 포함할 수 있다. 예를 들어, 가변 저항층(149)은 알루미늄(Al), 갈륨(Ga), 아연(Zn), 티타늄(Ti), 크롬(Cr), 망간(Mn), 철(Fe), 코발트(Co), 니켈(Ni), 몰리브덴(Mo), 루테늄(Ru), 팔라듐(Pd), 하프늄(Hf), 탄탈륨(Ta), 이리듐(Ir), 백금(Pt), 지르코늄(Zr), 탈륨(Tl), 팔라듐(Pd) 및 폴로늄(Po) 중에서 선택된 적어도 하나를 포함할 수 있다. 이러한 금속 물질들은 가변 저항층(149)의 전기 전도성 및 열전도성을 증가시킬 수 있고, 이에 따라 결정화 속도를 증가시켜 셋 속도를 증가시킬 수 있다. 또한, 상기 금속 물질들은 가변 저항층(149)의 정보 보유력 특성을 향상시킬 수 있다.

[0036] 가변 저항층(149)은 서로 다른 물성을 가지는 두 개 이상의 층들이 적층된 다층 구조를 가질 수 있다. 복수의 층들의 수 또는 두께는 자유롭게 선택될 수 있다. 복수의 층들 사이에는 배리어층이 더 형성될 수 있다. 상기 배리어층은 복수의 층들간에 물질 확산을 방지하는 역할을 할 수 있다. 즉, 배리어층은 복수의 층들 중 후속층을 형성할 때 선행층의 확산을 감소시킬 수 있다.

[0037] 또한, 가변 저항층(149)은 서로 다른 물질을 포함하는 복수의 층들이 교대로 적층되는 초격자(Super-Lattice) 구조를 가질 수 있다. 예를 들어, 가변 저항층(149)은 Ge-Te으로 이루어지는 제1 층과 Sb-Te으로 이루어지는 제2 층이 교대로 적층되는 구조를 포함할 수 있다. 다만, 상기 제1 층 및 제2 층의 물질이 상기 Ge-Te 및 Sb-Te에 한정되는 것은 아니며, 전술한 다양한 물질들을 각각 포함할 수 있다.

[0038] 이상 가변 저항층(149)으로서 상변화 물질을 예시하였으나, 본 발명의 기술적 사상이 이에 한정되는 것은 아니다. 가변 저항 메모리 소자(100)의 가변 저항층(149)은 저항 변화 특성을 가지는 다양한 물질을 포함할 수 있다.

[0039] 일부 실시예들에서, 가변 저항층(149)이 전이 금속 산화물(transition metal oxide)을 포함하는 경우, 가변 저항 메모리 소자(100)는 ReRAM(Resistive RAM)이 될 수 있다. 전이 금속 산화물을 포함하는 가변 저항층(149)은 프로그램 동작에 의하여 적어도 하나의 전기적 통로가 가변 저항층(149) 내에 생성되거나 소멸될 수 있다. 상기 전기적 통로가 생성된 경우에 가변 저항층(149)은 낮은 저항값을 가질 수 있으며, 상기 전기적 통로가 소멸된 경우에 가변 저항층(149)은 높은 저항값을 가질 수 있다. 이러한 가변 저항층(149)의 저항값 차이를 이용하여 가변 저항 메모리 소자(100)는 데이터를 저장할 수 있다.

[0040] 가변 저항층(149)이 전이 금속 산화물로 이루어지는 경우, 상기 전이 금속 산화물은 Ta, Zr, Ti, Hf, Mn, Y, Ni, Co, Zn, Nb, Cu, Fe, 또는 Cr 중에서 선택되는 적어도 하나의 금속을 포함할 수 있다. 예를 들면, 상기 전이 금속 산화물은 Ta_2O_{5-x}, ZrO_{2-x}, TiO_{2-x}, HfO_{2-x}, MnO_{2-x}, Y_2O_{3-x}, NiO_{1-y}, Nb_2O_{5-x}, CuO_{1-y}, 또는 Fe_2O_{3-x} 중에서 선택되는 적어도 하나의 물질로 이루어지는 단일층 또는 다중층으로 이루어질 수 있다. 상기 예시된 물질들에서, x 및 y는 각각 $0 \le x \le 1.5$ 및 $0 \le y \le 0.5$의 범위 내에서 선택될 수 있으나, 이에 한정되는 것은 아니다.

[0041] 예시적인 실시예들에서, 가변 저항층(149)이 자성체로 이루어지는 2개의 전극과, 이들 2개의 자성체 전극 사이에 개재되는 유전체를 포함하는 MTJ(Magnetic Tunnel Junction) 구조를 가지는 경우, 가변 저항 메모리 소자(100)는 MRAM(Magnetic RAM)이 될 수 있다.

[0042] 상기 2개의 전극은 각각 자화 고정층 및 자화 자유층일 수 있으며, 이들 사이에 개재된 상기 유전체는 터널 배리어층일 수 있다. 상기 자화 고정층은 일 방향으로 고정된 자화 방향을 갖고, 상기 자화 자유층은 상기 자화 고정층의 자화 방향에 평행 또는 반 평행하도록 변경 가능한 자화 방향을 가질 수 있다. 상기 자화 고정층 및 상기 자화 자유층의 자화 방향들은 상기 터널 배리어층의 일면에 평행할 수 있으나, 이에 한정되는 것은 아니다. 상기 자화 고정층 및 상기 자화 자유층의 자화 방향들은 상기 터널 배리어층의 일면에 수직할 수 있다.

[0043] 상기 자화 자유층의 자화 방향이 상기 자화 고정층의 자화 방향과 평행한 경우, 가변 저항층(149)이 제1 저항값

을 가질 수 있다. 한편, 상기 자화 자유층의 자화 방향이 상기 자화 고정층의 자화 방향에 반 평행한 경우, 가변 저항층(149)은 제2 저항값을 가질 수 있다. 이러한 저항값의 차이를 이용하여 가변 저항 메모리 소자(100)는 데이터를 저장할 수 있다. 상기 자화 자유층의 자화 방향은 프로그램 전류 내 전자들의 스핀 토크(spin torque)에 의하여 변경될 수 있다.

[0044] 상기 자화 고정층 및 상기 자화 자유층은 자성 물질을 포함할 수 있다. 이때, 상기 자화 고정층은 상기 자화 고정층 내 강자성 물질의 자화 방향을 고정시키는 반강자성 물질을 더 포함할 수 있다. 상기 터널 배리어층은 Mg, Ti, Al, MgZn, 및 MgB 중에서 선택되는 어느 하나의 산화물로 이루어질 수 있으나, 상기 예시된 바에 한정되는 것은 아니다.

[0045] 선택 소자층(143, 도 1에서 SW)은 전류의 흐름을 제어할 수 있는 전류 조정 층일 수 있다. 선택 소자층(143)은 선택 소자층(143) 양단에 걸린 전압의 크기에 따라 저항이 변화할 수 있는 물질층을 포함할 수 있다. 예컨대, 선택 소자층(143)은 오보닉 문턱 스위칭(Ovonic Threshold Switching, OTS) 물질을 포함할 수 있다. OTS 물질을 기반으로 하는 선택 소자층(143)의 기능을 간단히 설명하면, 선택 소자층(143)에 문턱 전압(V_T)보다 작은 전압이 인가될 때 선택 소자층(143)은 전류가 거의 흐르지 않은 고저항 상태를 유지하고, 선택 소자층(143)에 문턱 전압(V_T)보다 큰 전압이 인가될 때, 저저항 상태가 되어 전류가 흐르기 시작한다. 또한, 선택 소자층(143)을 통해 흐르는 전류가 유지 전류(holding current)보다 작아질 때, 선택 소자층(143)은 고저항 상태로 변화될 수 있다. 한편, 선택 소자층(143)의 오보닉 문턱 스위칭 특성은 이후에 도 4를 참조로 상세히 설명하도록 한다.

[0046] 선택 소자층(143)은 OTS 물질로서 칼코게나이드 스위칭 물질을 포함할 수 있다. 예시적인 실시예들에 있어서, 선택 소자층(143)은 저머늄(Ge), 실리콘(Si), 비소(As), 및 텔루륨(Te)을 포함하는 4원계(quaternary) 칼코게나이드 스위칭 물질을 포함할 수 있고, 상기 4원계 칼코게나이드 스위칭 물질에 질소(N)가 더 포함될 수 있다. 예를 들어, 선택 소자층(143)은 아래의 화학식 1에 따른 조성을 갖는 칼코게나이드 스위칭 물질을 포함할 수 있다.

[0047] [화학식 1]

[0048] $[Ge_X\,Si_Y\,(As_a\,Te_{1-a})_Z]_{(1-U)}\,[N]_U$

[0049] (여기에서, 0.05 ≤ X ≤ 0.1이고, 0.15 ≤ Y ≤ 0.25이고, 0.7 ≤ Z ≤ 0.8이고, X+Y+Z=1이고, 0.45 ≤ a ≤ 0.6이고, 0.08 ≤ U ≤ 0.2이다.)

[0050] 예시적인 실시예들에 있어서, 상기 4원계 칼코게나이드 스위칭 물질은 약 5 내지 약 10 원자 퍼센트(at%)의 저머늄(Ge)을 포함할 수 있다(예를 들어, 상기 화학식 1에서 X는 0.05 내지 0.1일 수 있다). 여기서는 $Ge_X\,Si_Y\,(As_a\,Te_{1-a})_Z$ 의 조성을 갖는 칼코게나이드 스위칭 물질을 4원계 칼코게나이드 스위칭 물질이라고 지칭하도록 한다. 예를 들어, 화학식 1에 따른 조성을 갖는 칼코게나이드 스위칭 물질은 상기 4원계 칼코게나이드 스위칭 물질에 질소(N)가 더 포함된 조성을 가질 수 있다. 일부 예시들에서, 상기 4원계 칼코게나이드 스위칭 물질은 약 6 내지 약 8 at%의 저머늄(Ge)을 포함할 수 있다(예를 들어, 상기 화학식 1에서 X는 0.06 내지 0.08일 수 있다). 저머늄(Ge)이 상기 칼코게나이드 스위칭 물질 내에 소정의 함량으로 포함될 때 상기 칼코게나이드 스위칭 물질의 열적 안정성이 향상되는 한편, 안정적인 스위칭 특성이 구현될 수 있는 것으로 이해된다. 예를 들어, 상기 4원계 칼코게나이드 스위칭 물질이 저머늄(Ge)을 약 5 at%보다 작게 포함할 때, 상기 칼코게나이드 스위칭 물질의 열적 안정성이 우수하지 못할 수 있고, 예를 들어 크로스포인트 구조를 갖는 메모리 소자에 사용될 정도로 충분히 우수한 열적 안정성을 갖지 못할 수 있다. 반면, 상기 4원계 칼코게나이드 스위칭 물질이 저머늄(Ge)을 약 10 at%보다 많이 포함할 때, 상기 칼코게나이드 스위칭 물질의 비정질화 경향이 증가되므로, 상기 칼코게나이드 스위칭 물질은 안정적인 스위칭 특성을 나타내지 못할 수 있다.

[0051] 예시적인 실시예들에 있어서, 상기 4원계 칼코게나이드 스위칭 물질은 약 15 내지 약 25 at%의 실리콘(Si)을 포함할 수 있다(예를 들어, 상기 화학식 1에서 Y는 0.15 내지 0.25일 수 있다). 일부 예시들에서, 상기 4원계 칼코게나이드 스위칭 물질은 약 17 내지 약 22 at%의 실리콘(Si)을 포함할 수 있다(예를 들어, 상기 화학식 1에서 Y는 0.17 내지 0.22일 수 있다). 실리콘(Si)이 상기 칼코게나이드 스위칭 물질 내에 소정의 함량으로 포함될 때 상기 칼코게나이드 스위칭 물질의 누설 전류(또는 오프 전류(I_{off}))를 감소시킬 수 있는 것으로 이해된다. 예를 들어, 상기 4원계 칼코게나이드 스위칭 물질이 실리콘(Si)을 약 15 at%보다 크게 포함할 때, 상기 칼코게나이드 스위칭 물질의 오프 전류가 감소될 수 있다. 상기 4원계 칼코게나이드 스위칭 물질이 실리콘(Si)을 약 25 at% 초과하여 포함하는 경우, 안정적인 스위칭 특성을 구현하기 위하여 상기 4원계 칼코게나이드 스위칭 물질 내에

포함될 수 있는 저머늄(Ge)의 함량이 감소될 있고, 이에 따라 상기 칼코게나이드 스위칭 물질의 열적 안정성이 감소될 수 있다.

[0052] 예시적인 실시예들에 있어서, 상기 4원계 칼코게나이드 스위칭 물질 내에서 저머늄(Ge)과 실리콘(Si)의 함량의 합은 약 20 내지 약 30 at%일 수 있다(예를 들어, 상기 화학식 1에서 X와 Y의 합은 0.2 내지 0.3일 수 있다). 예를 들어, 저머늄(Ge)과 실리콘(Si)의 함량의 합이 약 30 at%보다 크면, 저머늄(Ge)과 실리콘(Si)의 공유 결합(covalent bond) 특성에 기인하여 상기 칼코게나이드 스위칭 물질은 안정적인 스위칭 특성을 나타내지 못할 수 있다.

[0053] 예시적인 실시예들에 있어서, 상기 4원계 칼코게나이드 스위칭 물질은 비소(As) 및 텔루륨(Te)의 금속 화합물(예를 들어, $As_a Te_{1-a}$)을 약 70 내지 약 80 at%로 포함할 수 있고, 여기서 a는 약 0.45 내지 약 0.6의 범위를 가질 수 있다(예를 들어, 상기 화학식 1에서 Z는 0.7 내지 0.8일 수 있다). 즉, 상기 4원계 칼코게나이드 스위칭 물질은 비소(As) 및 텔루륨(Te)을, 비소(As) 및 텔루륨(Te)의 전체 원자 함량에 대한 비소(As)의 비율이 약 0.45 내지 0.6이도록 포함할 수 있다. 예를 들어, 상기 4원계 칼코게나이드 스위칭 물질은 약 32 내지 약 48 at%의 비소(As)를 포함할 수 있고, 상기 4원계 칼코게나이드 스위칭 물질은 약 28 내지 약 44 at%의 텔루륨(Te)을 포함할 수 있다.

[0054] 비소(As) 및 텔루륨(Te)의 상기 금속 화합물 내에서 비소(As)의 함량이 클수록 상기 4원계 칼코게나이드 스위칭 물질의 누설 전류가 감소되는 것으로 이해된다. 반면, 텔루륨(Te)의 함량이 너무 작으면(예를 들어, a가 0.6보다 큰 값을 가지는 경우에) 상기 4원계 칼코게나이드 스위칭 물질은 안정적인 스위칭 특성을 나타내지 못할 수 있다. 일부 예시들에서, 상기 4원계 칼코게나이드 스위칭 물질은 약 40 내지 45 at%의 비소(As)와, 약 30 내지 약 35 at%의 텔루륨(Te)을 포함할 수 있다. 그러나, 본 발명의 기술적 사상이 이에 한정되는 것은 아니다. 한편, 예시적인 실시예들에 따른 상기 칼코게나이드 스위칭 물질의 누설 전류 특성은 아래에서 도 6a 내지 도 6c를 참조로 다시 설명하도록 한다.

[0055] 예시적인 실시예들에 있어서, 전술한 화학식 1에서와 같이 상기 칼코게나이드 스위칭 물질은 약 8 내지 약 20 at%의 질소(N)를 더 포함할 수 있다(예를 들어, 상기 화학식 1에서 U는 0.08 내지 0.2일 수 있다). 일부 예시들에서, 상기 칼코게나이드 스위칭 물질은 약 15 내지 약 20 at%의 질소(N)를 포함할 수 있다(예를 들어, 상기 화학식 1에서 U는 0.15 내지 0.2일 수 있다). 상기 칼코게나이드 스위칭 물질이 질소(N)를 포함함에 따라, 상기 칼코게나이드 스위칭 물질 내에 함유된 저머늄(Ge), 실리콘(Si), 비소(As), 및 텔루륨(Te) 각각의 함량들이 질소 함량에 따라 감소될 수 있다. 예를 들어, 상기 칼코게나이드 스위칭 물질은 $[Ge_{0.08} Si_{0.17} As_{42.2} Te_{32.8}]_{0.82} [N]_{0.18}$ 또는 $[Ge_{0.08} Si_{0.17} As_{42.2} Te_{32.8}]_{0.86} [N]_{0.14}$ 등의 조성을 가질 수 있으나, 본 발명의 기술적 사상이 예시한 바에 한정되는 것은 아니다. 칼코게나이드 스위칭 물질 내에 포함된 질소(N)의 함량이 클수록(예를 들어, 8 at% 이상의 질소(N) 함량에서), 상기 칼코게나이드 스위칭 물질의 누설 전류가 감소될 수 있다. 반면, 질소(N)의 함량이 약 20 at%을 초과하는 경우, 상기 칼코게나이드 스위칭 물질 내에 함유되는 저머늄(Ge), 실리콘(Si), 비소(As), 및 텔루륨(Te) 각각의 함량들이 감소됨에 따라 안정적인 스위칭 특성을 나타내지 못할 수도 있다.

[0056] 다른 예시적인 실시예들에 있어서, 선택 소자층(143)은 저머늄(Ge), 실리콘(Si), 비소(As), 텔루륨(Te) 및 질소(N)를 포함하며, 탄소(C)를 더 포함하는 칼코게나이드 스위칭 물질을 포함할 수 있다. 예를 들어, 선택 소자층(143)은 아래의 화학식 2에 따른 조성을 갖는 칼코게나이드 스위칭 물질을 포함할 수 있다.

[0057] [화학식 2]

[0058] $[Ge_X Si_Y (As_a Te_{1-a})_Z]_{(1-U-V)} [N]_U [C]_V$

[0059] (여기에서, $0.05 \le X \le 0.1$이고, $0.15 \le Y \le 0.25$이고, $0.7 \le Z \le 0.8$이고, $X+Y+Z=1$이고, $0.45 \le a \le 0.6$이고, $0.08 \le U \le 0.2$이고, $0.01 \le V \le 0.15$이다.)

[0060] 예시적인 실시예들에 있어서, 전술한 화학식 2에서와 같이 상기 칼코게나이드 스위칭 물질은 약 8 내지 약 20 at%의 질소(N) 및 약 1 내지 15 at%의 탄소(C)를 포함할 수 있다(예를 들어, 상기 화학식 2에서 U는 0.08 내지 0.2일 수 있고, V는 0.01 내지 0.15일 수 있다). 일부 예시들에서, 상기 칼코게나이드 스위칭 물질은 약 10 내지 약 15 at%의 질소(N) 및 약 4 내지 약 10 at%의 탄소(C)를 포함할 수 있다(예를 들어, 상기 화학식 2에서 U는 0.1 내지 0.15일 수 있고, V는 0.04 내지 0.1일 수 있다). 예를 들어, 상기 칼코게나이드 스위칭 물질은 $[Ge_{0.08} Si_{0.17} As_{42.2} Te_{32.8}]_{0.86} [N]_{0.10} [C]_{0.04}$, $[Ge_{0.08} Si_{0.17} As_{42.2} Te_{32.8}]_{0.82} [N]_{0.14} [C]_{0.04}$, 또는 $[Ge_{0.08} Si_{0.17} As_{42.2}$

$Te_{32.8}]_{0.82}$ $[N]_{0.10}$ $[C]_{0.08}$ 등의 조성을 가질 수 있으나, 본 발명의 기술적 사상이 예시한 바에 한정되는 것은 아니다.

[0061] 상기 칼코게나이드 스위칭 물질에 포함된 질소 또는 탄소는 상기 칼코게나이드 스위칭 물질의 누설 전류를 감소시키는 것으로 이해된다. 예를 들어, 질소 또는 탄소는 상기 칼코게나이드 스위칭 물질 내에서 캐리어 호핑 사이트(carrier hopping site)를 감소시킬 수 있고, 이에 따라 칼코게나이드 스위칭 물질을 포함하는 선택 소자층(143)의 누설 전류가 감소될 수 있다. 또한, 상기 칼코게나이드 스위칭 물질에 포함된 질소 또는 탄소는 상기 칼코게나이드 스위칭 물질 내부의 핵 생성 및 핵 성장을 억제할 수 있어, 상기 칼코게나이드 스위칭 물질은 더욱 증가된 결정화 온도를 가질 수 있으며, 이에 따라 상기 칼코게나이드 스위칭 물질의 열적 안정성이 향상될 수 있다. 예를 들어, 상기 칼코게나이드 스위칭 물질은 약 350℃ 내지 약 450℃의 높은 결정화 온도를 가질 수 있고, 상기 칼코게나이드 스위칭 물질을 사용하여 크로스 포인트 구조의 가변 저항 메모리 소자를 제조하기 위한 공정에서 상기 칼코게나이드 스위칭 물질의 손상 또는 열화 등이 방지될 수 있다. 한편, 예시적인 실시예들에 따른 상기 칼코게나이드 스위칭 물질의 누설 전류 특성 및 열적 안정성은 아래에서 도 6a 내지 도 6c를 참조로 다시 설명하도록 한다.

[0062] 다른 예시적인 실시예들에 있어서, 선택 소자층(143)은 저머늄(Ge), 실리콘(Si), 비소(As), 텔루륨(Te) 및 셀레늄(Se)을 포함하는 칼코게나이드 스위칭 물질을 포함할 수 있다. 예를 들어, 선택 소자층(143)은 아래의 화학식 3에 따른 조성을 갖는 칼코게나이드 스위칭 물질을 포함할 수 있다.

[0063] [화학식 3]

[0064] $Ge_X\ Si_Y\ As_Z\ (Te_b\ Se_{1-b})_W$

[0065] (여기에서, $0.05 \leq X \leq 0.1$이고, $0.15 \leq Y \leq 0.25$이고, $0.35 \leq Z \leq 0.45$이고, $0.7 \leq b < 1.0$이고, $0.3 \leq W \leq 0.4$이고, $X+Y+Z+W=1$이다.)

[0066] 예시적인 실시예들에 있어서, 상기 칼코게나이드 스위칭 물질은 $Ge_X\ Si_Y\ As_Z\ Te_W$의 조성을 갖는 4원계 칼코게나이드 스위칭 물질에서 텔루륨(Te)의 부분이 셀레늄(Se)으로 치환된 조성을 가질 수 있다. 상기 칼코게나이드 스위칭 물질은 텔루륨(Te)과 셀레늄(Se)의 금속 화합물(예를 들어, $Te_b\ Se_{1-b}$)을 약 30 내지 약 40 at% 포함할 수 있고(예를 들어, 화학식 2에서 W는 0.3 내지 0.4일 수 있고), 여기서 b는 약 0.7 이상 및 약 1.0 미만의 범위를 가질 수 있다. 즉, 상기 칼코게나이드 스위칭 물질은 텔루륨(Te) 및 셀레늄(Se)을, 텔루륨(Te) 및 셀레늄(Se)의 전체 원자 함량에 대한 셀레늄(Se)의 비율이 약 0 초과 및 0.3 이하이도록 포함할 수 있다(또는 텔루륨(Te)의 원자 함량 중 30% 이하가 셀레늄(Se)으로 치환될 수 있다). 예를 들어, 상기 칼코게나이드 스위칭 물질은 약 0 at% 초과 및 약 10 at% 이하의 셀레늄(Se) 및 약 21 내지 약 40 at%의 텔루륨(Te)을 포함할 수 있다. 일부 예시들에서, 상기 칼코게나이드 스위칭 물질은 약 3.5 내지 약 8 at%의 셀레늄(Se) 및 약 24 내지 약 28 at%의 텔루륨(Te)을 포함할 수 있다.

[0067] 상기 칼코게나이드 스위칭 물질이 텔루륨(Te)의 부분을 치환하는 셀레늄(Se)을 포함하는 경우, 상기 칼코게나이드 스위칭 물질의 누설 전류가 감소되는 것으로 이해된다. 일반적으로, 텔루륨(Te)은 칼코게나이드 스위칭 물질이 오보닉 문턱 스위칭 특성을 나타내게 하는 주요 성분일 수 있으나, 텔루륨(Te)이 함량이 클수록 누설 전류, 예를 들어 오프 상태에서 상기 칼코게나이드 스위칭 물질을 통해 흐르는 전류(여기서는 오프 상태의 누설 전류를 오프 전류라고 지칭한다)가 상대적으로 큰 단점이 있다. 그러나, 셀레늄(Se)이 텔루륨(Te)의 부분을 치환하여 칼코게나이드 스위칭 물질 내에 포함될 때 오프 전류가 감소될 수 있다. 셀레늄(Se)이 약 10 at%보다 큰 함량으로 상기 칼코게나이드 스위칭 물질 내에 포함될 때(또한 상기 칼코게나이드 스위칭 물질이 실리콘(Si)을 포함하는 경우에), 상기 칼코게나이드 스위칭 물질 내에 포함된 실리콘(Si)과 셀레늄(Se)의 총 함량이 상대적으로 커질 수 있고, 이 때 상기 칼코게나이드 스위칭 물질은 증가된 문턱전압 및/또는 불안정한 스위칭 특성을 나타낼 수 있다.

[0068] 예시적인 실시예들에 있어서, 선택 소자층(143)은 저머늄(Ge), 실리콘(Si), 비소(As), 텔루륨(Te) 및 셀레늄(Se)을 포함하며, 질소(N) 및 탄소(C) 중 적어도 하나를 더 포함하는 칼코게나이드 스위칭 물질을 포함할 수 있다. 예를 들어, 선택 소자층(143)은 아래의 화학식 4 또는 화학식 5에 따른 조성을 갖는 칼코게나이드 스위칭 물질을 포함할 수 있다.

[0069] [화학식 4]

[0070] $[Ge_X Si_Y As_Z (Te_b Se_{1-b})_W]_{(1-U)} [N]_U$

[0071] (여기에서, 0.05 ≤ X ≤ 0.1이고, 0.15 ≤ Y ≤ 0.25이고, 0.35 ≤ Z ≤ 0.45이고, 0.7 ≤ b < 1.0이고, 0.3 ≤ W ≤ 0.4이고, X+Y+Z+W=1이고, 0.08 ≤ U ≤ 0.2이다.)

[0072] [화학식 5]

[0073] $[Ge_X Si_Y As_Z (Te_b Se_{1-b})_W]_{(1-U-V)} [N]_U [C]_V$

[0074] (여기에서, 0.05 ≤ X ≤ 0.1이고, 0.15 ≤ Y ≤ 0.25이고, 0.35 ≤ Z ≤ 0.45이고, 0.7 ≤ b < 1.0이고, 0.3 ≤ W ≤ 0.4이고, X+Y+Z+W=1이고, 0.08 ≤ U ≤ 0.2이고, 0.01 ≤ V ≤ 0.15이다.)

[0075] 전술한 바와 같이, 선택 소자층(143)은 화학식 1 내지 화학식 5에 따른 조성을 갖는 칼코게나이드 스위칭 물질을 포함할 수 있고, 상기 칼코게나이드 스위칭 물질은 안정적인 스위칭 특성, 낮은 오프 전류, 우수한 열적 안정성 및 우수한 내구성을 나타낼 수 있다.

[0076] 가열 전극층(147)은 중간 전극층(145)과 가변 저항층(149) 사이에, 가변 저항층(149)과 콘택하도록 배치될 수 있다. 가열 전극층(147)은 셋 또는 리셋 동작에서 가변 저항층(149)을 가열하는 기능을 할 수 있다. 이러한 가열 전극층(147)은 가변 저항층(149)과 반응하지 않으면서, 가변 저항층(149)을 상변화시키기에 충분한 열을 발생시킬 수 있는 도전 물질을 포함할 수 있다. 가열 전극층(147)은 탄소 계열의 도전 물질을 포함할 수 있다. 일부 실시예들에서, 가열 전극층(147)은 TiN, TiSiN, TiAlN, TaSiN, TaAlN, TaN, WSi, WN, TiW, MoN, NbN, TiBN, ZrSiN, WSiN, WBN, ZrAlN, MoAlN, TiAl, TiON, TiAlON, WON, TaON, 탄소(C), 실리콘카바이드(SiC), 실리콘카본나이트라이드(SiCN), 카본나이트라이드(CN), 티타늄카본나이트라이드(TiCN), 탄탈륨카본나이트라이드(TaCN) 혹은 이들의 조합인 고융점 금속 또는 이들의 질화물로 이루어질 수 있다. 가열 전극층(147)의 재질이 상기 물질들에 한정되는 것은 아니다.

[0077] 하부 전극층(141), 중간 전극층(145) 및 상부 전극층(148)은 전류 통로의 기능을 하는 층으로서 도전성 물질로 형성될 수 있다. 예컨대, 하부 전극층(141), 중간 전극층(145) 및 상부 전극층(148)은 각각 금속, 도전성 금속 질화물, 도전성 금속 산화물, 또는 이들의 조합으로 이루어질 수 있다. 예컨대, 하부 전극층(141), 중간 전극층(145), 및 상부 전극층(148)은 각각, 탄소(C), 티타늄나이트라이드(TiN), 티타늄실리콘나이트라이드(TiSiN), 티타늄카본나이트라이드(TiCN), 티타늄카본실리콘나이트라이드(TiCSiN), 티타늄알루미늄나이트라이드(TiAlN), 탄탈륨(Ta), 탄탈륨나이트라이드(TaN), 텅스텐(W) 및 텅스텐나이트라이드(WN) 중에서 선택된 적어도 하나를 포함할 수 있으나, 이에 한정되는 것은 아니다.

[0078] 하부 전극층(141)과 상부 전극층(148)은 선택적으로 형성될 수 있다. 다시 말해서, 하부 전극층(141)과 상부 전극층(148)은 생략될 수도 있다. 다만, 선택 소자층(143) 및 가변 저항층(149)이 제1 및 제2 전극 라인들(110, 120)과 직접 콘택함에 따라 발생할 수 있는 오염이나 접촉 불량 등을 방지하기 위하여, 하부 전극층(141) 및 상부 전극층(148)은 제1 및 제2 전극 라인들(110, 120)과 선택 소자층(143) 및 가변 저항층(149) 사이에 배치될 수 있다.

[0079] 한편, 중간 전극층(145)은 가열 전극층(147)으로부터 열이 선택 소자층(143)으로 전달되는 것을 방지하기 위하여 구비되어야 한다. 일반적으로, 선택 소자층(143)은 비정질 상태의 칼코게나이드 스위칭 물질을 포함할 수 있다. 그러나 가변 저항 메모리 소자(100)의 다운 스케일링 경향에 따라 가변 저항층(149), 선택 소자층(143), 가열 전극층(147), 중간 전극층(145)의 두께, 폭 및 이들 사이의 거리가 감소할 수 있다. 따라서, 가변 저항 메모리 소자(100)의 구동 과정에서, 가열 전극층(147)이 발열하여 가변 저항층(149)을 상변화 시킬 때 이에 인접하게 배치되는 선택 소자층(143)에도 상기 발열에 의한 영향이 가해질 수 있다. 예컨대, 인접한 가열 전극층(147)으로부터의 열에 의해 선택 소자층(143)이 부분적으로 결정화되는 등의 선택 소자층(143)의 열화 및 손상이 발생할 수 있다.

[0080] 예시적인 실시예들에 있어서, 가열 전극층(147)의 열이 선택 소자층(143)에 전달되지 않도록 중간 전극층(145)이 두껍게 형성될 수 있다. 도 2 및 도 3에서 중간 전극층(145)이 하부 전극층(141)이나 상부 전극층(148)과 유사한 두께로 형성되고 있지만, 상기 열 차단 기능을 위해 중간 전극층(145)은 하부 전극층(141)이나 상부 전극층(148)보다 두껍게 형성될 수 있다. 예컨대, 중간 전극층(145)은 약 10nm 내지 약 100nm 정도의 두께를 가질 수 있으나, 이에 한정되는 것은 아니다. 또한, 중간 전극층(145)은 열 차단 기능을 위해 적어도 하나의 열적 장벽(thermal barrier)층을 포함할 수 있다. 중간 전극층(145)이 2개 이상의 열적 장벽층을 포함하는 경우에, 중간 전극층(145)은 열적 장벽층과 전극 물질층이 번갈아 적층되는 구조를 가질 수 있다.

[0081] 제1 전극 라인들(110) 사이에는 제1 절연층(160a)이 배치되고, 메모리 셀층(MCL)의 메모리 셀들(140) 사이에는 제2 절연층(160b)이 배치될 수 있다. 또한, 제2 전극 라인들(120) 사이에는 제3 절연층(160c)이 배치될 수 있다. 제1 내지 제3 절연층(160a 내지 160c)은 동일 물질의 절연층으로 형성되거나 적어도 하나는 다른 물질의 절연층으로 형성될 수 있다. 이러한 제1 내지 제3 절연층(160a 내지 160c)은 예컨대, 산화물 또는 질화물의 유전체 물질로 형성되며, 각층의 소자들을 서로 전기적으로 분리하는 기능을 할 수 있다. 한편, 제2 절연층(160b)을 대신하여 에어갭(미도시)이 형성될 수도 있다. 에어갭이 형성되는 경우, 상기 에어갭과 메모리 셀들(140) 사이에 소정의 두께를 갖는 절연 라이너(미도시)가 형성될 수도 있다.

[0082] 일반적으로, 칼코게나이드 물질을 선택 소자로 사용하는 가변 저항 메모리 소자에서는 상기 칼코게나이드 물질의 결정화 온도가 낮아, 일반적인 메모리 소자 제조 공정을 활용할 수 없어 3차원 크로스 포인트 적층 구조의 메모리 소자의 제조가 어려운 문제점이 있다. 또한, 상기 칼코게나이드 물질이 비교적 큰 오프 전류를 가짐에 따라, 한번에 동작시킬 수 있는 메모리 셀의 개수가 작고, 내구성이 우수하지 못한 문제점이 있다. 그러나, 본 발명의 예시적인 실시예들에 따른 가변 저항 메모리 소자(100)는 화학식 1 내지 화학식 5에 따른 조성을 갖는 칼코게나이드 스위칭 물질을 포함하는 선택 소자층(143)을 포함할 수 있고, 상기 칼코게나이드 스위칭 물질은 안정적인 스위칭 특성, 낮은 오프 전류, 우수한 열적 안정성 및 우수한 내구성을 나타낼 수 있다. 따라서, 가변 저항 메모리 소자(100)는 우수한 신뢰성을 갖는 3차원 크로스 포인트 적층 구조를 가질 수 있다.

[0083] 도 4는 오보닉 문턱 스위칭 특성을 갖는 선택 소자층의 전압-전류 곡선을 개략적으로 나타낸 그래프이다.

[0084] 도 4를 참조하면, 제1 곡선(61)은 선택 소자층(143, 도 3 참조)에 전류가 흐르지 않는 상태의 전압-전류 관계를 나타낸다. 여기서, 선택 소자층(143)은 제1 전압 레벨(63)의 문턱 전압(V_T)을 갖는 스위칭 소자로 작용할 수 있다. 전압과 전류가 0인 상태에서 전압이 서서히 증가할 때, 전압이 문턱 전압(V_T)(즉, 제1 전압 레벨(63))에 도달할 때까지 선택 소자층(143)에는 거의 전류가 흐르지 않을 수 있다. 그러나 전압이 문턱 전압(V_T)을 초과하자마자, 선택 소자층(143)에 흐르는 전류가 급격히 증가할 수 있고, 선택 소자층(143)에 인가되는 전압은 포화 전압(V_S)(즉, 제2 전압 레벨(64))까지 감소하게 된다.

[0085] 제2 곡선(62)은 선택 소자층(143)에 전류가 흐르는 상태에서의 전압-전류 관계를 나타낸다. 선택 소자층(143)에 흐르는 전류가 제1 전류 레벨(66)보다 커짐에 따라 선택 소자층(143)에 인가되는 전압은 제2 전압 레벨(64)보다 약간 증가할 수 있다. 예를 들어, 선택 소자층(143)에 흐르는 전류가 제1 전류 레벨(66)로부터 제2 전류 레벨(67)까지 상당히 증가하는 동안 선택 소자층(143)에 인가되는 전압은 제2 전압 레벨(64)로부터 미미하게 증가할 수 있다. 즉, 선택 소자층(143)을 통해 전류가 일단 흐르게 되면, 선택 소자층(143)에 인가되는 전압은 포화 전압(V_S)으로 거의 유지될 수 있다. 만약, 전류가 유지 전류 레벨(즉, 제1 전류 레벨(66)) 이하로 감소하게 되면, 선택 소자층(143)은 다시 저항 상태로 전환되어, 전압이 문턱 전압(V_T)으로 증가할 때까지 전류를 효과적으로 블로킹할 수 있다.

[0086] 도 4에 도시된 것과 같이, 메모리 소자가 오프 상태일 때(예를 들어, 문턱 전압(V_T)보다 낮은 소정의 전압이 인가되는 상태)에서도 작은 양의 전류가 흐를 수 있다. 이러한 오프 상태의 누설 전류가 클수록 한번에 동작시킬 수 있는 메모리 셀의 개수가 작고 안정적인 스위칭 특성을 나타내지 못하여, 3차원 크로스 포인트 구조의 가변 저항 메모리 소자를 구현하기 어려운 문제점이 있을 수 있다. 그러나, 본 발명의 예시적인 실시예들에 따른 선택 소자층(143)은 화학식 1 내지 화학식 5에 따른 조성을 갖는 칼코게나이드 스위칭 물질을 포함한다. 따라서, 선택 소자층(143)은 안정적인 스위칭 특성, 낮은 오프 전류를 가질 수 있고, 가변 저항 메모리 소자(100)는 우수한 신뢰성을 갖는 3차원 크로스 포인트 적층 구조를 가질 수 있다.

[0087] 아래에서는 도 5 및 도 6a 내지 도 6c를 참조로 하여 예시적인 실시예들에 따른 칼코게나이드 스위칭 물질을 포함하는 메모리 소자들의 특성들에 대하여 상세히 논의하도록 한다.

[0088] 도 5는 예시적인 실시예들에 따른 칼코게나이드 스위칭 물질의 조성 범위를 나타내는 3원계 상태도(phase diagram)이다.

[0089] 도 6a 내지 도 6c는 예시적인 실시예들에 따른 칼코게나이드 스위칭 물질을 포함하는 메모리 소자들의 특성들을 나타내는 그래프들이다.

[0090] 도 5를 참조하면, 예시적인 실시예들에 따른 칼코게나이드 스위칭 물질은 상기 화학식 1 및 화학식 2에 따른 조성 범위(그룹 I(GR1)) 및 상기 화학식 3 내지 화학식 5에 따른 조성 범위(그룹 II(GR2))를 가질 수 있다.

[0091] 예를 들어, 그룹 I(GR1)은 저머늄(Ge), 실리콘(Si), 비소(As), 텔루륨(Te) 및 질소(N)을 포함하고, 카본(C)을 선택적으로 포함하며, 비소(As) 및 텔루륨(Te)을, 비소(As) 및 텔루륨(Te)의 전체 원자 함량에 대한 비소(As)의 비율이 약 0.45 내지 0.6이고, 질소(N)의 함량이 8 내지 20 at%이도록 포함할 수 있다.

[0092] 예를 들어, 그룹 II(GR2)는 저머늄(Ge), 실리콘(Si), 비소(As), 텔루륨(Te) 및 셀레늄(Se)을 포함하고, 질소(N) 및 카본(C) 중 적어도 하나를 선택적으로 포함하며, 텔루륨(Te)의 부분(예를 들어 0% 초과 및 30% 이하)이 셀레늄(Se)으로 치환된 조성을 가질 수 있다.

[0093] 도 6a 내지 도 6c에는 예시적인 실시예들에 따른 그룹 I(GR1) 및 그룹 II(GR2)의 오프 전류 대비 온 전류 특성(도 6a), 쓰기 및 읽기 동작에서의 오프 전류(도 6b) 및 열적 안정성 및 내구성(도 6c)을 각각 도시하였다. 도 6c에서, 열적 안정성은 약 50℃/min의 조건으로 DSC (differential scanning calorimetry)를 측정하고, DSC 측정 결과에서 얻은 결정화 온도를 의미한다.

[0094] 그룹 I(GR1)의 실험예 1(EX1)은 $[Ge_{0.08} Si_{0.17} As_{0.422} Te_{0.328}]_{0.90}[N]_{0.10}$의 조성을 갖는 칼코게나이드 스위칭 물질이며, 그룹 I(GR1)의 실험예 2(EX2)는 $[Ge_{0.08} Si_{0.17} As_{0.422} Te_{0.328}]_{0.82}[N]_{0.18}$의 조성을 갖는 칼코게나이드 스위칭 물질이며, 그룹 2(GR2)의 실험예 3(EX3)은 $[Ge_{0.08} Si_{0.17} As_{0.422} Te_{0.328}]_{0.86}[N]_{0.10}[C]_{0.04}$의 조성을 갖는 칼코게나이드 스위칭 물질이며, 그룹 2(GR2)의 실험예 4(EX4)는 $[Ge_{0.08} Si_{0.17} As_{0.422} Te_{0.248} Se_{0.08}]_{0.82}[N]_{0.18}$의 조성을 갖는 칼코게나이드 스위칭 물질이다.

[0095] 한편, 본 발명의 예시적인 실시예들에 따른 그룹 I(GR1) 및 그룹 II(GR2)와의 비교를 위하여, 비교예 1(CO1) 및 비교예 2(CO2)에 따른 칼코게나이드 스위칭 물질의 특성들을 측정하여 도 6a 내지 도 6c에 함께 도시하였다. 비교예 1(CO1)은 $Ge_8 Si_{17} As_{35} Te_{40}$의 조성을 갖는 칼코게나이드 스위칭 물질이며, 비교예 2(CO2)는 $Ge_X Si_Y As_Z Te_U Se_W S_V$ (여기서, X는 17 내지 19, Y는 7 내지 10, Z는 25 내지 27, U는 28 내지 30, W는 28 내지 30, 및 V는 5 내지 6)의 조성을 갖는 칼코게나이드 스위칭 물질이다. 한편, 비교를 위하여 비교예 1(CO1) 및 비교예 2(CO2)에 따른 칼코게나이드 스위칭 물질의 조성이 도 5의 상태도에 함께 도시된다.

[0096] 도 6a를 참조하면, 실험예 1 내지 실험예 4(EX1, EX2, EX3, EX4)는 비교예 1 및 비교예 2(CO1, CO2)에 비하여 비교적 높은 오프 전류 대비 온 전류(I_{on} / I_{off}) 값을 보임을 확인할 수 있다. 예를 들어, 실험예 1 내지 실험예 4(EX1, EX2, EX3, EX4)는 각각 1.2E4, 4.2E5, 3.9E5, 및 2.1E5의 오프 전류 대비 온 전류(I_{on} / I_{off})값을 보인 반면, 비교예 1 및 비교예 2(CO1, CO2)는 약 7.8E3 및 1.8E4의 오프 전류 대비 온 전류(I_{on} / I_{off}) 값을 보였다.

[0097] 도 6b를 참조하면, 실험예 1 내지 실험예 4(EX1, EX2, EX3, EX4)는 비교예 1 및 비교예 2(CO1, CO2)에 비하여 현저히 낮은 쓰기 오프 전류($I_{off\text{-}write}$) 및 읽기 오프 전류($I_{off\text{-}read}$)를 보였다. 예를 들어, 실험예 4(EX4)는 18 nA의 쓰기 오프 전류($I_{off\text{-}write}$) 및 0.54 nA의 읽기 오프 전류($I_{off\text{-}read}$)를 보였으며, 이는 비교예 1(CO1)의 142 nA의 쓰기 오프 전류($I_{off\text{-}write}$) 및 13.5 nA의 읽기 오프 전류($I_{off\text{-}read}$)와 비교할 때, 현저히 낮은 값임을 확인할 수 있다.

[0098] 도 6c를 참조하면, 실험예 1 내지 실험예 4(EX1, EX2, EX3, EX4)는 모두 우수한 열적 안정성(또는 결정화 온도) 및 내구성(endurance)을 나타냄을 확인할 수 있다.

[0099] 앞서 설명한 바와 같이, 본 발명의 예시적인 실시예들에 따른 칼코게나이드 스위칭 물질은 비소(As) 및 텔루륨(Te)을, 비소(As) 및 텔루륨(Te)의 전체 원자 함량에 대한 비소(As)의 비율이 약 0.45 내지 0.6이도록 포함하며, 약 8 내지 약 20 at%의 질소(N)를 포함할 수 있다. 예시적인 실시예들에 따른 칼코게나이드 스위칭 물질은 약 1 내지 15 at%의 탄소(C)를 선택적으로 포함할 수 있다. 또한, 예시적인 실시예들에 따른 칼코게나이드 스위칭 물질은 텔루륨(Te)의 부분(예를 들어 0% 초과 및 30% 이하)이 셀레늄(Se)으로 치환된 조성을 가질 수 있다. 실험예 1 내지 실험예 4(EX1, EX2, EX3, EX4)의 특성들로부터 확인할 수 있듯이, 예시적인 실시예들에 따른 칼코게나이드 물질은 현저히 감소된 쓰기 오프 전류($I_{off\text{-}write}$) 및 읽기 오프 전류($I_{off\text{-}read}$)를 나타낼 수 있고, 또한 이에 따라 높은 오프 전류 대비 온 전류(I_{on} / I_{off})를 나타낼 수 있다. 또한, 상기 칼코게나이드 물질은 우수한 열적 안정성 및 우수한 내구성을 나타낼 수 있다.

[0100] 도 7 내지 도 10은 본 발명의 실시예들에 따른 가변 저항 메모리 소자에 대한 단면도들로서, 도 3의 단면도에

대응한다.

[0101] 도 7은 예시적인 실시예들에 따른 가변 저항 메모리 소자(100a)를 나타내는 단면도이다. 도 2 및 도 3에서 이미 설명한 내용은 간단히 설명하거나 생략한다.

[0102] 도 7을 참조하면, 본 실시예의 가변 저항 메모리 소자(100a)는, 하부 전극층(141) 및 선택 소자층(143)이 다마신 구조로 형성된다는 점에서, 도 3의 가변 저항 메모리 소자(100)와 다를 수 있다. 구체적으로 본 실시예의 가변 저항 메모리 소자(100a)에서는, 하부 전극층(141) 및 선택 소자층(143)은 다마신 공정으로 형성되고, 중간 전극층(145), 가열 전극층(147), 가변 저항층(149) 및 상부 전극층(148)은 양각 식각 공정을 통해 형성될 수 있다. 그에 따라, 하부 전극층(141) 및 선택 소자층(143)은 하부로 갈수록 폭이 좁아지는 구조를 가질 수 있다.

[0103] 또한, 본 실시예의 가변 저항 메모리 소자(100a)는 하부 전극층(141) 및 선택 소자층(143)의 측면에 하부 스페이서(152)가 형성될 수 있다. 본 실시예의 가변 저항 메모리 소자(100a)에서, 하부 전극층(141) 및 선택 소자층(143)이 다마신 공정으로 형성될 때, 트렌치 내 측벽에 미리 하부 스페이서(152)가 형성되고 그 후에 하부 전극층(141) 및 선택 소자층(143)이 형성될 수 있다. 그에 따라, 본 실시예의 가변 저항 메모리 소자(100a)는 하부 전극층(141) 및 선택 소자층(143)의 측면에 하부 스페이서(152)를 포함할 수 있다. 하부 스페이서(152)가 생략될 수 있음은 물론이다.

[0104] 도 8은 예시적인 실시예들에 따른 가변 저항 메모리 소자(100b)를 나타내는 단면도이다. 도 2 및 도 3에서 이미 설명한 내용은 간단히 설명하거나 생략한다.

[0105] 도 8을 참조하면, 본 실시예의 가변 저항 메모리 소자(100b)는, 가변 저항층(149)이 다마신 구조로 형성된다는 점에서, 도 3의 가변 저항 메모리 소자(100)와 다를 수 있다. 구체적으로, 본 실시예의 가변 저항 메모리 소자(100b)에서, 하부 전극층(141), 선택 소자층(143), 중간 전극층(145), 가열 전극층(147) 및 상부 전극층(148)은 양각 식각으로 형성되고, 가변 저항층(149)은 다마신 공정으로 형성될 수 있다. 또한, 본 실시예의 가변 저항 메모리 소자(100b)에서, 가변 저항층(149)의 측면에 상부 스페이서(155)가 형성될 수 있다. 이러한 상부 스페이서(155)는 앞서 도 7의 가변 저항 메모리 소자(100a)의 하부 스페이서(152)를 형성하는 방법과 동일한 방법으로 형성될 수 있다. 예컨대, 절연층(미도시) 상에 트렌치를 형성하고, 트렌치 내 측벽에 상부 스페이서(155)를 형성한 후, 남은 트렌치를 가변 저항층(149) 물질로 채움으로써 형성할 수 있다. 상부 스페이서(155)가 생략될 수 있음은 물론이다.

[0106] 도 9는 예시적인 실시예들에 따른 가변 저항 메모리 소자(100c)를 나타내는 단면도이다. 도 2 및 도 3에서 이미 설명한 내용은 간단히 설명하거나 생략한다.

[0107] 도 9를 참조하면, 본 실시예의 가변 저항 메모리 소자(100c)는, 가변 저항층(149)이 다마신 구조로 형성되되 'L'형 구조로 형성된다는 점에서, 도 8의 가변 저항 메모리 소자(100b)와 다를 수 있다. 구체적으로, 본 실시예의 가변 저항 메모리 소자(100c)에서, 하부 전극층(141), 선택 소자층(143), 중간 전극층(145), 가열 전극층(147) 및 상부 전극층(148)은 양각 식각으로 형성되고, 가변 저항층(149)은 다마신 공정으로 형성될 수 있다.

[0108] 한편, 본 실시예의 가변 저항 메모리 소자(100c) 역시, 가변 저항층(149)의 측면에 상부 스페이서(155)가 형성될 수 있다. 다만, 가변 저항층(149)이 'L'형 구조로 형성됨에 따라, 상부 스페이서(155)는 비대칭 구조로 형성될 수 있다. 가변 저항층(149)을 다마신 공정으로 'L'형 구조로 형성하는 방법을 간단히 설명하면, 먼저, 가열 전극층(147) 상에 절연층을 형성하고, 상기 절연층에 트렌치를 형성한다. 상기 트렌치는 인접하는 메모리 셀들(140)에 함께 오버랩되도록 넓게 형성한다. 다음, 트렌치 내부 및 절연층 상에 가변 저항층을 구성할 제1 물질층으로 얇게 형성한 후, 상기 제1 물질층 상에 상부 스페이서를 구성할 제2 물질층을 형성한다. 이후 상기 절연층의 상면이 노출되도록 화학적 기계적 연마(Chemical Mechanical Polishing, CMP) 공정 등을 통해 평탄화한다. 평탄화 후, 메모리 셀들(140)에 정렬되는 마스크 패턴을 형성하고, 상기 마스크 패턴을 이용하여 제1 물질층과 제2 물질층을 식각함으로써, 'L'형 구조의 가변 저항층(149) 및 상부 스페이서(155)를 형성할 수 있다.

[0109] 도 10은 예시적인 실시예들에 따른 가변 저항 메모리 소자(100d)를 나타내는 단면도이다. 도 2 및 도 3에서 이미 설명한 내용은 간단히 설명하거나 생략한다.

[0110] 도 10을 참조하면, 본 실시예의 가변 저항 메모리 소자(100d)는, 가변 저항층(149)이 대쉬(dash) 구조로 형성된다는 점에서, 도 9의 가변 저항 메모리 소자(100c)와 다를 수 있다. 대쉬 구조의 가변 저항층(149)은 'L'형 구조로 형성하는 방법과 유사한 방법으로 형성될 수 있다. 예컨대, 상기 트렌치 내부 및 절연층 상에 가변 저항층(149)을 구성할 제1 물질층을 얇게 형성한 후, 이방성 식각을 통해 트렌치 측벽으로만 상기 제1 물질층을 남긴

다. 이후, 남은 상기 제1 물질층을 덮도록 제2 물질층을 형성한다. 이후 상기 절연층의 상면이 노출되도록 CMP 공정 등을 통해 평탄화한다. 평탄화 후, 메모리 셀들(140)에 정렬되는 마스크 패턴을 형성하고, 상기 마스크 패턴을 이용하여 상기 제2 물질층을 식각함으로써, 대쉬 구조의 가변 저항층(149) 및 상부 스페이서(155)를 형성할 수 있다.

[0111] 도 11은 본 발명의 일 실시예에 따른 가변 저항 메모리 소자에 대한 사시도이고, 도 12는 도 11의 2X-2X' 및 2Y-2Y' 부분을 절단하여 보여주는 단면도이다. 도 2 및 도 3에서 이미 설명한 내용은 간단히 설명하거나 생략한다.

[0112] 도 11 및 도 12를 참조하면, 가변 저항 메모리 소자(200)는 기판(101) 상에 제1 전극 라인층(110L), 제2 전극 라인층(120L), 제3 전극 라인층(130L), 제1 메모리 셀층(MCL1), 및 제2 메모리 셀층(MCL2)을 포함할 수 있다.

[0113] 도시된 바와 같이, 기판(101) 상에는 층간 절연층(105)이 배치될 수 있다. 제1 전극 라인층(110L)은 제1 방향(X 방향)으로 상호 평행하게 연장하는 복수의 제1 전극 라인들(110)을 포함할 수 있다. 제2 전극 라인층(120L)은 제1 방향에 수직하는 제2 방향(Y 방향)으로 상호 평행하게 연장하는 복수의 제2 전극 라인들(120)을 포함할 수 있다. 또한, 제3 전극 라인층(130L)은 제1 방향(X 방향)으로 상호 평행하게 연장하는 복수의 제3 전극 라인들(130)을 포함할 수 있다. 한편, 제3 전극 라인들(130)은 제3 방향(Z 방향)의 위치만 다를 뿐, 연장 방향이나 배치 구조에서 제1 전극 라인들(110)과 실질적으로 동일할 수 있다. 따라서, 제3 전극 라인들(130)은 제3 전극 라인층(130L)의 제1 전극 라인들로 언급될 수도 있다.

[0114] 가변 저항 메모리 소자(200)의 구동 측면에서, 제1 전극 라인들(110)과 제3 전극 라인들(130)은 워드 라인에 해당할 수 있고, 제2 전극 라인들(120)은 비트 라인에 해당할 수 있다. 또한, 반대로 제1 전극 라인들(110)과 제3 전극 라인들(130)이 비트 라인에 해당하고, 제2 전극 라인들(120)이 워드 라인에 해당할 수도 있다. 제1 전극 라인들(110)과 제3 전극 라인들(130)이 워드 라인에 해당하는 경우에, 제1 전극 라인들(110)은 하부 워드 라인에 해당하고, 제3 전극 라인들(130)은 상부 워드 라인에 해당하며, 제2 전극 라인들(120)은 하부 워드 라인과 상부 워드 라인에 공유되므로 공통 비트 라인에 해당할 수 있다.

[0115] 제1 전극 라인들(110), 제2 전극 라인들(120) 및 제3 전극 라인들(130)은 각각 금속, 도전성 금속 질화물, 도전성 금속 산화물, 또는 이들의 조합으로 이루어질 수 있다. 또한, 제1 전극 라인들(110), 제2 전극 라인들(120) 및 제3 전극 라인들(130)은 각각 금속막과, 상기 금속막의 적어도 일부를 덮는 도전성 장벽층을 포함할 수 있다.

[0116] 제1 메모리 셀층(MCL1)은 제1 방향 및 제2 방향으로 서로 이격된 복수의 제1 메모리 셀들(140-1)을 포함할 수 있다. 제2 메모리 셀층(MCL2)은 제1 방향 및 제2 방향으로 서로 이격된 복수의 제2 메모리 셀들(140-2)을 포함할 수 있다. 도시된 바와 같이, 제1 전극 라인들(110)과 제2 전극 라인들(120)은 서로 교차하며, 제2 전극 라인들(120)과 제3 전극 라인들(130)은 서로 교차할 수 있다. 제1 메모리 셀들(140-1)은 제1 전극 라인층(110L)과 제2 전극 라인층(120L) 사이의 제1 전극 라인들(110)과 제2 전극 라인들(120)이 교차하는 부분들에 배치될 수 있다. 제2 메모리 셀들(140-2)은 제2 전극 라인층(120L)과 제3 전극 라인층(130L) 사이의 제2 전극 라인들(120)과 제3 전극 라인들(130)이 교차하는 부분들에 배치될 수 있다.

[0117] 제1 메모리 셀들(140-1) 및 제2 메모리 셀들(140-2)은 각각 하부 전극층(141-1, 141-2), 선택 소자층(143-1, 143-2), 중간 전극층(145-1, 145-2), 가열 전극층(147-1, 147-2), 가변 저항층(149-1, 149-2) 및 상부 전극층(148-1, 148-2)을 포함할 수 있다. 제1 메모리 셀들(140-1)과 제2 메모리 셀들(140-2)의 구조는 실질적으로 동일할 수 있다.

[0118] 제1 전극 라인들(110) 사이에는 제1 절연층(160a)이 배치되고, 제1 메모리 셀층(MCL1)의 제1 메모리 셀들(140-1) 사이에는 제2 절연층(160b)이 배치될 수 있다. 또한, 제2 전극 라인들(120) 사이에는 제3 절연층(160c)이 배치되고, 제2 메모리 셀층(MCL2)의 제2 메모리 셀들(140-2) 사이에는 제4 절연층(160d)이 배치되며, 제3 전극 라인들(130) 사이에는 제5 절연층(160e)이 배치될 수 있다. 제1 내지 제5 절연층(160a 내지 160e)은 동일 물질의 절연층으로 형성되거나 적어도 하나는 다른 물질의 절연층으로 형성될 수 있다. 이러한 제1 내지 제5 절연층(160a 내지 160e)은 예컨대, 산화물 또는 질화물의 유전체 물질로 형성되며, 각층의 소자들을 서로 전기적으로 분리하는 기능을 할 수 있다. 한편, 제2 절연층(160b) 및 제4 절연층(160d) 중 적어도 하나를 대신하여 에어갭들(미도시)이 형성될 수도 있다. 에어갭들이 형성되는 경우, 상기 에어갭들과 제1 메모리 셀들(140-1) 사이, 및/또는 상기 에어갭들과 제2 메모리 셀들(140-2) 사이에 소정의 두께를 갖는 절연 라이너(미도시)가 형성될 수 있다.

[0119] 본 실시예의 가변 저항 메모리 소자(200)는 기본적으로 도 2 및 도 3의 구조의 가변 저항 메모리 소자(100)를 반복하여 적층한 구조를 가질 수 있다. 그러나 본 실시예의 가변 저항 메모리 소자(200)의 구조가 그에 한정되는 것은 아니다. 예컨대, 본 실시예의 가변 저항 메모리 소자(200)는 도 7 내지 도 10에 예시된 다양한 구조의 가변 저항 메모리 소자(100a 내지 100d)가 적층된 구조를 가질 수도 있다.

[0120] 도 13은 본 발명의 일 실시예에 따른 가변 저항 메모리 소자에 대한 사시도이고, 도 14는 도 13의 3X-3X' 및 3Y-3Y' 부분을 절단하여 보여주는 단면도이다. 도 2, 도 3, 도 11 및 도 12에서 이미 설명한 내용은 간단히 설명하거나 생략한다.

[0121] 도 13 및 도 14를 참조하면, 본 실시예의 가변 저항 메모리 소자(300)는 적층된 4개의 메모리 셀층(MCL1, MCL2, MCL3, MCL4)을 포함하는 4층 구조를 가질 수 있다. 구체적으로 제1 전극 라인층(110L)과 제2 전극 라인층(120L) 사이에 제1 메모리 셀층(MCL1)이 배치되고, 제2 전극 라인층(120L)과 제3 전극 라인층(130L) 사이에 제2 메모리 셀층(MCL2)이 배치될 수 있다. 제3 전극 라인층(130L) 상에 제2 층간 절연층(170)이 형성되고, 제2 층간 절연층(170) 상에 제1 상부 전극 라인층(210L), 제2 상부 전극 라인층(220L), 제3 상부 전극 라인층(230L)이 배치될 수 있다. 제1 상부 전극 라인층(210L)은 제1 전극 라인들(110)과 동일한 구조의 제1 상부 전극 라인들(210)을 포함하고, 제2 상부 전극 라인층(220L)은 제2 전극 라인들(120)과 동일한 구조의 제2 상부 전극 라인들(220)을 포함하며, 제3 상부 전극 라인층(230L)은 제3 전극 라인들(130) 또는 제1 전극 라인들(110)과 동일한 구조의 제3 상부 전극 라인들(230)을 포함할 수 있다. 제1 상부 전극 라인층(210L)과 제2 상부 전극 라인층(220L) 사이에 제1 상부 메모리 셀층(MCL3)이 배치되고, 제2 상부 전극 라인층(220L)과 제3 상부 전극 라인층(230L) 사이에 제2 상부 메모리 셀층(MCL4)이 배치될 수 있다.

[0122] 제1 전극 라인층(110L) 내지 제3 전극 라인층(130L), 제1 메모리 셀층(MCL1) 및 제2 메모리 셀층(MCL2)은, 도 2, 도 3, 도 11 및 도 12에서 설명한 바와 같다. 또한, 제1 상부 전극 라인층(210L) 내지 제3 상부 전극 라인층(230L), 제1 상부 메모리 셀층(MCL3) 및 제2 상부 메모리 셀층(MCL4) 역시, 제1 층간 절연층(105) 대신 제2 층간 절연층(170) 상에 배치된다는 점을 제외하고, 제1 전극 라인층(110L) 내지 제3 전극 라인층(130L), 제1 메모리 셀층(MCL1) 및 제2 메모리 셀층(MCL2)과 실질적으로 동일할 수 있다.

[0123] 본 실시예의 가변 저항 메모리 소자(300)는 기본적으로 도 2 및 도 3의 구조의 가변 저항 메모리 소자(100)를 반복하여 적층한 구조를 가질 수 있다. 그러나 본 실시예의 가변 저항 메모리 소자(300)의 구조가 그에 한정되는 것은 아니다. 예컨대, 본 실시예의 가변 저항 메모리 소자(300)는 도 7 내지 도 10에 예시된 다양한 구조의 가변 저항 메모리 소자(100a 내지 100d)가 적층된 구조를 가질 수도 있다.

[0124] 도 15는 본 발명의 일 실시예에 따른 가변 저항 메모리 소자에 대한 사시도이고, 도 16은 도 15의 4X-4X' 부분을 절단하여 보여주는 단면도이다. 도 2, 도 3, 도 11 및 도 12에서 이미 설명한 내용은 간단히 설명하거나 생략한다.

[0125] 도 15 및 도 16을 참조하면, 가변 저항 메모리 소자(400)는 기판(101) 상의 제1 레벨에 형성된 구동 회로 영역(410)과, 기판(101) 상의 제2 레벨에 형성된 제1 메모리 셀층(MCL1) 및 제2 메모리 셀층(MCL2)을 포함할 수 있다.

[0126] 여기서, 용어 "레벨"은 기판(101)으로부터 수직 방향(도 15 및 도 16에서 Z 방향)을 따르는 높이를 의미한다. 기판(101) 상에서 상기 제1 레벨은 상기 제2 레벨보다 기판(101)에 더 가깝다.

[0127] 구동 회로 영역(410)은 제1 메모리 셀층(MCL1) 및 제2 메모리 셀층(MCL2)의 메모리 셀들을 구동하기 위한 주변 회로들 또는 구동 회로들이 배치되는 영역들일 수 있다. 예를 들어, 구동 회로 영역(410)에 배치되는 주변 회로들은 제1 메모리 셀층(MCL1) 및 제2 메모리 셀층(MCL2)으로 입력/출력되는 데이터를 고속으로 처리할 수 있는 회로들일 수 있다. 예를 들어 상기 주변 회로들은 페이지 버퍼(page buffer), 래치 회로(latch circuit), 캐시 회로(cache circuit), 칼럼 디코더(column decoder), 감지 증폭기(sense amplifier), 데이터 인/아웃 회로(data in/out circuit) 또는 로우 디코더(row decoder) 등일 수 있다.

[0128] 기판(101)에는 소자 분리막(104)에 의해 구동 회로용 활성 영역(AC)이 정의될 수 있다. 기판(101)의 활성 영역(AC) 위에는 구동 회로 영역(410)을 구성하는 복수의 트랜지스터(TR)가 형성될 수 있다. 복수의 트랜지스터(TR)는 각각 게이트(G), 게이트 절연막(GD), 및 소스/드레인 영역(SD)을 포함할 수 있다. 게이트(G)의 양 측벽은 절연 스페이서(106)로 덮일 수 있고, 게이트(G) 및 절연 스페이서(106) 위에 식각 정지막(108)이 형성될 수 있다. 식각 정지막(108)은 실리콘 질화물, 실리콘 산질화물 등의 절연 물질을 포함할 수 있다.

[0129] 식각 정지막(108) 상에 복수의 층간 절연막(412A, 412B, 412C)이 순차적으로 적층될 수 있다. 복수의 층간 절연막(412A, 412B, 412C)은 실리콘 산화물, 실리콘 산질화물, 실리콘 산질화물 등을 포함할 수 있다.

[0130] 구동 회로 영역(410)은 복수의 트랜지스터(TR)에 전기적으로 연결되는 다층 배선 구조(414)를 포함한다. 다층 배선 구조(414)는 복수의 층간 절연막(412A, 412B, 412C)에 의해 상호 절연될 수 있다.

[0131] 다층 배선 구조(414)는 기판(101) 상에 차례로 순차적으로 적층되고 상호 전기적으로 연결되는 제1 콘택(416A), 제1 배선층(418A), 제2 콘택(416B), 및 제2 배선층(418B)을 포함할 수 있다. 예시적인 실시예들에서, 제1 배선층(418A) 및 제2 배선층(418B)은 금속, 도전성 금속 질화물, 금속 실리사이드, 또는 이들의 조합으로 이루어질 수 있다. 예를 들면, 제1 배선층(418A) 및 제2 배선층(418B)은 텅스텐, 몰리브덴, 티타늄, 코발트, 탄탈륨, 니켈, 텅스텐 실리사이드, 티타늄 실리사이드, 코발트 실리사이드, 탄탈륨 실리사이드, 니켈 실리사이드 등과 같은 도전 물질을 포함할 수 있다.

[0132] 도 16에서, 다층 배선 구조(414)가 제1 배선층(418A) 및 제2 배선층(418B)을 포함하는 2층의 배선 구조를 가지는 것으로 예시되었으나, 본 발명의 기술적 사상은 도 16에 예시된 바에 한정되는 것은 아니다. 예를 들면, 구동 회로 영역(410)의 레이아웃, 게이트(G)의 종류 및 배열에 따라 다층 배선 구조(414)가 3층 또는 그 이상의 다층 배선 구조를 가질 수도 있다.

[0133] 복수의 층간 절연막(412A, 412B, 412C) 상에는 층간 절연층(105)이 형성될 수 있다. 제1 메모리 셀층(MCL1) 및 제2 메모리 셀층(MCL2)은 층간 절연층(105) 상에 배치될 수 있다.

[0134] 도시되지는 않았지만, 제1 메모리 셀층(MCL1) 및 제2 메모리 셀층(MCL2)과 구동 회로 영역(410)과의 사이에 연결되는 배선 구조물(미도시)이 층간 절연층(105)을 관통하여 배치될 수 있다.

[0135] 예시적인 실시예들에 따른 가변 저항 메모리 소자(400)에 따르면, 구동 회로 영역(410) 상부에 제1 메모리 셀층(MCL1) 및 제2 메모리 셀층(MCL2)이 배치됨에 따라, 가변 저항 메모리 소자(400)의 집적도가 더욱 높아질 수 있다.

[0136] 도 17 내지 도 19은 본 발명의 일 실시예에 따른 도 2의 가변 저항 메모리 소자의 제조 과정을 보여주는 단면도들이다.

[0137] 도 17을 참조하면, 먼저, 기판(101) 상에 층간 절연층(105)을 형성한다. 층간 절연층(105)은 예컨대, 실리콘옥사이드 또는 실리콘나이트라이드로 형성할 수 있다. 물론, 층간 절연층(105)의 재질이 상기 물질들에 한정되는 것은 아니다. 층간 절연층(105) 상에 제1 방향(X 방향)으로 연장하고 서로 이격된 복수의 제1 전극 라인들(110)을 구비한 제1 전극 라인층(110L)을 형성한다. 제1 전극 라인들(110)은 양각 식각 공정 또는 다마신 공정으로 형성할 수 있다. 제1 전극 라인들(110)의 재질에 대해서는 도 2 및 도 3의 설명 부분에서 설명한 바와 같다. 제1 전극 라인들(110) 사이에는 제1 방향으로 연장하는 제1 절연층(160a)이 배치될 수 있다.

[0138] 제1 전극 라인층(110L) 및 제1 절연층(160a) 상에 하부 전극용 물질층(141k), 선택 소자용 물질층(143k), 중간 전극용 물질층(145k), 가열 전극용 물질층(147k), 가변 저항용 물질층(149k) 및 상부 전극용 물질층(148k)을 순차적으로 적층하여 적층 구조체(140k)를 형성한다. 적층 구조체(140k)를 구성하는 각 물질층의 재질이나 기능 등은 도 2 및 3의 설명 부분에서 설명한 바와 같다.

[0139] 상기 선택 소자용 물질층(143k)은 저머늄(Ge), 실리콘(Si), 비소(As) 및 텔루륨(Te)을 포함하고, 셀레늄(Se), 탄소(C) 및 질소(N) 중 적어도 하나를 선택적으로 포함하는 칼코게나이드 스위칭 물질을 포함하는 타겟을 이용하여 물리 기상 증착(Physical Vapor Deposition, PVD) 공정으로 형성할 수 있다. 또는, 상기 선택 소자용 물질층(143k)은 저머늄(Ge), 실리콘(Si), 비소(As) 및 텔루륨(Te)을 포함하고, 셀레늄(Se), 탄소(C) 및 질소(N) 중 적어도 하나를 선택적으로 포함하는 칼코게나이드 스위칭 물질을 포함하는 소스를 이용하여 화학 기상 증착 공정(Chemcal Vapor Deposition, CVD) 공정 또는 원자층 증착(Atomic Layer Deposition, ALD) 공정으로 형성할 수 있다.

[0140] 도 18을 참조하면, 적층 구조체(140k, 도 17 참조) 형성 후, 적층 구조체(140k) 상에 제1 방향(X 방향) 및 제2 방향(Y 방향)으로 서로 이격된 마스크 패턴(미도시)을 형성한다. 이후, 상기 마스크 패턴을 이용하여 제1 절연층(160a)과 제1 전극 라인들(110)의 상면 일부가 노출되도록 적층 구조체(140k)를 식각하여, 복수의 메모리 셀들(140)을 형성한다.

[0141] 메모리 셀들(140)은 상기 마스크 패턴의 구조에 따라, 제1 방향 및 제2 방향으로 서로 이격되고, 하부의 제1 전극 라인들(110)에 전기적으로 연결될 수 있다. 또한, 메모리 셀들(140)은 각각 하부 전극층(141), 선택 소자층

(143), 중간 전극층(145), 가열 전극층(147), 가변 저항층(149) 및 상부 전극층(148)을 포함할 수 있다. 메모리 셀들(140) 형성 후, 남은 마스크 패턴은 애싱(ashing) 및 스트립(strip) 공정을 통해 제거한다.

[0142] 전술한 메모리 셀들(140)의 형성 방법은 양각 식각 공정에 의한 것일 수 있다. 그러나 메모리 셀들(140)의 형성 방법이 양각 식각 공정에 한정되는 것은 아니다. 본 발명의 실시예에서, 메모리 셀들(140)은 다마신 공정으로도 형성될 수 있다. 예를 들어, 메모리 셀들(140) 중 가변 저항층(149)을 다마신 공정으로 형성하는 경우, 절연 물질층을 먼저 형성한 후, 상기 절연 물질층을 식각하여 가열 전극층(147)의 상면을 노출하는 트렌치를 형성한다. 이후, 트렌치에 상변화 물질을 채우고, CMP 공정 등을 이용하여 평탄화함으로써, 가변 저항층(149)을 형성한다.

[0143] 도 19를 참조하면, 메모리 셀들(140) 사이를 채우는 제2 절연층(160b)을 형성한다. 제2 절연층(160b)은 제1 절연층(160a)과 동일 또는 다른 산화물 또는 질화물로 형성될 수 있다. 메모리 셀들(140) 사이를 완전히 채우도록 절연 물질층을 충분한 두께로 형성하고, CMP 공정 등을 통해 평탄화하여 상부 전극층(148)의 상면이 노출되도록 함으로써, 제2 절연층(160b)을 형성할 수 있다.

[0144] 이후, 제2 전극 라인층을 위한 도전층을 형성하고 식각을 통해 패터닝함으로써, 제2 전극 라인들(120)을 형성할 수 있다. 제2 전극 라인들(120)은 제2 방향(Y방향)으로 연장하고 서로 이격될 수 있다. 제2 전극 라인들(120) 사이에는 제2 방향으로 연장하는 제3 절연층(160c)이 배치될 수 있다. 전술한 제2 전극 라인들(120)의 형성 방법은 양각 식각 공정에 의한 것일 수 있다. 그러나 제2 전극 라인들(120)의 형성 방법이 양각 식각 공정에 한정되는 것은 아니다. 예컨대, 제2 전극 라인들(120)은 다마신 공정으로도 형성될 수 있다. 제2 전극 라인들(120)을 다마신 공정으로 형성하는 경우, 메모리 셀들(140) 및 제2 절연층(160b) 상에 절연 물질층을 형성한 후, 상기 절연 물질층을 식각하여 제2 방향으로 연장하고 가변 저항층(149)의 상면을 노출하는 트렌치를 형성한다. 이후, 트렌치에 도전 물질을 채우고 평탄화함으로써, 제2 전극 라인들(120)을 형성한다. 경우에 따라, 메모리 셀들(140) 사이를 채우는 절연 물질층을 두껍게 형성하고 평탄화한 후, 상기 절연 물질층에 트렌치를 형성하여 제2 전극 라인들(120)을 형성할 수도 있다. 이러한 경우, 제2 절연층과 제3 절연층은 동일 물질로 일체형(one-body type)으로 형성될 수 있다.

[0145] 이상에서와 같이 도면과 명세서에서 예시적인 실시예들이 개시되었다. 본 명세서에서 특정한 용어를 사용하여 실시예들을 설명되었으나, 이는 단지 본 개시의 기술적 사상을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 개시의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 개시의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

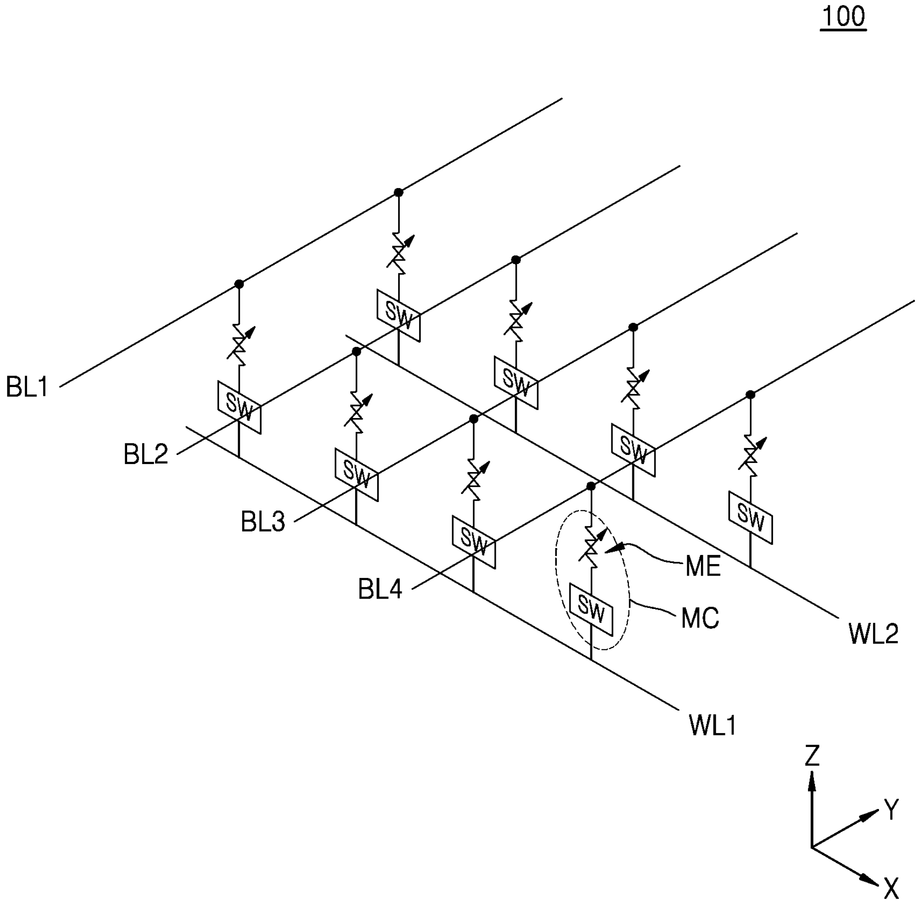
[0146] 100, 200, 300, 400: 가변 저항 메모리 소자, 140: 메모리 셀

141: 하부 전극층, 143: 선택 소자층, 145: 중간 전극층

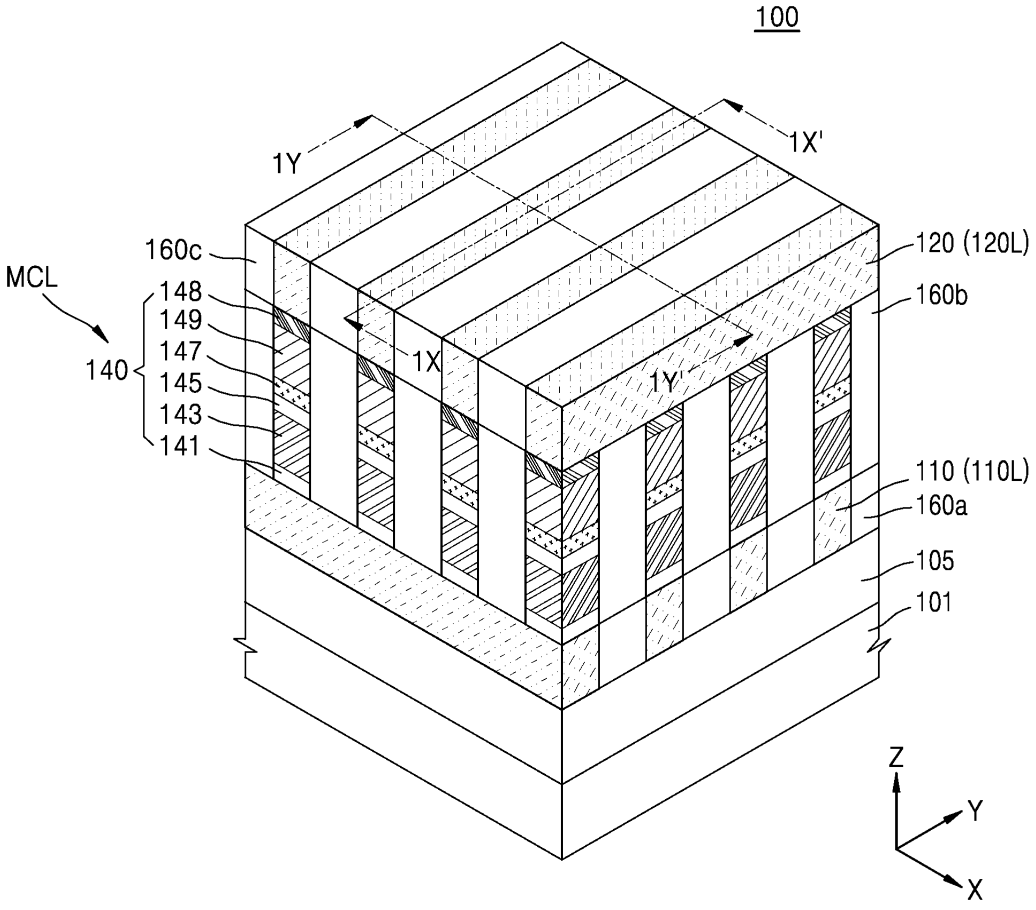
147: 가열 전극층, 148: 상부 전극층, 149: 가변 저항층

도면

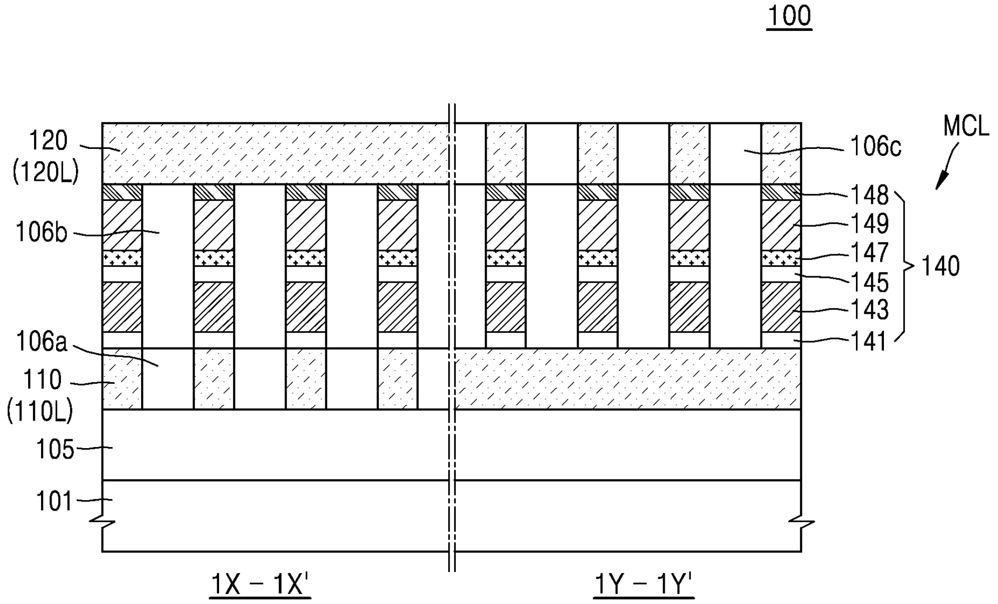
도면1



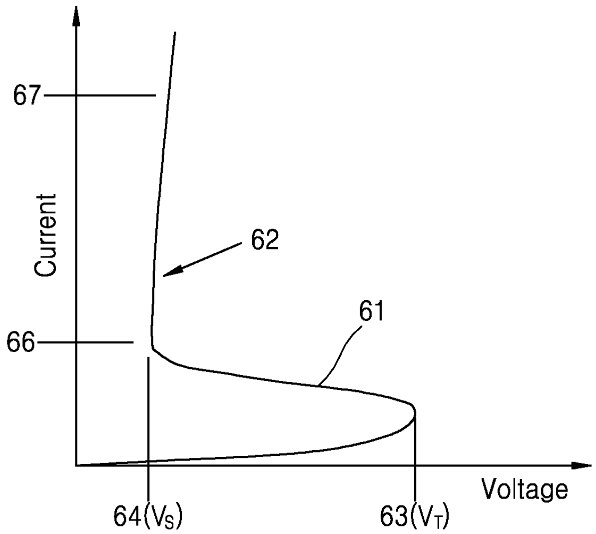
도면2


100
1Y
1X'
160c
MCL
148
149
147
145
143
141
140
1X
1Y'
120 (120L)
160b
110 (110L)
160a
105
101
Z
Y
X

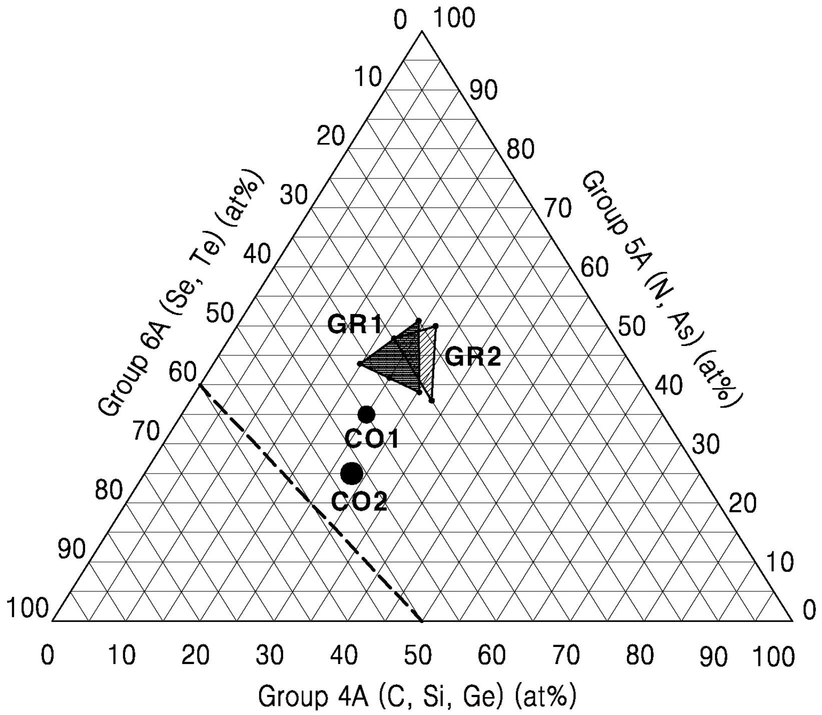
도면3


100
MCL
120
(120L)
106b
106a
110
(110L)
105
101
106c
148
149
147
145
143
141
140
1X - 1X'
1Y - 1Y'

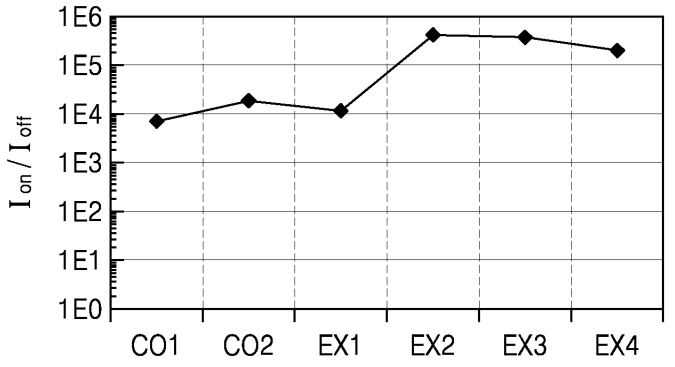
도면4


67
Current
62
61
66
64(Vs)
63(VT)
Voltage

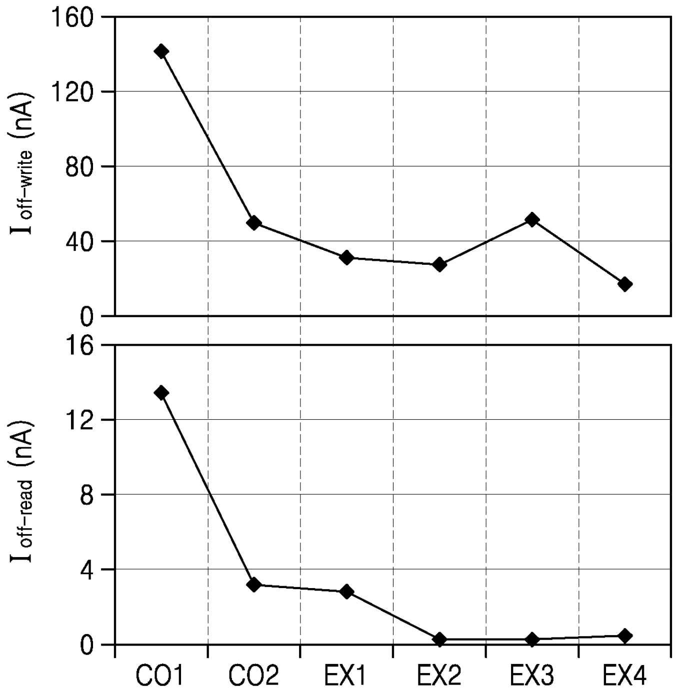
도면5


Group 6A (Se, Te) (at%)
Group 5A (N, As) (at%)
Group 4A (C, Si, Ge) (at%)
GR1
GR2
CO1
CO2

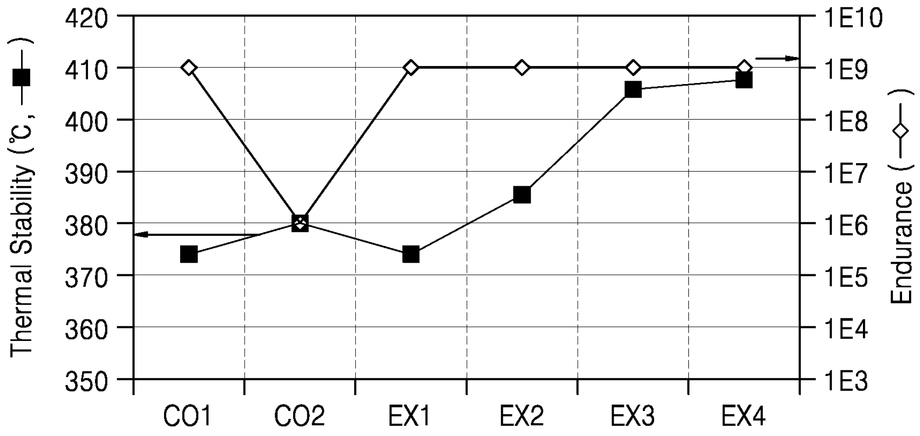
도면6a


1E6
1E5
1E4
1E3
1E2
1E1
1E0
I on / I off
CO1
CO2
EX1
EX2
EX3
EX4

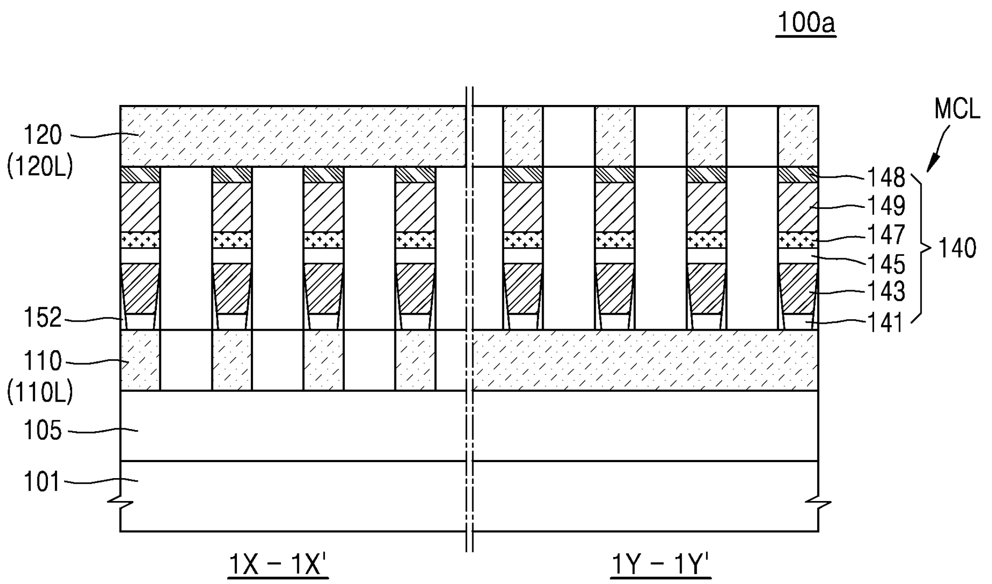
도면6b


160
120
80
40
0
I off-write (nA)
16
12
8
4
0
I off-read (nA)
CO1
CO2
EX1
EX2
EX3
EX4

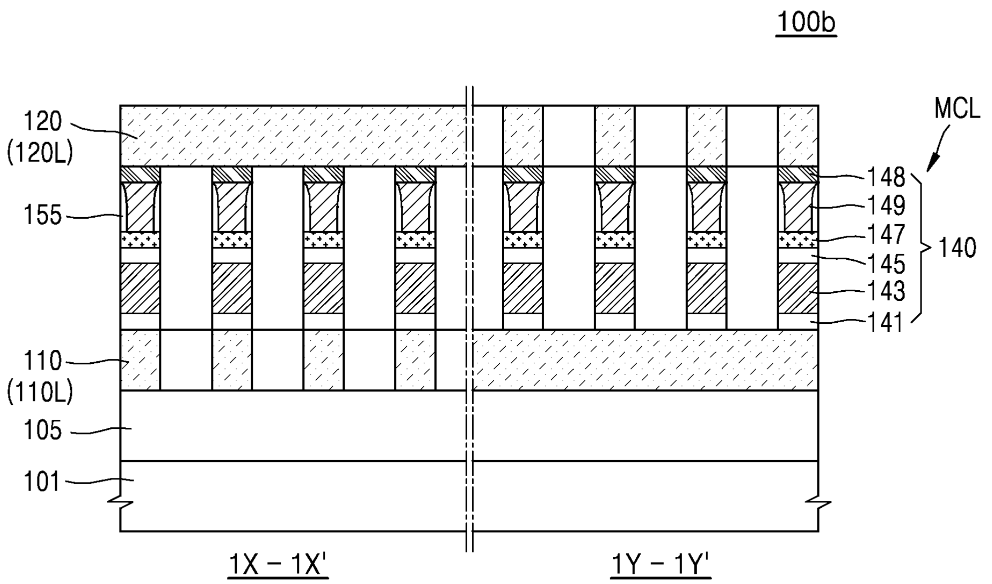
도면6c


420
410
400
390
380
370
360
350
Thermal Stability (℃, ━■━)
1E10
1E9
1E8
1E7
1E6
1E5
1E4
1E3
Endurance (━◇━)
CO1
CO2
EX1
EX2
EX3
EX4

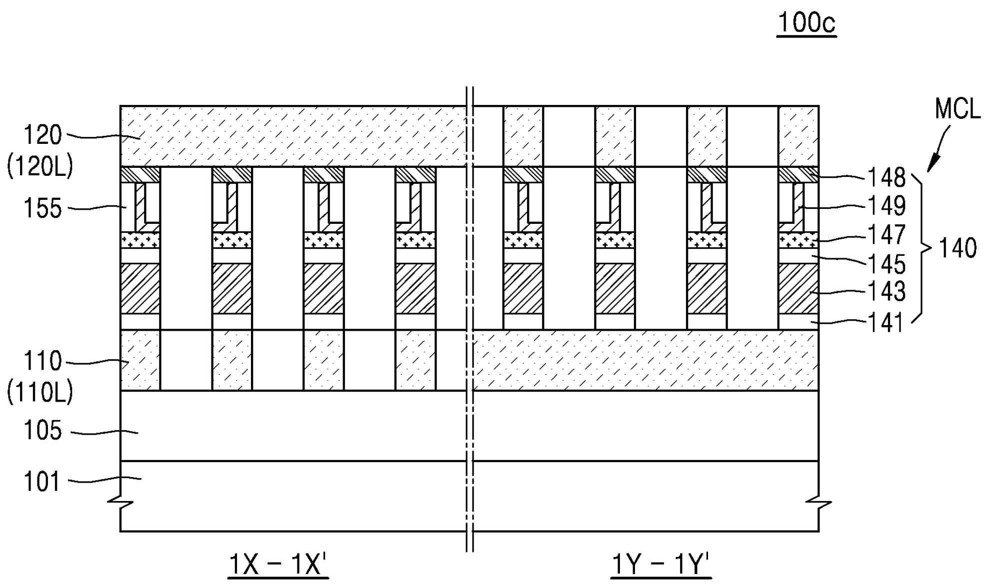
도면7


100a
MCL
120
(120L)
152
110
(110L)
105
101
148
149
147
145
143
141
140
1X - 1X'
1Y - 1Y'

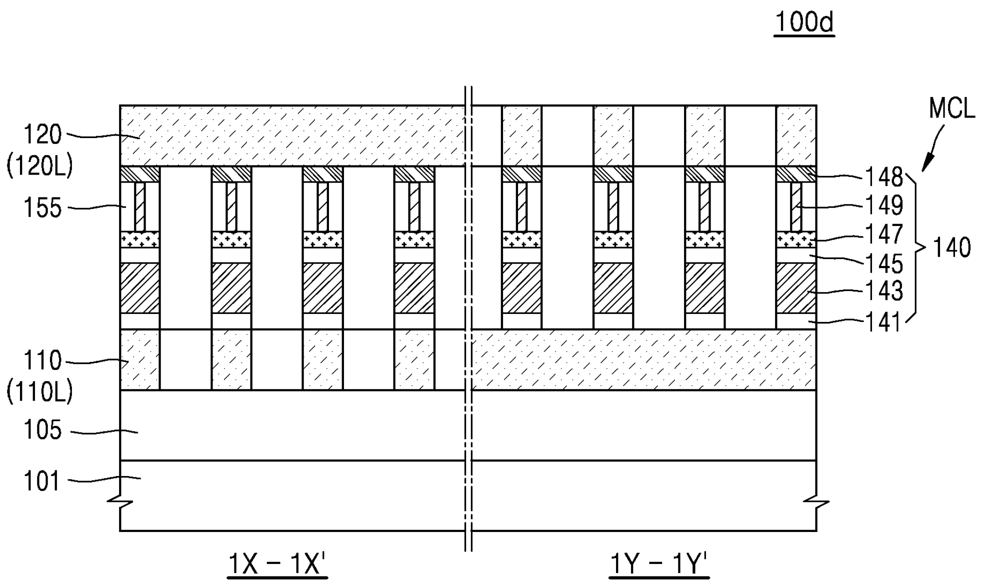
도면8


100b
MCL
120
(120L)
155
110
(110L)
105
101
148
149
147
145
143
141
140
1X - 1X'
1Y - 1Y'

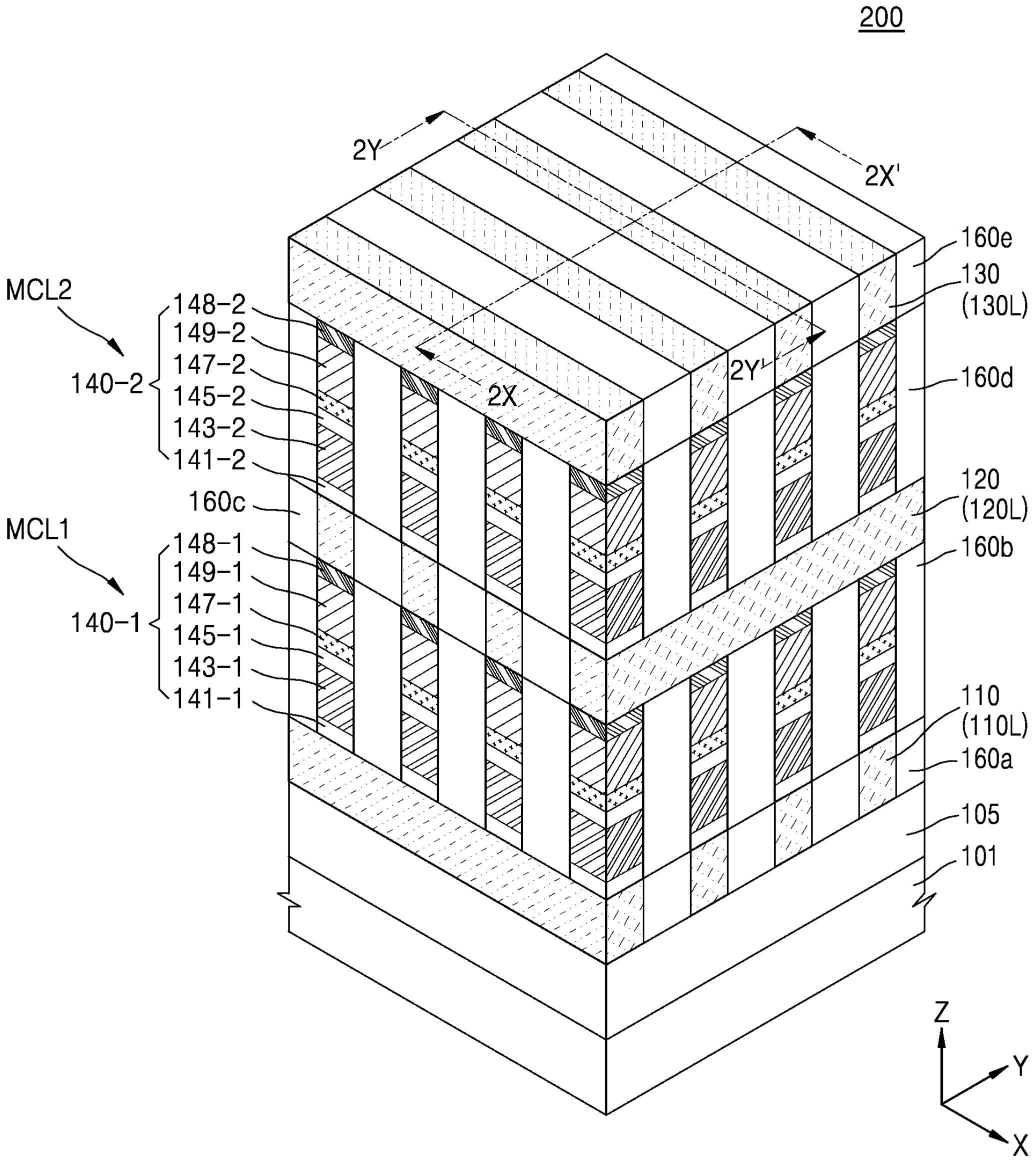
도면9


100c
MCL
120
(120L)
155
110
(110L)
105
101
148
149
147
145
143
141
140
1X - 1X'
1Y - 1Y'

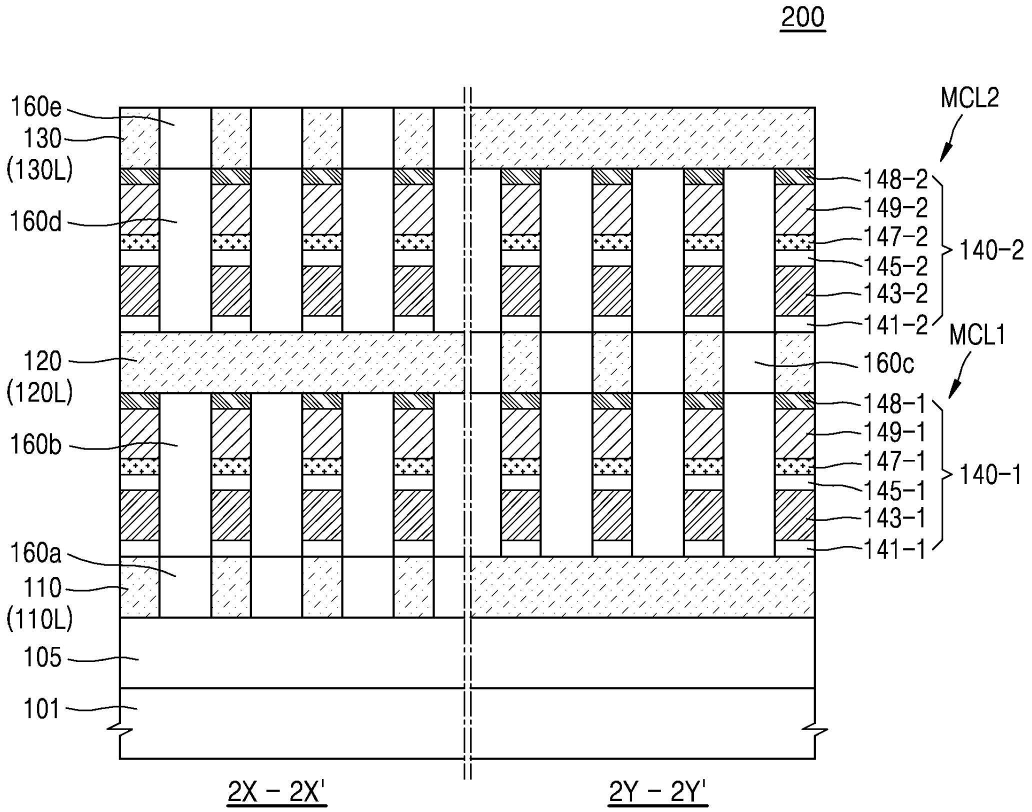
도면10


100d
MCL
120
(120L)
155
110
(110L)
105
101
148
149
147
145
143
141
140
1X - 1X'
1Y - 1Y'

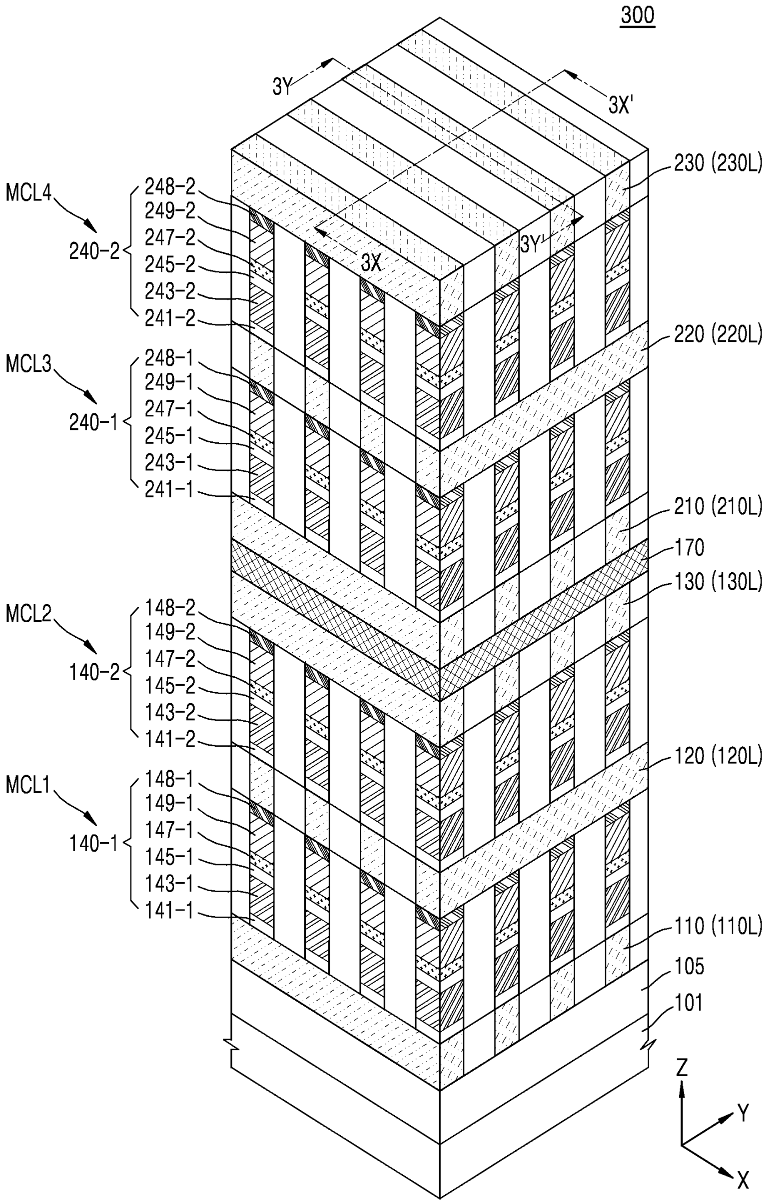
도면11


200
2Y
2X'
2X
2Y'
MCL2
140-2
148-2
149-2
147-2
145-2
143-2
141-2
160c
MCL1
140-1
148-1
149-1
147-1
145-1
143-1
141-1
160e
130
(130L)
160d
120
(120L)
160b
110
(110L)
160a
105
101
Z
Y
X

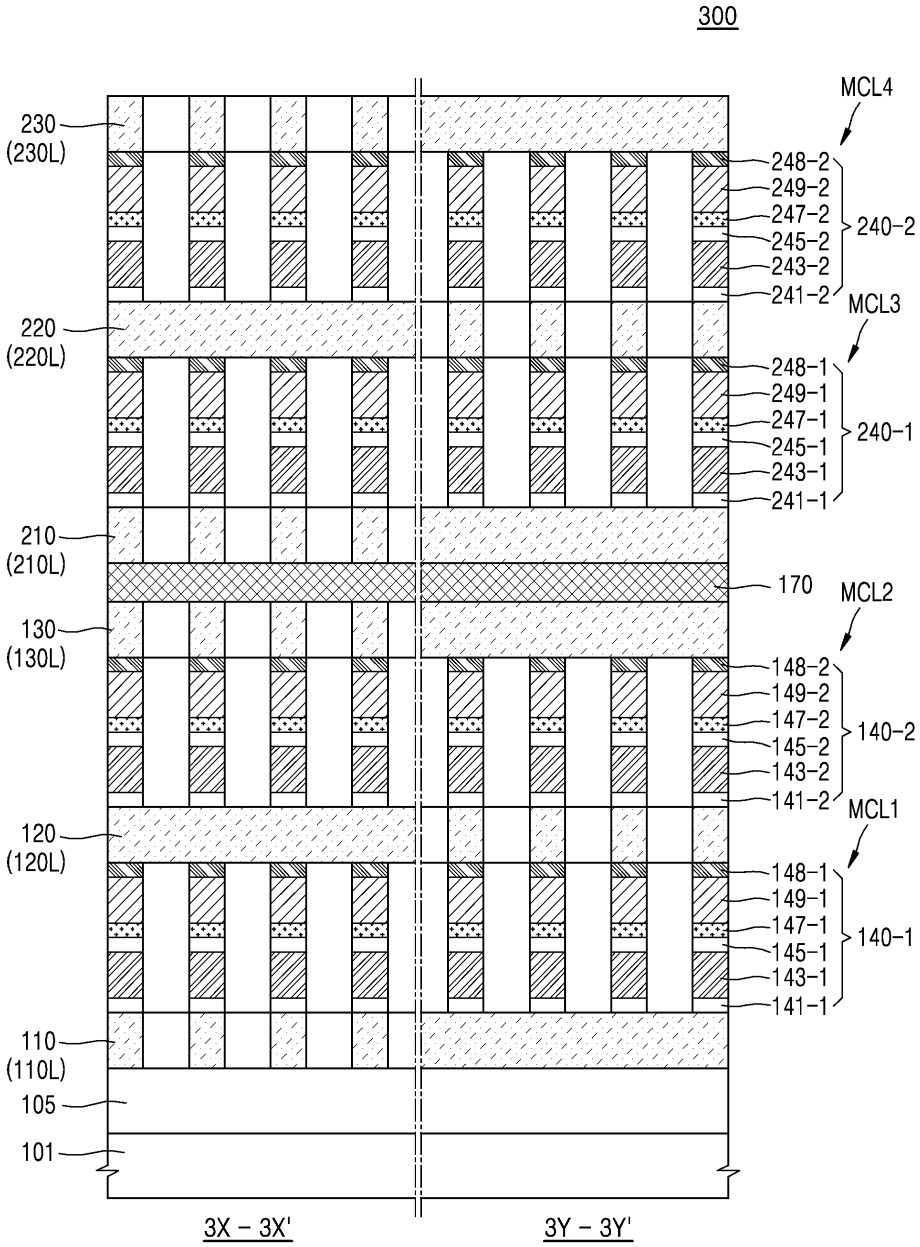
도면12


200
160e
130
(130L)
160d
120
(120L)
160b
160a
110
(110L)
105
101
MCL2
148-2
149-2
147-2
145-2
143-2
141-2
140-2
MCL1
160c
148-1
149-1
147-1
145-1
143-1
141-1
140-1
2X - 2X'
2Y - 2Y'

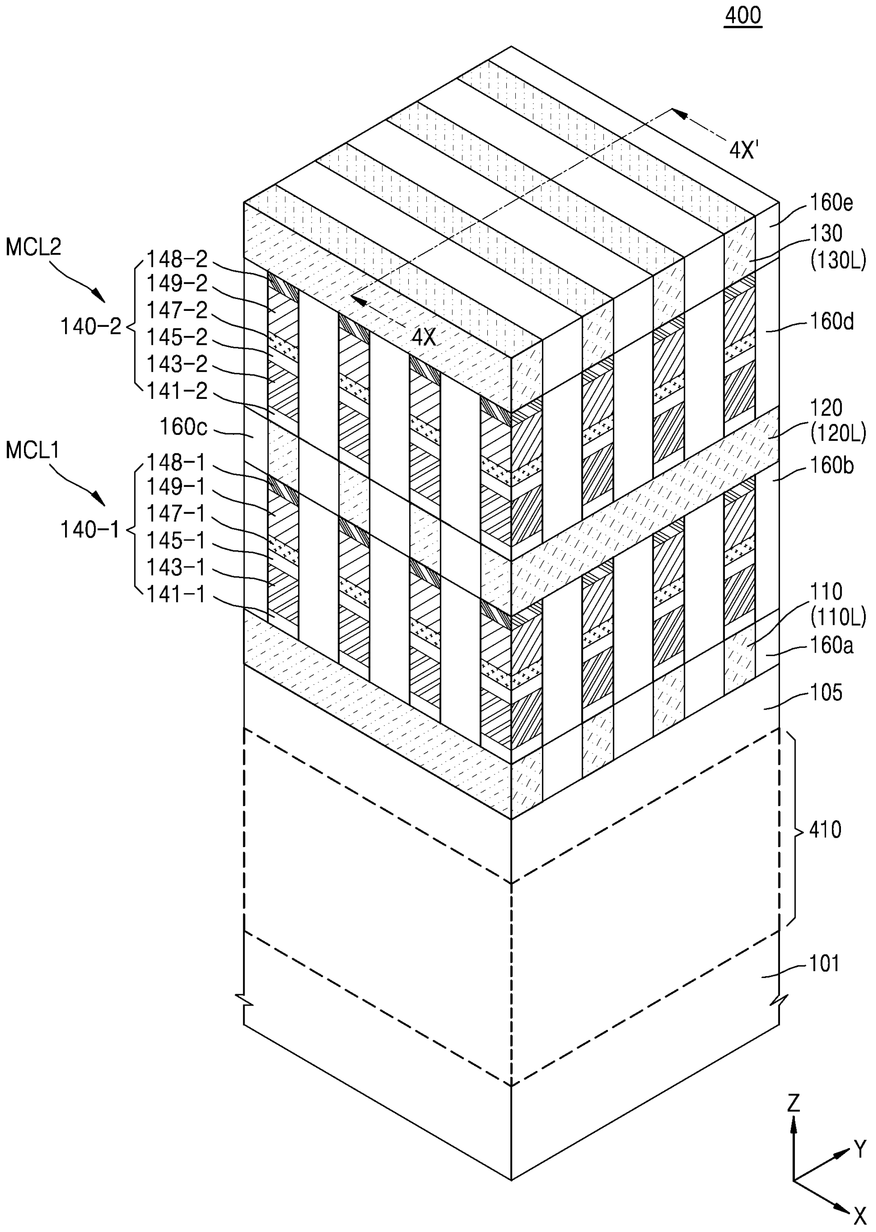
도면13


300
3Y
3X'
3X
3Y'
MCL4
240-2
248-2
249-2
247-2
245-2
243-2
241-2
MCL3
240-1
248-1
249-1
247-1
245-1
243-1
241-1
MCL2
140-2
148-2
149-2
147-2
145-2
143-2
141-2
MCL1
140-1
148-1
149-1
147-1
145-1
143-1
141-1
230 (230L)
220 (220L)
210 (210L)
170
130 (130L)
120 (120L)
110 (110L)
105
101
Z
Y
X

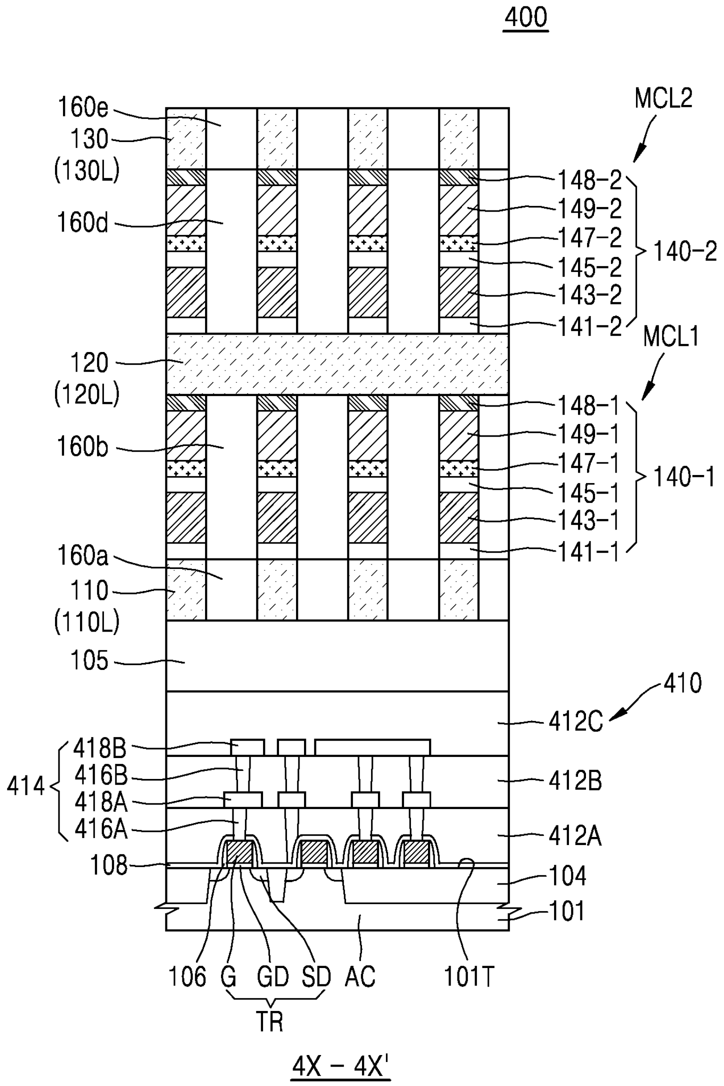
도면14


300
MCL4
230
(230L)
248-2
249-2
247-2
245-2
243-2
241-2
240-2
MCL3
220
(220L)
248-1
249-1
247-1
245-1
243-1
241-1
240-1
210
(210L)
170
MCL2
130
(130L)
148-2
149-2
147-2
145-2
143-2
141-2
140-2
MCL1
120
(120L)
148-1
149-1
147-1
145-1
143-1
141-1
140-1
110
(110L)
105
101
3X - 3X'
3Y - 3Y'

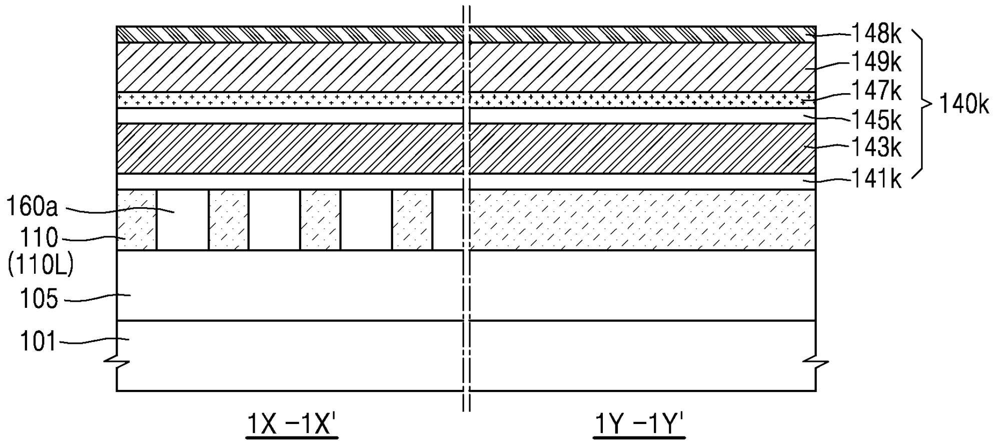
도면15


400
4X'
4X
MCL2
140-2
148-2
149-2
147-2
145-2
143-2
141-2
160c
MCL1
140-1
148-1
149-1
147-1
145-1
143-1
141-1
160e
130
(130L)
160d
120
(120L)
160b
110
(110L)
160a
105
410
101
Z
Y
X

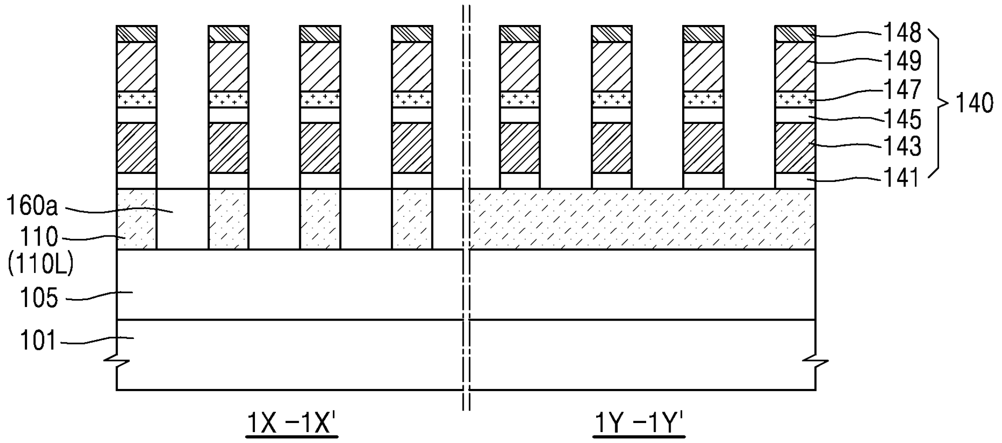
도면16


400
MCL2
160e
130
(130L)
160d
148-2
149-2
147-2
145-2
143-2
141-2
140-2
120
(120L)
MCL1
160b
148-1
149-1
147-1
145-1
143-1
141-1
140-1
160a
110
(110L)
105
410
412C
414
418B
416B
418A
416A
412B
412A
108
104
101
106
G
GD
SD
AC
101T
TR
4X - 4X'

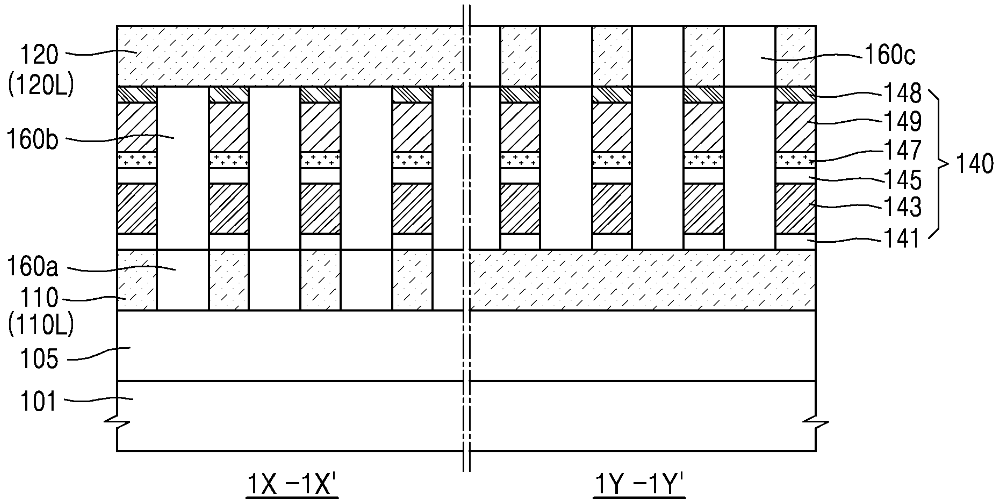
도면17


148k
149k
147k
145k
143k
141k
140k
160a
110
(110L)
105
101
1X -1X'
1Y -1Y'

도면18


148
149
147
145
143
141
140
160a
110
(110L)
105
101
1X -1X'
1Y -1Y'

도면19


120
(120L)
160b
160c
148
149
147
145
143
141
140
160a
110
(110L)
105
101
1X -1X'
1Y -1Y'