



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201303981 A1

(43) 公開日：中華民國 102 (2013) 年 01 月 16 日

(21) 申請案號：101121110

(22) 申請日：中華民國 101 (2012) 年 06 月 13 日

(51) Int. Cl. : *H01L21/28 (2006.01)*

*H01L29/78 (2006.01)*

(30) 優先權：2011/06/17 日本

2011-135365

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)

日本

(72) 發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP) ; 本田達也 HONDA, TATSUYA (JP)

(74) 代理人：林志剛

申請實體審查：無 申請專利範圍項數：18 項 圖式數：11 共 91 頁

(54) 名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

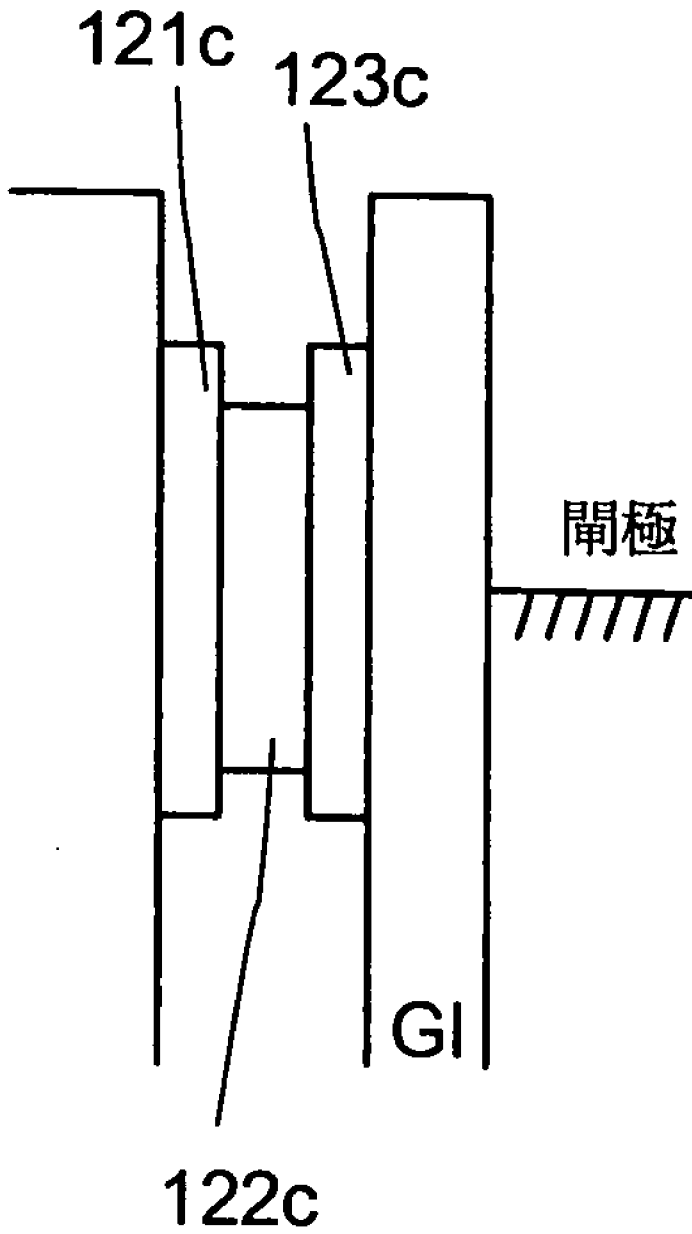
(57) 摘要

本發明的一個實施例提供一種電晶體結構，該電晶體結構能夠使將氧化物半導體用於通道形成區域的電晶體的電特性的臨界電壓為正值，而實現所謂的常截止的切換元件。使用如下氧化物半導體疊層形成電晶體，該氧化物半導體疊層是至少層疊有具有彼此不同的能隙的第一氧化物半導體層及第二氧化物半導體層，並且該氧化物半導體疊層具有包含超過化學計量成分比的氧的區域。

121c : 通道形成區域

122c : 通道形成區域

123c : 通道形成區域





(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201303981 A1

(43) 公開日：中華民國 102 (2013) 年 01 月 16 日

---

(21) 申請案號：101121110

(22) 申請日：中華民國 101 (2012) 年 06 月 13 日

(51) Int. Cl. : *H01L21/28 (2006.01)*

*H01L29/78 (2006.01)*

(30) 優先權：2011/06/17 日本

2011-135365

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)

日本

(72) 發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP) ; 本田達也 HONDA, TATSUYA (JP)

(74) 代理人：林志剛

申請實體審查：無 申請專利範圍項數：18 項 圖式數：11 共 91 頁

---

(54) 名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57) 摘要

本發明的一個實施例提供一種電晶體結構，該電晶體結構能夠使將氧化物半導體用於通道形成區域的電晶體的電特性的臨界電壓為正值，而實現所謂的常截止的切換元件。使用如下氧化物半導體疊層形成電晶體，該氧化物半導體疊層是至少層疊有具有彼此不同的能隙的第一氧化物半導體層及第二氧化物半導體層，並且該氧化物半導體疊層具有包含超過化學計量成分比的氧的區域。

# 發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101121110

※申請日：101年06月13日

※IPC分類：H01L 21/28 2006.01

一、發明名稱：(中文/英文)

H01L 29/98 2006.01

半導體裝置及其製造方法

Semiconductor device and method for manufacturing the same

## 二、中文發明摘要：

本發明的一個實施例提供一種電晶體結構，該電晶體結構能夠使將氧化物半導體用於通道形成區域的電晶體的電特性的臨界電壓為正值，而實現所謂的常截止的切換元件。使用如下氧化物半導體疊層形成電晶體，該氧化物半導體疊層是至少層疊有具有彼此不同的能隙的第一氧化物半導體層及第二氧化物半導體層，並且該氧化物半導體疊層具有包含超過化學計量成分比的氧的區域。

三、英文發明摘要：

An object is to provide a structure of a transistor which has a channel formation region formed using an oxide semiconductor and a positive threshold voltage value, which enables a so-called normally-on switching element. The transistor includes an oxide semiconductor stack in which at least a first oxide semiconductor layer and a second oxide semiconductor layer with different energy gaps are stacked and a region containing oxygen in excess of its stoichiometric composition ratio is provided.

四、指定代表圖：

(一) 本案指定代表圖為：第(1D)圖。

(二) 本代表圖之元件代表符號簡單說明：

121c：通道形成區域

122c：通道形成區域

123c：通道形成區域

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

## 六、發明說明：

### 【發明所屬之技術領域】

所公開的發明的一個實施例係關於一種半導體裝置及其製造方法。

另外，本說明書中的半導體裝置指的是藉由利用半導體特性而能夠工作的所有裝置，因此電光裝置、半導體電路以及電子裝置都是半導體裝置。

### 【先前技術】

近年來，已對半導體裝置進行開發，將半導體裝置用作 LSI、CPU、記憶體。CPU 是半導體元件的集合體，具有從半導體晶圓分開的半導體積體電路（至少包括電晶體及記憶體）並形成有作為連接端子的電極。

LSI、CPU、記憶體等的半導體電路（IC 晶片）安裝在例如印刷線路板等電路基板上，並用作各種電子裝置的部件之一。

另外，將氧化物半導體膜用於通道形成區域來製造電晶體等的技術引人注目。例如，可以舉出作為氧化物半導體膜使用氧化鋅（ZnO）的電晶體或使用  $\text{InGaO}_3(\text{ZnO})_m$  的電晶體。專利文獻 1 及專利文獻 2 公開了如下技術，即在透光基板上形成上述使用氧化物半導體膜的電晶體並將該電晶體用於影像顯示裝置的切換元件等的技術。

[專利文獻 1] 日本專利申請公開第 2007-123861 號公報



[專利文獻 2] 日本專利申請公開第 2007-96055 號公報

作為用於半導體裝置的電晶體，較佳的是，在閘極電壓為盡可能地接近於 0V 的正臨界電壓 ( $V_{th}$ ) 的狀態下形成通道。當電晶體的臨界電壓值為負值時，易導致即使閘極電壓為 0V 也在源極電極層和汲極電極層之間電流流過的所謂常導通 (normally on)。

#### 【發明內容】

本發明的一個實施例的課題之一是提供如下電晶體結構及其製造方法，該電晶體為將氧化物半導體用於通道形成區域的 n 通道型電晶體，並具有正臨界電壓而實現所謂常截止 (normally off) 的切換元件。

另外，重要的是，即使在因材料或製造條件而所製造的電晶體不成為常截止的情況下也使電晶體的特性接近於常截止。因此，本發明的課題之一也是提供如下結構及其製造方法，即，即使在電晶體的特性為臨界電壓值是負的所謂常導通的情況下也使電晶體的臨界電壓接近於 0 的結構。

另外，本發明的課題之一也是提供如下結構及其製造方法，即，為了實現更高性能的半導體裝置，提高電晶體的導通特性（例如，導通電流或場效應遷移率）來實現半導體裝置的高速回應、高速驅動的結構。

另外，因為電晶體的洩漏電流也影響到半導體裝置的

耗電量，所以從實現低耗電量的半導體裝置的觀點而言，減少洩漏電流也是重要的。因此，本發明的一個實施例的課題之一也是提供如下結構，即，減少產生在電晶體的源極電極層和汲極電極層之間的洩漏電流（寄生通道）的結構。

另外，本發明的一個實施例解決上述課題中的至少一個。

在本發明的一個實施例中，使用如下氧化物半導體層（以下，也稱為氧化物半導體疊層）構成電晶體，該氧化物半導體層層疊有具有不同能隙及/或不同電子親和力的氧化物半導體。另外，該氧化物半導體疊層具有包含超過化學計量成分比的氧的區域（以下，也稱為氧過剩區域）。

例如，使用如下氧化物半導體疊層構成電晶體，該氧化物半導體疊層包括第一氧化物半導體層及具有與第一氧化物半導體層不同的能隙的第二氧化物半導體層，並具有氧過剩區域。在此，第一氧化物半導體層和第二氧化物半導體層具有彼此不同的能隙即可，並且對其層疊順序沒有限制。更明確而言，將一方的氧化物半導體層的能隙設定為  $3\text{eV}$  以上並將另一方的氧化物半導體層的能隙設定為低於  $3\text{eV}$ ，即可。

另外，在本說明書等中，“能隙”的意思與“帶隙”或“禁止帶寬度”相同。

另外，也可以採用氧化物半導體疊層包括三層以上的

氧化物半導體層的結構。當採用氧化物半導體疊層具有三層以上的氧化物半導體層的結構時，既可以採用所有氧化物半導體層具有彼此不同的能隙的結構，又可以將具有相等的能隙的多個氧化物半導體層用於氧化物半導體疊層中。

例如，可以採用如下結構，該結構包括：第一氧化物半導體層；設置在第一氧化物半導體層上，且電子親和力比第一氧化物半導體層的電子親和力大或者能隙比第一氧化物半導體層的能隙小的第二氧化物半導體層；以及在第二氧化物半導體層上以覆蓋第二氧化物半導體層的側面的方式設置的第三氧化物半導體層。另外，較佳的是，第三氧化物半導體層的電子親和力及能隙與第一氧化物半導體層的電子親和力及能隙相等。在此，電子親和力是指真空度與氧化物半導體的傳導帶的能量差。藉由採用在能隙大的第一氧化物半導體層和第三氧化物半導體層之間夾著能隙小的第二氧化物半導體層的結構，可以得到進一步減少電晶體的截止電流（洩漏電流）的效果。

明確而言，將第一氧化物半導體層及第三氧化物半導體層的能隙設定為  $3\text{eV}$  以上，並且將第二氧化物半導體層的能隙設定為低於  $3\text{eV}$ 。在使用氧化物半導體層的電晶體中，該氧化物半導體層的能隙影響到電晶體的電特性。例如，在使用氧化物半導體層的電晶體中，當氧化物半導體層的能隙小時，導通特性（例如，導通電流或場效應遷移率）得到提高。另一方面，當氧化物半導體層的能隙大時

，可以減少截止電流。

當採用單層的氧化物半導體層時，電晶體的電特性基本由該氧化物半導體層的能隙的大小而決定，所以難以對電晶體賦予所希望的電特性。但是，在根據本發明的一個實施例的電晶體中，利用使用具有彼此不同的能隙的多個氧化物半導體層的氧化物半導體疊層來可以以更高精度控制其電特性，從而可以對電晶體賦予所希望的電特性。

因此，可以提供實現高功能、高可靠性或低耗電量等各種目的的半導體裝置。

本說明書所公開的發明的結構的一個實施例是一種半導體裝置的製造方法，包括如下步驟：形成包括第一氧化物半導體層及具有與第一氧化物半導體層不同的能隙的第二氧化物半導體層的氧化物半導體疊層；在氧化物半導體疊層上形成源極電極層或汲極電極層；在源極電極層或汲極電極層上形成閘極絕緣膜；以源極電極層或汲極電極層為掩模從閘極絕緣膜上對氧化物半導體疊層自對準地引入氧；以及形成隔著閘極絕緣膜重疊於氧化物半導體疊層的閘極電極層。

另外，本說明書所公開的發明的另一個實施例是一種半導體裝置的製造方法，包括如下步驟：形成氧化物半導體疊層，該氧化物半導體疊層包括依次層疊的第一氧化物半導體層、具有比第一氧化物半導體層小的能隙的第二氧化物半導體層及具有比第二氧化物半導體層大的能隙的第三氧化物半導體層；在氧化物半導體疊層上形成源極電極

層或汲極電極層；在源極電極層或汲極電極層上形成閘極絕緣膜；以源極電極層或汲極電極層為掩模從閘極絕緣膜上對氧化物半導體疊層自對準地引入氧；以及形成隔著閘極絕緣膜重疊於氧化物半導體疊層的閘極電極層。

在上述半導體裝置的製造方法中，較佳的是，以覆蓋第一氧化物半導體層的側面及第二氧化物半導體層的側面的方式層疊第三氧化物半導體層。

藉由以覆蓋第一氧化物半導體層的側面及第二氧化物半導體層的側面的方式形成第三氧化物半導體層，可以抑制氧缺損在第二氧化物半導體層中增加，從而可以使電晶體的臨界電壓接近於 0。再者，藉由將第二氧化物半導體層用作埋入通道來可以使通道形成區域遠離絕緣膜介面，由此降低載子的介面散亂，從而可以實現高場效應遷移率。

另外，在上述半導體裝置的製造方法的任一個中，較佳的是，在形成閘極電極層之後以閘極電極層為掩模對氧化物半導體疊層自對準地引入摻雜劑。

另外，在上述半導體裝置的製造方法的任一個中，也可以在閘極電極層上形成層間絕緣膜，在層間絕緣膜中形成到達源極電極層或汲極電極層的接觸孔，並且在層間絕緣膜上形成藉由接觸孔分別連接到源極電極層或汲極電極層的佈線層。

另外，本發明的另一個實施例是一種半導體裝置，包括：包括第一氧化物半導體層及具有與第一氧化物半導體

層不同的能隙的第二氧化物半導體層的氧化物半導體疊層；設置在氧化物半導體疊層上的源極電極層或汲極電極層；設置在源極電極層或汲極電極層上的閘極絕緣膜；以及隔著閘極絕緣膜重疊於氧化物半導體疊層的閘極電極層，其中，在氧化物半導體疊層中，不與源極電極層或汲極電極層重疊的區域的氧濃度比與源極電極層或汲極電極層重疊的區域的氧濃度高。

另外，本發明的另一個實施例是一種半導體裝置，包括：氧化物半導體疊層，該氧化物半導體疊層包括第一氧化物半導體層、接觸於第一氧化物半導體層並具有比第一氧化物半導體層小的能隙的第二氧化物半導體層及接觸於第二氧化物半導體層並具有比第二氧化物半導體層大的能隙的第三氧化物半導體層；設置在氧化物半導體疊層上的源極電極層或汲極電極層；設置在源極電極層或汲極電極層上的閘極絕緣膜；以及隔著閘極絕緣膜重疊於氧化物半導體疊層的閘極電極層，其中，在氧化物半導體疊層中，不與源極電極層或汲極電極層重疊的區域的氧濃度比與源極電極層或汲極電極層重疊的區域的氧濃度高。

在上述結構的半導體裝置中，第一氧化物半導體層和第二氧化物半導體層可以使用相同的掩模形成，並且藉由使第三氧化物半導體層與第二氧化物半導體層重疊且使其面積大於第二氧化物半導體層的面積，可以採用第三氧化物半導體層覆蓋第二氧化物半導體層的結構。在上述結構的半導體裝置中，因為以覆蓋第一氧化物半導體層的側面

及第二氧化物半導體層的側面且與它們接觸的方式設置有第三氧化物半導體層，所以在第三氧化物半導體層上且與其接觸地形成的源極電極層或汲極電極層不與第二氧化物半導體層的側面接觸，從而可以抑制在電晶體的源極電極層和汲極電極層之間產生洩漏電流（寄生通道），所以是較佳的。

另外，源極電極層或汲極電極層只要是不與第二氧化物半導體層的側面接觸的結構，就沒有特別的限制，例如可以採用如下結構，即，第一氧化物半導體層的側面從第二氧化物半導體層的側面突出且第三氧化物半導體層與第一氧化物半導體層的上表面的一部分接觸的結構。

另外，在上述半導體裝置的任一個中，較佳的是，氧化物半導體疊層中的不與閘極電極層重疊的區域包含摻雜劑。當採用這種結構時，氧化物半導體疊層具有隔著閘極絕緣膜重疊於閘極電極層的通道形成區域，並具有如下一對低電阻區域，該一對低電阻區域在通道長度方向上夾著上述通道形成區域。

藉由形成包括在通道長度方向上夾著通道形成區域的低電阻區域的氧化物半導體層，使該電晶體的導通特性（例如，導通電流及場效應遷移率）高，從而可以實現高速工作、高速回應。另外，因為低電阻區域自對準地形成並不與閘極電極層重疊，所以可以減少寄生電容。藉由減少寄生電容，可以降低整個半導體裝置的耗電量。

較佳的是，低電阻區域中的摻雜劑的濃度為  $5 \times$

$10^{18}/\text{cm}^3$  以上且  $1 \times 10^{22}/\text{cm}^3$  以下。

另外，雖然根據源極電極層及汲極電極層的厚度或摻雜劑的引入條件，但是也可以將上述摻雜劑穿過源極電極層或汲極電極層添加到氧化物半導體疊層。因為不對通道形成區域添加摻雜劑是重要的，所以將源極電極層及汲極電極層的厚度設定為比閘極電極層的厚度薄的厚度。

另外，在上述半導體裝置的任一個中，較佳的是，還具有：設置在閘極電極層上並具有到達源極電極層或汲極電極層的接觸孔的層間絕緣膜；以及設置在層間絕緣膜上並藉由接觸孔分別連接到源極電極層或汲極電極層的佈線層。

藉由本發明的一個實施例可以提高電晶體的導通特性（例如，導通電流、場效應遷移率）。

另外，藉由本發明的一個實施例可以實現常截止的電晶體。另外，即使在電晶體是常導通電晶體的情況下，也可以使電晶體的臨界值接近於 0。

### 【實施方式】

下面，參照圖式對本發明的實施例進行詳細說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是本發明的方式及詳細內容可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定於以下所示的實施例的記載內容中。

注意，在以下說明的本發明的結構中，在不同的圖式



之間共同使用同一元件符號來表示相同部分或具有相同功能的部分，而省略其重複說明。另外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元件符號。

另外，在本說明書所說明的各圖式中的各元件的大小、膜的厚度或區域有時為了清晰可見而被誇大。因此，比例不一定受限於圖式中的比例。

注意，在本說明書等中，為了方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。另外，本說明書等中的序數詞並不表示特定本發明的固有名稱。

#### 實施例 1

在本實施例中，參照圖 1A 至圖 3 對半導體裝置及半導體裝置的製造方法的一個實施例進行說明。在本實施例中示出作為半導體裝置的一個例子的具有氧化物半導體疊層的電晶體。

圖 1A、圖 1B 及圖 1C 所示的電晶體 510 是頂閘極結構的電晶體的一個例子。圖 1A 是俯視圖，在圖 1A 中的虛線 XY 處進行切斷而成的剖面相當於圖 1B，並且在圖 1A 中的虛線 VW 處進行切斷而成的剖面相當於圖 1C。另外，在圖 1B 及圖 1C 中，以虛線示意性地示出包括在氧化物半導體疊層 403 中的各氧化物半導體層之間的介面。根據氧化物半導體層的材料或成膜條件，各氧化物半導體層

之間的介面有時不明確。另外，當介面不明確時，也有時形成可以稱為多個不同氧化物半導體層的混合區域或混合層的部分。

如作為通道長度方向上的剖面圖的圖 1B 所示，電晶體 510 在設置有氧化物絕緣膜 436 的具有絕緣表面的基板 400 上具有：包括第一氧化物半導體層、第二氧化物半導體層及第三氧化物半導體層的氧化物半導體疊層 403；源極電極層 405a；汲極電極層 405b；閘極絕緣膜 402；以及閘極電極層 401。在電晶體 510 中，第一氧化物半導體層在氧化物絕緣膜 436 上且與其接觸地形成，並且第二氧化物半導體層形成在第一氧化物半導體層上。另外，在電晶體 510 中，氧化物半導體疊層具有第三氧化物半導體層，並且第三氧化物半導體層以覆蓋第一氧化物半導體層的側面及第二氧化物半導體層的側面的方式設置。另外，第三氧化物半導體層的邊緣部與氧化物絕緣膜接觸。

在氧化物半導體疊層 403 中，隔著閘極絕緣膜 402 重疊於閘極電極層 401 的通道形成區域包括三個層，即層疊有第一通道形成區域 121c、第二通道形成區域 122c 及第三通道形成區域 123c。

另外，設置在通道長度方向上夾著第一通道形成區域 121c 的第一低電阻區域 121a、121b。另外，具有在通道長度方向上夾著第二通道形成區域 122c 的第二低電阻區域 122a、122b。另外，具有在通道長度方向上夾著第三通道形成區域 123c 的第三低電阻區域 123a、123b。

另外，具有與源極電極層 405a 或汲極電極層 405b 重疊的第一區域 121d、121e、第二區域 122d、122e、第三區域 123d、123e。

在圖 1A 至圖 1D 所示的電晶體 510 中，氧化物半導體疊層 403 依次層疊有：包括第一低電阻區域 121a、121b、第一通道形成區域 121c 及第一區域 121d、121e 的第一氧化物半導體層；包括第二低電阻區域 122a、122b、第二通道形成區域 122c 及第二區域 122d、122e 的第二氧化物半導體層；以及包括第三低電阻區域 123a、123b、第三通道形成區域 123c 及第三區域 123d、123e 的第三氧化物半導體層。

另外，在電晶體 510 中，第二氧化物半導體層的能隙比第一氧化物半導體層的能隙小，並且第三氧化物半導體層的能隙比第二氧化物半導體層的能隙大。另外，較佳的是，第一氧化物半導體層的能隙與第三氧化物半導體層的能隙相等。

圖 1B 是通道長度方向上的剖面圖，並且較佳的是，第二氧化物半導體層的端部，即第二區域 122d、122e 的側面被第三氧化物半導體層的端部，即第三區域 123d、123e 覆蓋。藉由採用上述結構，可以減少產生在電晶體的源極電極層 405a 和汲極電極層 405b 之間的洩漏電流（寄生通道）。

圖 1C 是通道寬度方向上的剖面圖，並且與圖 1B 同樣，較佳的是，第二氧化物半導體層的端部，即第二區域

122c 的側面被第三氧化物半導體層的端部，即第三區域 123c 覆蓋。

另外，圖 1D 是示出圖 1B 中的厚度方向（D-D'間）上的能帶圖。在本實施例中，以實現圖 1D 所示的能帶圖的方式選擇第一氧化物半導體層、第二氧化物半導體層及第三氧化物半導體層的材料。但是，因為當形成有埋入通道時能夠得到充分效果，所以不需要必須限定於如圖 1D 所示的能帶圖那樣的傳導帶和價電子帶的兩者都具有凹部的能帶圖。例如，也可以採用能夠得到只有傳導帶具有凹部的能帶圖的結構。

圖 2A、圖 2B、圖 2C 及圖 2D 示出電晶體的製造方法的一個例子。

首先，在具有絕緣表面的基板 400 上形成氧化物絕緣膜 436、第一氧化物半導體層 101、第二氧化物半導體層 102。

對可以用於具有絕緣表面的基板 400 的基板沒有大限制，但是該基板需要至少具有能夠承受後面進行的熱處理的程度的耐熱性。例如，可以使用鋇硼矽酸鹽玻璃或鋁硼矽酸鹽玻璃等玻璃基板、陶瓷基板、石英基板、藍寶石基板等。另外，也可以採用矽或碳化矽等單晶半導體基板、多晶半導體基板、矽鍺等化合物半導體基板、SOI 基板等，並且也可以將在這些基板上設置有半導體元件的基板用作基板 400。

此外，也可以使用撓性基板作為基板 400 來製造半導

體裝置。當製造具有撓性的半導體裝置時，既可以在撓性基板上直接形成包括氧化物半導體疊層的電晶體，又可以在其他製造基板上形成包括氧化物半導體疊層的電晶體並然後從製造基板將其剝離、轉置到撓性基板上。另外，爲了從製造基板將其剝離、轉置到撓性基板上，較佳的是，在製造基板與包括氧化物半導體疊層的電晶體之間設置剝離層。

氧化物絕緣膜 436 可以藉由電漿 CVD 法或濺射法等並使用氧化矽、氧氮化矽、氧化鋁、氧氮化鋁、氧化鉛、氧化鎘、氮氧化矽、氮氧化鋁或這些材料的混合材料來形成。氧化物絕緣膜 436 可以是單層或疊層。在本實施例中，作爲氧化物絕緣膜 436 使用利用濺射法形成的氧化矽膜。

在電晶體 510 中，因爲氧化物絕緣膜 436 與氧化物半導體疊層的最下層及最上層接觸，所以較佳的是，在氧化物絕緣膜 436 中（塊(bulk)中）至少存在超過化學計量成分比的含量的氧。例如，當作爲氧化物絕緣膜 436 使用氧化矽膜時，滿足  $\text{SiO}_{2+\alpha}$ （注意， $\alpha > 0$ ）。藉由使用這種氧化物絕緣膜 436，可以向形成在其上方的氧化物半導體疊層供應氧，從而可以實現良好特性。藉由向氧化物半導體疊層供應氧，可以填補膜中的氧缺損。

在氧化物絕緣膜 436 上形成氧化物半導體疊層的製程中，爲了在第一氧化物半導體層 101 及第二氧化物半導體層 102 中儘量不包含氫或水，較佳的是，作爲形成第一氧

化物半導體層 101 及第二氧化物半導體層 102 的預處理，在濺射裝置的預熱室內對形成有氧化物絕緣膜 436 的基板進行預熱，來使吸附到基板及氧化物絕緣膜 436 的氫、水分等雜質脫離並進行排氣。另外，較佳的是，設置在預熱室中的排氣單元為低溫泵。

較佳的是，用於氧化物半導體疊層的氧化物半導體至少包含銦 (In) 或鋅 (Zn)。尤其是，較佳的是，包含 In 和 Zn。此外，除了上述元素以外，較佳的是，還具有鎵 (Ga) 作為穩定劑 (stabilizer)，該穩定劑用來減小上述使用氧化物的電晶體的電特性的不均勻。此外，較佳的是，作為穩定劑具有錫 (Sn)。另外，較佳的是，作為穩定劑具有鈦 (Hf)。此外，較佳的是，作為穩定劑具有鋁 (Al)。

此外，作為其他穩定劑，也可以具有鑰系元素的鑰 (La)、鈰 (Ce)、鐳 (Pr)、釹 (Nd)、釷 (Sm)、鈾 (Eu)、釷 (Gd)、錳 (Tb)、鐳 (Dy)、鈦 (Ho)、鉕 (Er)、鈳 (Tm)、鐳 (Yb)、鐳 (Lu) 中的一種或多種。

例如，作為氧化物半導體，可以使用：氧化銦、氧化錫、氧化鋅；二元金屬氧化物如 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧化物如 In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-

Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；以及四元金屬氧化物如 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

氧化物半導體既可以為單晶又可以為非單晶。在後一種的情況下，可以為非晶或多晶。另外，既可以為在非晶中包括具有結晶性的部分的結構又可以為非非晶。注意，因為即使為相同材料，根據單晶或非單晶而能隙有時產生變化，所以適當地選擇結晶狀態是重要的。以實現圖 1D 所示的能帶圖的方式選擇第一氧化物半導體層 101、第二氧化物半導體層 102 的材料。

另外，作為氧化物半導體疊層，可以使用包括結晶並具有結晶性的氧化物半導體膜（結晶氧化物半導體膜）。結晶氧化物半導體膜中的結晶狀態既可以為結晶軸的方向沒有秩序的狀態又可以為具有固定的配向性的狀態。

例如，作為結晶氧化物半導體膜，可以使用如下氧化物半導體膜，即，包括具有與表面大致垂直的 c 軸的結晶的氧化物半導體膜。

包括具有與表面大致垂直的  $c$  軸的結晶的氧化物半導體膜為不是單晶結構也不是非晶結構的結構，而是具有  $c$  軸配向的 CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜。

CAAC-OS 膜不是完全的單晶，也不是完全的非晶。CAAC-OS 膜是在非晶相中具有結晶部及非晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，在很多情況下，該結晶部的尺寸為能夠容納在一邊短於 100nm 的立方體內的尺寸。另外，在使用透射電子顯微鏡 (TEM: Transmission Electron Microscope) 觀察時的影像中，包括在 CAAC-OS 膜中的非晶部與結晶部的邊界不明確。另外，不能利用 TEM 在 CAAC-OS 膜中觀察到晶界 (grain boundary)。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率的降低得到抑制。

包括在 CAAC-OS 膜中的結晶部的  $c$  軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，在從垂直於  $ab$  面的方向看時具有三角形或六角形的原子排列，且在從垂直於  $c$  軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，不同結晶部的  $a$  軸及  $b$  軸的方向也可以彼此不同。在本說明書中，在只記載“垂直”時，也包括  $85^\circ$  以上且  $95^\circ$  以下的範圍。另外，在只記載“平行”時，也包括  $-5^\circ$  以上且  $5^\circ$  以下的範圍。

另外，在 CAAC-OS 膜中，結晶部的分佈也可以不均



勻。例如，在 CAAC-OS 膜的形成過程中，在從氧化物半導體膜的表面一側進行結晶生長時，與被形成面近旁相比，有時在表面近旁結晶部所占的比例高。另外，藉由對 CAAC-OS 膜添加雜質，有時在該雜質添加區域中結晶部產生非晶化。

因為包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，所以有時根據 CAAC-OS 膜的形狀（被形成面的剖面形狀或表面的剖面形狀）朝向彼此不同的方向。另外，結晶部的 c 軸方向是平行於形成 CAAC-OS 膜時的被形成面的法線向量或表面的法線向量的方向。藉由進行成膜或在成膜之後進行加熱處理等的晶化處理來形成結晶部。

使用 CAAC-OS 膜的電晶體可以降低因照射可見光或紫外光而產生的電特性變動。因此，該電晶體的可靠性高。

將第一氧化物半導體層 101 及第二氧化物半導體層 102 的厚度設定為 5nm 以上且 100nm 以下（較佳地為 5nm 以上且 30nm 以下），並且可以適當地使用濺射法、MBE（Molecular Beam Epitaxy：分子束外延）法、CVD 法、脈衝雷射沉積法、ALD（Atomic Layer Deposition：原子層沉積）法等。另外，還可以使用如下裝置形成第一氧化物半導體層 101 及第二氧化物半導體層 102，該裝置是：在與濺射靶材表面大致垂直地設置有多個基板表面的狀態

下進行成膜的濺射裝置，即所謂的 CP 濺射裝置（Columnar Plasma Sputtering system：柱形電漿濺射系統）。

此外，較佳的是，以包含多量的氧的條件（例如，在氧 100%的氛圍下利用濺射法進行成膜等）下形成第一氧化物半導體層 101 及第二氧化物半導體層 102，來使第一氧化物半導體層 101 及第二氧化物半導體層 102 為包含多量的氧（較佳的是，包括氧含量超過氧化物半導體處於結晶狀態時的化學計量成分比的區域）的膜。

另外，在本實施例中，作為用於藉由濺射法形成第一氧化物半導體層 101 的靶材，例如使用成分比為  $\text{In}_2\text{O}_3$ ： $\text{Ga}_2\text{O}_3$ ： $\text{ZnO}$ =1：1：2[莫耳比]的金屬氧化物靶材，從而形成 In-Ga-Zn 類氧化物膜。此外，不侷限於上述靶材的材料和組成，例如也可以使用成分比為  $\text{In}_2\text{O}_3$ ： $\text{Ga}_2\text{O}_3$ ： $\text{ZnO}$ =1：1：1[莫耳比]的金屬氧化物靶材。

較佳的是，作為在形成第一氧化物半導體層 101 及第二氧化物半導體層 102 時使用的濺射氣體，使用去除了氫、水、羥基或氫化物等雜質的高純度氣體。

另外，較佳的是，以不暴露於大氣的方式連續形成氧化物絕緣膜 436 和氧化物半導體疊層。藉由以不暴露於大氣的方式連續形成氧化物絕緣膜 436 和氧化物半導體疊層，可以防止氫或水分等雜質附著於氧化物絕緣膜 436 的表面。

CAAC-OS 膜例如使用作為多晶的氧化物半導體濺射

靶材，且利用濺射法形成。當離子碰撞到該濺射靶材時，有時包含在濺射靶材中的結晶區域從 a-b 面劈開，即具有平行於 a-b 面的面的平板狀或顆粒狀的濺射粒子剝離。此時，藉由該平板狀的濺射粒子保持結晶狀態到達基板，可以形成 CAAC-OS 膜。

另外，為了形成 CAAC-OS 膜，應用如下條件較佳。

藉由降低成膜時的雜質的混入，可以抑制因雜質導致的結晶狀態的破壞。例如，可以降低存在於沉積室內的雜質（氫、水、二氧化碳及氮等）的濃度。另外，可以降低成膜氣體中的雜質濃度。明確而言，使用露點為  $-80^{\circ}\text{C}$  以下，較佳地為  $-100^{\circ}\text{C}$  以下的成膜氣體。

另外，藉由增高成膜時的基板加熱溫度，在濺射粒子到達基板之後發生濺射粒子的遷移。明確而言，在將基板加熱溫度設定為  $100^{\circ}\text{C}$  以上且  $740^{\circ}\text{C}$  以下，較佳地為  $200^{\circ}\text{C}$  以上且  $500^{\circ}\text{C}$  以下的狀態下進行成膜。藉由增高成膜時的基板加熱溫度，當平板狀的濺射粒子到達基板時，在基板上發生遷移，濺射粒子的平坦的面附著到基板。

另外，較佳的是，藉由增高成膜氣體中的氧比例並對電力進行最優化，減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定為 30vol.% 以上，較佳地為 100vol.%。

以下，作為濺射靶材的一個例子示出 In-Ga-Zn-O 化合物靶材。

將  $\text{InO}_x$  粉末、 $\text{GaO}_y$  粉末及  $\text{ZnO}_z$  粉末以規定的莫耳數比混合，進行加壓處理，然後在  $1000^{\circ}\text{C}$  以上且  $1500^{\circ}\text{C}$

以下的溫度下進行加熱處理，由此得到作為多晶的 In-Ga-Zn-O 化合物靶材。另外，X、Y 及 Z 為任意正數。在此， $\text{InO}_x$  粉末、 $\text{GaO}_y$  粉末及  $\text{ZnO}_z$  粉末的規定的莫耳數比例如為 2 : 2 : 1、8 : 4 : 3、3 : 1 : 1、1 : 1 : 1、4 : 2 : 3 或 3 : 1 : 2。另外，粉末的種類及其混合比率可以根據所製造的濺射靶材適當地改變。

在本實施例中，如圖 2A 所示，藉由第一光微影製程將所形成的氧化物半導體疊層加工為島狀的第一氧化物半導體層 101 及島狀的第二氧化物半導體層 102。另外，也可以藉由噴墨法形成用來形成島狀的第一氧化物半導體層 101 及島狀的第二氧化物半導體層 102 的光阻掩罩。在藉由噴墨法形成光阻掩罩時不需要光掩模，由此可以縮減製造成本。

另外，氧化物半導體疊層的蝕刻可以為乾蝕刻和濕蝕刻中的一者或兩者。例如，作為用於氧化物半導體膜的濕蝕刻的蝕刻劑，可以使用混合有磷酸、醋酸及硝酸的溶液等。此外，也可以使用 ITO07N（由日本關東化學株式會社製造）。

接著，形成覆蓋島狀的第一氧化物半導體層 101 及島狀的第二氧化物半導體層 102 的第三氧化物半導體層 103。由此，形成氧化物半導體疊層 403。第三氧化物半導體層 103 使用與第一氧化物半導體層 101 相同的靶材形成。第三氧化物半導體層 103 的成膜條件與第一氧化物半導體層 101 相同，因此，在此省略說明。另外，藉由第二光微

影製程形成與第二氧化物半導體層 102 重疊且上表面形狀比第二氧化物半導體層 102 的平面面積寬的第三氧化物半導體層 103。

接著，也可以對氧化物半導體疊層 403 進行用於去除過剩的氫（包括水或羥基）（脫水化或脫氫化）的加熱處理。將加熱處理的溫度設定為 300℃ 以上且 700℃ 以下或低於基板的應變點的溫度。加熱處理可以在減壓下或氮氛圍下等進行。例如，將基板放在加熱處理裝置之一的電爐中，並且在氮氛圍下以 450℃ 的溫度對氧化物半導體疊層 403 進行 1 小時的加熱處理。

另外，加熱處理裝置不侷限於電爐，也可以使用利用來自電阻發熱體等的發熱體的熱傳導或熱輻射對處理目標進行加熱的裝置。例如，可以使用如 GRTA（Gas Rapid Thermal Anneal，即氣體快速熱退火）裝置、LRTA（Lamp Rapid Thermal Anneal，即燈快速熱退火）裝置等的 RTA（Rapid Thermal Anneal，即快速熱退火）裝置。LRTA 裝置是利用鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈、或者高壓汞燈等的燈所發出的光（電磁波）的輻射對處理目標進行加熱的裝置。GRTA 裝置是利用高溫氣體進行加熱處理的裝置。作為高溫氣體，使用如氬等的稀有氣體或氮等即使進行加熱處理也不與處理目標起反應的惰性氣體。

例如，作為加熱處理可以進行 GRTA，其中將基板放在加熱到 650℃ 至 700℃ 的高溫的惰性氣體中，加熱幾分

鐘，然後將基板從惰性氣體中取出。

另外，較佳的是，在加熱處理中，氮或諸如氮、氖、氬等的稀有氣體不包含水、氫等。或者，較佳的是，將引入到加熱處理裝置中的氮或諸如氮、氖、氬等的稀有氣體的純度設定為 6N (99.9999%) 以上，更佳地設定為 7N (99.99999%) 以上 (即，將雜質濃度設定為 1ppm 以下，較佳地設定為 0.1ppm 以下)。

此外，也可以在藉由加熱處理加熱氧化物半導體疊層 403 之後，在維持加熱溫度或從該加熱溫度進行緩冷的狀態下，對相同的爐中引入高純度的氧氣體、高純度的二氧化氮氣體或超乾燥氣體 (使用 CRDS (cavity ring-down laser spectroscopy: 空腔衰蕩光譜法) 方式的露點儀進行測定時的水分量是 20ppm (露點換算, -55°C) 以下，較佳的是 1ppm 以下，更佳的是 10ppb 以下的空氣)。氧氣體或二氧化氮氣體不包含水、氫等較佳。或者，較佳的是，將引入到加熱處理裝置中的氧氣體或二氧化氮氣體的純度設定為 6N 以上，較佳地設定為 7N 以上 (即，將氧氣體或二氧化氮氣體中的雜質濃度設定為 1ppm 以下，較佳地設定為 0.1ppm 以下)。藉由利用氧氣體或二氧化氮氣體的作用供應當進行在脫水化或脫氫化處理中的雜質的排除製程時同時減少的構成氧化物半導體的主要成分材料之一的氧，可以使氧化物半導體疊層 403 高純度化及電性 i 型 (本徵) 化。

接著，在氧化物半導體疊層 403 上形成成為源極電極

層和汲極電極層（包括由與它們相同的層形成的佈線）的導電膜。作為該導電膜，使用能夠承受後面進行的加熱處理的材料。作為用於源極電極層和汲極電極層的導電膜，例如可以使用含有選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的金屬膜或以上述元素為成分的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）等。此外，還可以採用在 Al、Cu 等的金屬膜的下側和上側的一者或兩者層疊 Ti、Mo、W 等的高熔點金屬膜或它們的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）的結構。另外，用於源極電極層及汲極電極層的導電膜也可以使用導電金屬氧化物來形成。作為導電金屬氧化物，可以使用氧化銦（ $\text{In}_2\text{O}_3$ ）、氧化錫（ $\text{SnO}_2$ ）、氧化鋅（ $\text{ZnO}$ ）、氧化銦氧化錫（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ）、氧化銦氧化鋅（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或者在這些金屬氧化物材料中包含氧化矽的材料。

藉由第三光微影製程在導電膜上形成光阻掩罩，並且選擇性地進行蝕刻來形成源極電極層 405a 及汲極電極層 405b，然後去除光阻掩罩。圖 2B 是此時的剖面圖。在本實施例中，作為源極電極層 405a 及汲極電極層 405b 形成厚度為 10nm 的鎢膜。像這樣，當源極電極層 405a 及汲極電極層 405b 的厚度為薄時，除了有形成在其上的閘極絕緣膜 402 的覆蓋性優良的優點以外，可以將摻雜劑穿過源極電極層 405a 及汲極電極層 405b 引入到對源極電極層 405a 及汲極電極層 405b 下方的氧化物半導體疊層 403。

接著，形成覆蓋氧化物半導體疊層 403、源極電極層

405a 及汲極電極層 405b 的閘極絕緣膜 402。

將閘極絕緣膜 402 的厚度設定為 1nm 以上且 20nm 以下，並可以適當地利用濺射法、MBE 法、CVD 法、脈衝雷射沉積法、ALD 法等。另外，也可以使用在與濺射靶材表面大致垂直地設置有多個基板表面的狀態下進行成膜的濺射裝置，即所謂的 CP 濺射裝置形成閘極絕緣膜 402。

閘極絕緣膜 402 可以使用氧化矽膜、氧化鎵膜、氧化鋁膜、氮化矽膜、氧氮化矽膜、氧氮化鋁膜或氮氧化矽膜形成。

此外，藉由作為閘極絕緣膜 402 的材料使用氧化鈣、氧化鈮、矽酸鈣 ( $\text{HfSi}_x\text{O}_y(x>0, y>0)$ )、添加了氮的矽酸鈣 ( $\text{HfSiO}_x\text{N}_y(x>0, y>0)$ )、鋁酸鈣 ( $\text{HfAl}_x\text{O}_y(x>0, y>0)$ ) 以及氧化鑷等 high-k 材料，可以降低閘極漏電流。而且，閘極絕緣膜 402 既可以是單層結構，又可以是疊層結構。

接著，如圖 2C 所示，以源極電極層 405a 及汲極電極層 405b 為掩模對氧化物半導體疊層 403 引入氧 431。引入氧（至少包括氧自由基、氧原子、氧離子中的任一種）至少向第三氧化物半導體層中供應氧。作為氧的引入方法，可以使用離子植入法、離子摻雜法、電漿浸沒離子植入法、電漿處理等。

由於對氧化物半導體疊層 403 引入氧，所以在氧化物半導體疊層 403 中，不與源極電極層 405a 或汲極電極層 405b 重疊的區域的氧濃度比與源極電極層 405a 或汲極電



極層 405b 重疊的區域的氧濃度高。較佳的是，藉由氧的引入處理使與源極電極層 405a 或汲極電極層 405b 不重疊的區域的氧含量超過其化學計量成分比。例如，較佳的是，使氧化物半導體疊層 403 中的藉由氧引入處理被引入氧的區域中的氧濃度峰值為  $1 \times 10^{18}/\text{cm}^3$  以上且  $5 \times 10^{21}/\text{cm}^3$  以下。

在本實施例中，藉由引入氧 431 自對準地形成氧含量超過化學計量成分比的區域（氧過剩區域），即第一氧過剩區域 111、第二氧過剩區域 112 及第三氧過剩區域 113。但是，氧 431 只要包含在第三氧化物半導體層 103 與閘極絕緣膜 402 的介面中即可。因此，在第一氧化物半導體層 101 及第二氧化物半導體層 102 中，根據氧 431 的引入深度，與源極電極層 405a 或汲極電極層 405b 重疊的區域的氧濃度有時與其他區域的氧濃度相等。適當地設定加速電壓、劑量等注入條件或所穿過的閘極絕緣膜 402 的厚度來控制對氧化物半導體疊層 403 引入氧的深度，即可。

另外，引入氧 431 的時機不侷限於形成閘極絕緣膜 402 之後。但是，當穿過層疊在氧化物半導體疊層 403 上的膜引入氧時，更容易控制引入氧的深度（引入區域），而有可以高效地對氧化物半導體疊層 403 注入氧的優點。

另外，在進行引入氧 431 的處理之後，也可以進行加熱處理。較佳的是，在氧氛圍下以  $250^\circ\text{C}$  以上且  $700^\circ\text{C}$  以下，較佳地為  $300^\circ\text{C}$  以上且  $450^\circ\text{C}$  以下的溫度進行加熱處理。另外，也可以在氮氛圍下、減壓下、大氣（超乾燥空

氣) 下進行加熱處理。

當作爲氧化物半導體疊層的至少一層採用結晶氧化物半導體膜時，有時引入氧 431 使其一部分非晶化。在此情況下，藉由在引入氧 431 之後進行加熱處理，可以恢復氧化物半導體疊層的結晶性。

另外，藉由在氧化物半導體疊層 403 中形成氧過剩區域，可以立即填補氧缺損，從而可以降低氧化物半導體疊層 403 中的電荷捕捉中心。在氧化物半導體疊層 403 中，在氧脫離的部分中存在氧缺損，並且因該氧缺損而產生導致電晶體的電特性變動的施體能階。藉由引入氧，可以填補膜中的氧缺損。因此，藉由將這種氧化物半導體疊層用於電晶體，可以降低起因於氧缺損的電晶體的臨界電壓  $V_{th}$  的不均勻、臨界電壓的漂移  $\Delta V_{th}$ 。另外，也可以使臨界電壓向正方向漂移來實現電晶體的常關閉化。

接著，藉由電漿 CVD 法或濺射法等，在閘極絕緣膜 402 上形成閘極電極層 401。閘極電極層 401 可以使用鉬、鈦、鉭、鎢、鋁、銅、鉻、釹、銦等金屬材料或以它們爲主要成分的合金材料形成。此外，作爲閘極電極層 401，也可以使用以摻雜有磷等雜質元素的多晶矽膜爲代表的半導體膜、鎳矽化物等矽化物膜。閘極電極層 401 既可以是單層結構，又可以是疊層結構。

另外，閘極電極層 401 的材料也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧

化物、添加有氧化矽的銦錫氧化物等導電材料。此外，也可以採用上述導電材料與上述金屬材料的疊層結構。

此外，作為與閘極絕緣膜 402 接觸的閘極電極層 401 中的一層，可以使用包含氮的金屬氧化物，明確地說，包含氮的 In-Ga-Zn 類氧化物膜、包含氮的 In-Sn 類氧化物膜、包含氮的 In-Ga 類氧化物膜、包含氮的 In-Zn 類氧化物膜、包含氮的 Sn 類氧化物膜、包含氮的 In 類氧化物膜、金屬氮化膜（InN、SnN 等）。這些膜具有  $5\text{eV}$ ，較佳地具有  $5.5\text{eV}$  以上的功函數，而當將它們用作閘極電極層時，可以使電晶體的電特性的臨界電壓成為正值，而可以實現所謂的常截止的切換元件。

接著，較佳的是，進行選擇性地引入摻雜劑 421 的處理。藉由該處理，以閘極電極層 401 為掩模並穿過閘極絕緣膜 402 引入摻雜劑 421 來形成第一低電阻區域 121a、121b、第二低電阻區域 122a、122b、第三低電阻區域 123a、123b。利用該處理，在通道長度方向上夾著第一通道形成區域 121c 自對準地形成第一低電阻區域 121a、121b。另外，在通道長度方向上夾著第二通道形成區域 122c 自對準地形成第二低電阻區域 122a、122b。另外，在通道長度方向上夾著第三通道形成區域 123c 自對準地形成第三低電阻區域 123a、123b。

在本實施例的電晶體 510 中，第一低電阻區域 121a、121b、第二低電阻區域 122a、122b、第三低電阻區域 123a、123b 成為包含摻雜劑和過剩的氧的區域。

再者，藉由該處理，將摻雜劑 421 穿過閘極絕緣膜 402、源極電極層 405a 及汲極電極層 405b 選擇性地引入到氧化物半導體疊層 403（至少引入到第三氧化物半導體層 103），從而形成第一區域 121d、121e、第二區域 122d、122e 及第三區域 123d、123e（參照圖 2D）。藉由對源極電極層 405a 及汲極電極層 405b 的下方也引入摻雜劑 421，可以實現第一區域 121d、121e、第二區域 122d、122e 及第三區域 123d、123e 的低電阻化。

藉由引入摻雜劑 421 形成包括在通道長度方向上夾著通道形成區域的低電阻區域的氧化物半導體疊層 403，可以提高電晶體 510 的導通特性，從而可以實現能夠進行高速工作、高速回應的電晶體。另外，因為低電阻區域自對準地形成而不與閘極電極層重疊，所以可以減少寄生電容。藉由減少寄生電容，可以降低半導體裝置的整體的耗電量。

另外，在本實施例中，因為作為源極電極層 405a 及汲極電極層 405b 採用薄膜，所以對源極電極層 405a 及汲極電極層 405b 下的氧化物半導體疊層 403 也引入摻雜劑 421。根據源極電極層 405a 及汲極電極層 405b 的厚度或摻雜劑 421 的引入條件，也可以形成源極電極層 405a 及汲極電極層 405b 下的氧化物半導體疊層不被引入摻雜劑 421 的結構。

適當地設定加速電壓、劑量等注入條件或所穿過的閘極絕緣膜 402 的厚度來控制摻雜劑 421 的引入處理，即可

。例如，當使用硼並藉由離子植入法注入硼離子時，將劑量設定為  $1 \times 10^{13}$  離子/cm<sup>2</sup> 以上且  $5 \times 10^{16}$  離子/cm<sup>2</sup> 以下，即可。

較佳的是，第一低電阻區域 121a、121b、第二低電阻區域 122a、122b、第三低電阻區域 123a、123b 中的摻雜劑 421 的濃度為  $5 \times 10^{18}$ /cm<sup>3</sup> 以上且  $1 \times 10^{22}$ /cm<sup>3</sup> 以下。

也可以一邊加熱基板 400 一邊引入摻雜劑。

另外，可以對第一低電阻區域 121a、121b、第二低電阻區域 122a、122b、第三低電阻區域 123a、123b 進行多次引入摻雜劑 421 的處理，並且也可以使用多種摻雜劑。

另外，在引入摻雜劑 421 之後，也可以進行加熱處理。較佳的是，在氧氛圍下以 300℃ 以上且 700℃ 以下，較佳地為 300℃ 以上且 450℃ 以下的溫度進行 1 小時的加熱處理。另外，也可以在氮氛圍下、減壓下、大氣（超乾燥空氣）下進行加熱處理。

當作爲氧化物半導體疊層的至少一層採用結晶氧化物半導體膜時，有時引入摻雜劑 421 來使其一部分非晶化。在此情況下，藉由在引入摻雜劑 421 之後進行加熱處理，可以恢復氧化物半導體疊層的結晶性。

在本實施例中，作為摻雜劑使用硼。因此，第一低電阻區域 121a、121b、第二低電阻區域 122a、122b、第三低電阻區域 123a、123b 包含硼和過剩的氧。

藉由上述製程形成本實施例的電晶體 510。

另外，也可以以覆蓋電晶體的方式形成絕緣膜 407（

參照圖 1B 及圖 1C)。

絕緣膜 407 除了氧化矽膜以外，典型地可以使用氧化鋁膜、氧氮化矽膜、氧氮化鋁膜或氧化鎵膜等無機絕緣膜。例如，作為絕緣膜 407 可以使用氧化矽膜和氧化鋁膜的疊層。

可用於絕緣膜 407 的氧化鋁膜具有高遮斷效果（阻擋效果），即不使氫、水分等雜質及氧的兩者透過膜的效果。

另外，作為絕緣膜 407 也可以使用平坦化絕緣膜。作為平坦化絕緣膜，可以使用聚醯亞胺樹脂、丙烯酸樹脂、苯並環丁烯類樹脂等有機材料。除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）等。另外，也可以層疊多個由這些材料形成的絕緣膜形成平坦化絕緣膜。

接著，在絕緣膜 407 中形成到達源極電極層 405a、汲極電極層 405b 的開口，在開口中形成與源極電極層 405a、汲極電極層 405b 電連接的佈線層。使用該佈線層可以與其他電晶體電連接，從而可以構成各種電路。

注意，本實施例所示的電晶體的技術本質為：包括層疊有能隙不同的氧化物半導體的氧化物半導體層；並且該氧化物半導體疊層包括含有超過化學計量成分比的氧的區域。因此，不需要必須對氧化物半導體疊層 403 引入雜質。例如，在圖 2A 至圖 2D 所示的製造製程中，藉由在形成閘極電極層 401 之後在閘極絕緣膜 402 及閘極電極層

401 上形成絕緣膜 407 而不引入雜質，可以形成圖 3 所示的電晶體 520。

圖 3 所示的電晶體 520 在設置有氧化物絕緣膜 436 的具有絕緣表面的基板 400 上具有：包括第一氧化物半導體層、第二氧化物半導體層及第三氧化物半導體層的氧化物半導體疊層 403；源極電極層 405a；汲極電極層 405b；閘極絕緣膜 402；以及夾著閘極絕緣膜 402 重疊於氧化物半導體疊層 403 的閘極電極層 401。

在電晶體 520 中，氧化物半導體疊層 403 包括：以源極電極層 405a 或汲極電極層 405b 為掩模自對準地形成的第一氧過剩區域 111、第二氧過剩區域 112 及第三氧過剩區域 113；以及與源極電極層 405a 或汲極電極層 405b 重疊的第一區域 131d、131e、第二區域 132d、132e 及第三區域 133d、133e。

不與源極電極層 405a 或汲極電極層 405b 重疊的區域（第一氧過剩區域 111、第二氧過剩區域 112 及第三氧過剩區域 113）的氧濃度比與源極電極層 405a 或汲極電極層 405b 重疊的區域（第一區域 131d、131e、第二區域 132d、132e 及第三區域 133d、133e）的氧濃度高，但是兩者的區域中構成元素彼此相同。

用於電晶體 510 或電晶體 520 的高純度化了且填補了氧缺損的氧化物半導體疊層 403 充分被去除了氫、水等雜質，而氧化物半導體疊層 403 中的氫濃度為  $5 \times 10^{19}/\text{cm}^3$  以下，較佳地為  $5 \times 10^{18}/\text{cm}^3$  以下。此外，氧化物半導體疊層

403 中的氫濃度使用二次離子質譜測定技術（SIMS：Secondary Ion Mass Spectrometry）而測量。

在使用本實施例製造的使用高純度化了並包含填補氧缺損的過剩的氧的氧化物半導體疊層 403 的電晶體中，可以使截止狀態下的室溫下的每通道寬度  $1\mu\text{m}$  的電流值（截止電流值）降低到  $100\text{zA}/\mu\text{m}$ （ $1\text{zA}$ （仄普托介安培）為  $1\times 10^{-21}\text{A}$ ）以下，較佳地降低到  $10\text{zA}/\mu\text{m}$  以下，更佳地降低到  $1\text{zA}/\mu\text{m}$  以下，進一步佳地降低到  $100\text{yA}/\mu\text{m}$  以下的水準。

另外，在本實施例所示的電晶體 510 和電晶體 520 中，以覆蓋第一氧化物半導體層的側面及第二氧化物半導體層的側面的方式形成有第三氧化物半導體層。藉由採用這種結構，可以抑制在第二氧化物半導體層中氧缺損增加，從而可以使電晶體的臨界電壓接近於 0。再者，藉由使第二氧化物半導體層成爲埋入通道，減少載子的散亂，從而可以實現高場效應遷移率。

另外，藉由採用在能隙大的第一氧化物半導體層和第三氧化物半導體層之間夾著能隙小的第二氧化物半導體層的結構，可以得到進一步減少電晶體的截止電流（洩漏電流）的效果。

藉由使用如上所述得到的電特性高的電晶體，可以提供高性能及高可靠性的半導體裝置。

本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而使用。



## 實施例 2

在本實施例中，圖 4A 至圖 4E 示出改變實施例 1 的製程的一部分得到的電晶體的一個例子。本實施例只有一部分與實施例 1 不同，所以爲了簡化起見使用相同符號進行說明，而在此省略相同部分的詳細說明。

圖 4A 所示的電晶體 530 是當將第一氧化物半導體層及第二氧化物半導體層加工爲島狀時使用相同的掩模（或者，以藉由加工形成的島狀的第一氧化物半導體層及第二氧化物半導體層爲掩模）進行蝕刻來將氧化物絕緣膜 436 的一部分減薄的結構。在電晶體 530 中，氧化物絕緣膜 436 的與島狀的第一氧化物半導體層及第二氧化物半導體層重疊的區域的厚度比絕緣膜 436 的其他區域（不重疊的區域）的厚度厚。當將第一氧化物半導體層及第二氧化物半導體層加工爲島狀時，藉由進行蝕刻到氧化物絕緣膜 436 的一部分，可以去除第一氧化物半導體層的殘渣等蝕刻殘渣，從而可以減少洩漏電流的產生。

另外，圖 4B 所示的電晶體 540 是藉由三次的光微影製程形成氧化物半導體疊層 403 的結構。包括在電晶體 540 中的氧化物半導體疊層 403 藉由如下步驟形成，即在形成第一氧化物半導體層之後，使用第一掩模形成島狀的第一氧化物半導體層，在島狀的第一氧化物半導體層上形成第二氧化物半導體層，然後使用第二掩模形成島狀的第二氧化物半導體層，在島狀的第一及第二氧化物半導體層

上形成第三氧化物半導體層，然後使用第三掩模將該第三氧化物半導體層加工為島狀。

另外，電晶體 540 是如下結構的例子，即第一氧化物半導體層的側面從第二氧化物半導體層的側面突出，並且第三氧化物半導體層與第一氧化物半導體層的上表面的一部分接觸。相當於第三氧化物半導體層的端部的第三區域 123d、123e 分別與相當於第一氧化物半導體層的端部的第一區域 121d、121e 接觸並重疊。

另外，圖 4C 所示的電晶體 550 是如下結構的例子，即作為源極電極層採用源極電極層 405c 和源極電極層 405a 的疊層結構且作為汲極電極層採用汲極電極層 405d 和汲極電極層 405b 的疊層結構，並且形成到達作為下層的源極電極層 405c 和汲極電極層 405d 的佈線層 465a、佈線層 465b。有時因用於在絕緣膜 407 中形成接觸孔的蝕刻製程而源極電極層 405a 和汲極電極層 405b 的一部分被過蝕刻而被去除。在電晶體 550 中，也可以作為源極電極層及汲極電極層採用疊層結構，並將下層的導電層用作蝕刻停止層。

在本實施例所示的電晶體 550 中，作為下層的源極電極層 405c 及汲極電極層 405d 使用鎢膜或氮化鉬膜，並且作為厚度比下層厚的上層的源極電極層 405a 及汲極電極層 405b 使用銅膜或鋁膜。藉由將圖 4C 中的源極電極層 405a 及汲極電極層 405b 的厚度設定為 5nm 以上且 15nm 以下，可以使形成在其上的閘極絕緣膜 402 的覆蓋性良好

。另外，在本實施例中，藉由作為佈線層 465a、佈線層 465b 採用氮化鉍膜和銅膜的疊層或氮化鉍膜和鎢膜的疊層，可以降低接觸電阻。

另外，圖 4D 所示的電晶體 560 是如下結構，即第一氧化物半導體層、第二氧化物半導體層及第三氧化物半導體層使用相同的掩模藉由一次的光微影製程形成，從而形成氧化物半導體疊層 403。在包括於電晶體 560 中的氧化物半導體疊層 403 中，第一氧化物半導體層、第二氧化物半導體層及第三氧化物半導體層是端部一致的相同形狀的氧化物半導體層。換言之，在氧化物半導體疊層 403 中，第一氧化物半導體層及第二氧化物半導體層的側面（端部）露出。

藉由一次的光微影製程形成氧化物半導體疊層 403，可以縮減製程數，從而可以降低半導體裝置的製造成本。另外，在電晶體 560 中，藉由在第三氧化物半導體層上以只接觸於第三氧化物半導體層的上表面或第三氧化物半導體層的上表面及側面的方式設置源極電極層 405a 及汲極電極層 405b，可以形成源極電極層 405a 及汲極電極層 405b 不與第二氧化物半導體層的側面接觸的結構。藉由採用這種結構，可以抑制在電晶體的源極電極層和汲極電極層之間產生洩漏電流（寄生通道），所以是較佳的。

氧化物半導體疊層 403 不需要必須採用三層結構。例如，圖 4E 所示的電晶體 570 包括由第一氧化物半導體層及第二氧化物半導體層構成的兩層結構的氧化物半導體疊

層 403。在電晶體 570 中，藉由使第二氧化物半導體層與第一氧化物半導體層重疊並使其面積大於第一氧化物半導體層的面積，可以形成覆蓋第一氧化物半導體層的結構。藉由採用這種結構，可以抑制在第一氧化物半導體層中氧缺損增加，從而可以使電晶體的臨界電壓接近於 0。另外，在電晶體 570 中，藉由作為氧化物絕緣膜 436 採用包括氧化鋁膜的結構，可以防止氧脫離到與第一氧化物半導體層接觸的絕緣膜，所以是較佳的。

在圖 4E 所示的電晶體 570 中，可以採用接觸於第二氧化物半導體層上地形成的源極電極層 405a 或汲極電極層 405b 不與第一氧化物半導體層的側面接觸的結構，因此可以抑制在源極電極層 405a 和汲極電極層 405b 之間產生洩漏電流（寄生通道），所以是較佳的。

本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而使用。

### 實施例 3

藉由使用實施例 1 或實施例 2 所示的電晶體可以製造具有顯示功能的半導體裝置（也稱為顯示裝置）。此外，藉由將包括電晶體的驅動電路的一部分或全部與像素部一體地形成在相同的基板上，可以形成面板上系統（system-on-panel）。

在圖 5A 中，以圍繞設置在第一基板 4001 上的像素部 4002 的方式設置密封材料 4005，使用第二基板 4006 進行

密封。在圖 5A 中，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上的掃描線驅動電路 4004、信號線驅動電路 4003。此外，供給到另行形成的信號線驅動電路 4003、掃描線驅動電路 4004 或者像素部 4002 的各種信號及電位從 FPC (Flexible printed circuit: 撓性印刷電路) 4018a、4018b 供給。

在圖 5B 和圖 5C 中，以圍繞設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002、掃描線驅動電路 4004 與顯示元件一起由第一基板 4001、密封材料 4005 以及第二基板 4006 密封。在圖 5B 和圖 5C 中，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上的信號線驅動電路 4003。在圖 5B 和圖 5C 中，供給到另行形成的信號線驅動電路 4003、掃描線驅動電路 4004 或者像素部 4002 的各種信號及電位從 FPC4018 供給。

此外，雖然圖 5B 和圖 5C 示出另行形成信號線驅動電路 4003 並且將該信號線驅動電路 4003 安裝到第一基板 4001 的實例，但是不侷限於該結構。既可以另行形成掃描線驅動電路並進行安裝，又可以僅另行形成信號線驅動電路的一部分或者掃描線驅動電路的一部分並進行安裝。

另外，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG（Chip On Glass，玻璃上晶片）方法、引線接合方法或者 TAB（Tape Automated Bonding，卷帶式自動接合）方法等。圖 5A 是藉由 COG 方法安裝信號線驅動電路 4003、掃描線驅動電路 4004 的例子，圖 5B 是藉由 COG 方法安裝信號線驅動電路 4003 的例子，而圖 5C 是藉由 TAB 方法安裝信號線驅動電路 4003 的例子。

此外，顯示裝置包括顯示元件處於密封狀態的面板和在該面板中安裝有包括控制器的 IC 等狀態的模組。

注意，本說明書中的顯示裝置是指影像顯示裝置、顯示裝置或光源（包括照明設備）。另外，顯示裝置還包括：安裝有諸如 FPC、TAB 膠帶或 TCP 的連接器的模組；在 TAB 膠帶或 TCP 的端部設置有印刷線路板的模組；或者藉由 COG 方式將 IC（積體電路）直接安裝到顯示元件的模組。

此外，設置在第一基板上的像素部及掃描線驅動電路具有多個電晶體，並且可以應用實施例 1 或實施例 2 所例示的電晶體。

作為設置在顯示裝置中的顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）。發光元件將由電流或電壓控制亮度的元件包括在其範疇內，明確而言，包括無機 EL（Electro Luminescence，電致發光）、有機 EL 等。此外，也可以應用電子墨水等由於電作用而改變對比度的顯示媒介。

參照圖 5A 至圖 6B 對半導體裝置的一種方式進行說明。圖 6A 及圖 6B 相當於沿著圖 5B 的線 M-N 的剖面圖。

如圖 6A 和圖 6B 所示，半導體裝置包括連接端子電極 4015 及端子電極 4016，連接端子電極 4015 及端子電極 4016 藉由各向異性導電膜 4019 電連接到 FPC4018 所具有的端子。

連接端子電極 4015 由與第一電極層 4030 相同的導電膜形成，並且，端子電極 4016 由與電晶體 4040、電晶體 4010、電晶體 4011 的源極電極層及汲極電極層相同的導電膜形成。

此外，設置在第一基板 4001 上的像素部 4002、掃描線驅動電路 4004 具有多個電晶體，在圖 6A 中例示像素部 4002 所包括的電晶體 4040、掃描線驅動電路 4004 所包括的電晶體 4011。另外，在圖 6B 中例示像素部 4002 所包括的電晶體 4010 和掃描線驅動電路 4004 所包括的電晶體 4011。在圖 6A 中，在電晶體 4040、電晶體 4011 上設置有絕緣膜 4020，在圖 6B 中，在電晶體 4010、4011 上設置有絕緣膜 4020 及絕緣膜 4021。另外，絕緣膜 4023 是用作基底膜的絕緣膜。

作為掃描線驅動電路 4004 所包括的電晶體 4011，可以使用實施例 1 或實施例 2 所示的具有埋入通道的電晶體。在具有埋入通道的電晶體中，導通特性（例如，導通電流及場效應遷移率）高，因此能夠實現掃描線驅動電路 4004 的高速工作、高速回應。在本實施例中，示出使用具

有與實施例 1 所示的電晶體相同的結構的電晶體的例子。

設置在像素部 4002 中的電晶體 4010、4040 電連接到顯示元件，而構成顯示面板。顯示元件只要能夠進行顯示就沒有特別的限制，而可以使用各種各樣的顯示元件。

另外，包括在像素部 4002 中的電晶體 4040 並不需要埋入通道，因此設置將單層的氧化物半導體層用作通道形成區的電晶體 4040。該電晶體 4040 可以藉由與形成電晶體 4011 的製程相同的製程形成，而不需要增加製程數。該電晶體 4040 的氧化物半導體層可以藉由與電晶體 4011 的第三氧化物半導體層相同的製程形成。當不採用大型顯示裝置時，並不需要提高電晶體 4040 的導通特性。在電晶體 4040 中，藉由作為氧化物半導體層採用單層，可以使截止電流值比電晶體 4011 的截止電流值低，從而可以實現低耗電量的顯示裝置。

圖 6A 示出作為顯示元件使用液晶元件的液晶顯示裝置的例子。在圖 6A 中，作為顯示元件的液晶元件 4013 包括第一電極層 4030、第二電極層 4031 以及液晶層 4008。另外，以夾持液晶層 4008 的方式設置有用作配向膜的絕緣膜 4032、絕緣膜 4033。第二電極層 4031 設置在第二基板 4006 一側，第一電極層 4030 和第二電極層 4031 夾著液晶層 4008 而層疊。

此外，元件符號 4035 是藉由對絕緣膜選擇性地進行蝕刻而獲得的柱狀間隔物，並且它是為控制液晶層 4008 的膜厚（單元間隙 (cell gap)）而設置的。另外，也可以使



用球狀間隔物。

當作爲顯示元件使用液晶元件時，可以使用熱致液晶、低分子液晶、高分子液晶、高分子分散型液晶、鐵電液晶、反鐵電液晶等。上述液晶材料（液晶組成物）根據條件而呈現膽固醇相、近晶相、立方相、手征向列相、均質相等。

另外，作爲液晶層 4008 也可以使用不使用配向膜的呈現藍相的液晶組成物。藍相是液晶相的一種，是指當使膽固醇相液晶的溫度上升時即將從膽固醇相轉變到均質相之前出現的相。藍相可以使用將液晶和手性試劑混合的液晶組成物呈現。另外，爲了擴大呈現藍相的溫度範圍，對呈現藍相的液晶組成物添加聚合性單體及聚合引發劑等，進行高分子穩定化的處理來可以形成液晶層。由於呈現藍相的液晶組成物的回應時間短，並且其具有光學各向同性，所以不需要配向處理，因此視角依賴性小。另外，由於不需要設置配向膜而不需要摩擦處理，因此可以防止由於摩擦處理而引起的靜電破壞，並可以降低製造製程中的液晶顯示裝置的故障、破損。因此，可以提高液晶顯示裝置的生產率。在使用氧化物半導體膜的電晶體中，電晶體的電特性因靜電的影響而有可能顯著地變動而越出設計範圍。因此，將呈現藍相的液晶組成物用於具有使用氧化物半導體膜的電晶體的液晶顯示裝置是更有效的。

此外，液晶材料的固有電阻爲  $1 \times 10^9 \Omega \cdot \text{cm}$  以上，較佳地爲  $1 \times 10^{11} \Omega \cdot \text{cm}$  以上，更佳地爲  $1 \times 10^{12} \Omega \cdot \text{cm}$  以上。另外

，本說明書中的固有電阻值為在 20℃ 下測量的值。

考慮到配置在像素部中的電晶體的洩漏電流等而設定設置在液晶顯示裝置中的儲存電容器的大小使得能夠在所定的期間中保持電荷。可以考慮到電晶體的截止電流等設定儲存電容器的大小。藉由使用本說明書所公開的具有氧化物半導體膜的電晶體，設置具有各像素中的液晶電容的 1/3 以下，較佳地為 1/5 以下的電容大小的儲存電容器，就足夠了。

在本說明書所公開的使用氧化物半導體膜的電晶體 4040 可以抑制截止狀態下的電流值（截止電流值）。因此，可以延長影像信號等電信號的保持時間，在電源的導通狀態下也可以延長寫入間隔。因此，可以降低更新工作的頻率，所以可以達到抑制耗電量的效果。

此外，因為本說明書所公開的使用氧化物半導體膜的電晶體 4011 可以得到較高的場效應遷移率，所以可以進行掃描線驅動電路 4004 的高速驅動。根據本實施例，可以在同一基板上形成像素部的開關電晶體及用於驅動電路部的驅動電晶體。也就是說，因為不需要另行使用利用矽晶片等形成的半導體裝置作為驅動電路，所以可以縮減半導體裝置的部件數。

另外，在像素部中也可以使用具有與電晶體 4011 相同的氧化物半導體層的疊層的電晶體，並且藉由在像素部中也使用能夠進行高速驅動的電晶體，可以提供高品質的影像及大面積的顯示。

液晶顯示裝置可以採用 TN ( Twisted Nematic , 扭曲向列 ) 模式、IPS ( In-Plane-Switching , 平面內轉換 ) 模式、FFS ( Fringe Field Switching , 邊緣電場轉換 ) 模式、ASM ( Axially Symmetric aligned Micro-cell , 軸對稱排列微單元 ) 模式、OCB ( Optical Compensated Birefringence , 光學補償彎曲 ) 模式、FLC ( Ferroelectric Liquid Crystal , 鐵電性液晶 ) 模式、AFLC ( Anti Ferroelectric Liquid Crystal , 反鐵電性液晶 ) 模式等。

此外，也可以使用常黑型液晶顯示裝置，例如採用垂直配向 ( VA ) 模式的透過型液晶顯示裝置。作為垂直配向模式，可以舉出幾個例子，例如可以使用 MVA ( Multi-Domain Vertical Alignment : 多象限垂直配向 ) 模式、PVA ( Patterned Vertical Alignment : 垂直配向構型 ) 模式、ASV ( Advanced Super View ) 模式等。另外，也可以用於 VA 型液晶顯示裝置。VA 型液晶顯示裝置是控制液晶顯示面板的液晶分子的排列的一種方式。VA 型液晶顯示裝置是在不被施加電壓時液晶分子朝向垂直於面板的方向的方式。此外，也可以使用將像素 ( pixel ) 分成幾個區域 ( 子像素 ) 且使分子分別倒向不同方向的被稱為多疇化或多域設計的方法。

此外，在顯示裝置中，適當地設置黑矩陣 ( 遮光層 )、偏振構件、相位差構件、抗反射構件等光學構件 ( 光學基板 ) 等。例如，也可以使用利用偏振基板以及相位差基板的圓偏振。此外，作為光源，也可以使用背光、側光燈

等。

此外，作為像素部中的顯示方式，可以採用逐行掃描方式或隔行掃描方式等。此外，作為當進行彩色顯示時在像素中控制的顏色因素，不侷限於 RGB（R 表示紅色，G 表示綠色，B 表示藍色）這三種顏色。例如，也可以採用 RGBW（W 表示白色）或對 RGB 追加黃色（yellow）、青色（cyan）、洋紅色（magenta）等中的一種顏色以上的顏色。另外，也可以按每個顏色因素的點使其顯示區域的大小不同。但是，所公開的發明不侷限於彩色顯示的顯示裝置，而也可以應用於單色顯示的顯示裝置。

此外，作為顯示裝置所包括的顯示元件，可以應用利用電致發光的發光元件。利用電致發光的發光元件根據發光材料是有機化合物還是無機化合物被區分，一般地，前者被稱為有機 EL 元件，而後者被稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子及電洞分別從一對電極注入到包括具有發光性的有機化合物的層，以使電流流過。並且，藉由這些載子（電子及電洞）重新結合，具有發光性的有機化合物形成激發態，當從該激發態回到基態時發光。由於這種機制，這種發光元件被稱為電流激發型發光元件。另外，這裏作為發光元件使用有機 EL 元件進行說明。

為了取出發光，使發光元件的一對電極的至少一個具有透光性即可。並且，在基板上形成電晶體及發光元件，作為發光元件，有：從與基板相反一側的表面取出發光的

頂部發射；從基板一側的表面取出發光的底部發射；以及從基板一側及與基板相反一側的表面取出發光的雙面發射結構的發光元件，可以應用上述任一種發射結構的發光元件。

圖 6B 示出作為顯示元件使用發光元件的發光裝置的例子。作為顯示元件的發光元件 4513 電連接到設置在像素部 4002 中的電晶體 4010。另外，發光元件 4513 的結構是第一電極層 4030、電致發光層 4511、第二電極層 4031 的疊層結構，但是，不侷限於所示的結構。根據從發光元件 4513 取出的光的方向等，可以適當地改變發光元件 4513 的結構。

分隔壁 4510 使用有機絕緣材料或無機絕緣材料形成。尤其是，較佳的是，使用感光樹脂材料，在第一電極層 4030 上形成開口部，並且將該開口部的側壁形成為具有連續曲率的傾斜面。

電致發光層 4511 可以使用一個層構成，也可以使用多個層的疊層構成。

為了防止氧、氫、水分、二氧化碳等侵入到發光元件 4513 中，也可以在第二電極層 4031 及分隔壁 4510 上形成保護膜。作為保護膜，可以形成氮化矽膜、氮氧化矽膜、DLC 膜等。

另外，為了不使氧、氫、水分、二氧化碳等侵入到發光元件 4513，也可以藉由蒸鍍法形成覆蓋發光元件 4513 的包含有機化合物的層。

此外，在由第一基板 4001、第二基板 4006 以及密封材料 4005 密封的空間中設置有填充材料 4514 並被密封。如此，爲了不暴露於外部氣體，較佳的是，使用氣密性高且脫氣少的保護薄膜（黏合薄膜、紫外線固化樹脂薄膜等）、覆蓋材料進行封裝（封入）。

作爲填充材料 4514，除了氮或氬等惰性氣體以外，也可以使用紫外線固化樹脂、熱固性樹脂，可以使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）或 EVA（乙烯-醋酸乙烯酯）。例如，作爲填充材料使用氮，即可。

另外，如果需要，則也可以在發光元件的射出表面上適當地設置諸如偏光板、或者圓偏光板（包括橢圓偏光板）、相位差板（ $\lambda/4$  板、 $\lambda/2$  板）、濾色片等光學薄膜。此外，也可以在偏光板或者圓偏光板上設置防反射膜。例如，可以進行抗眩光處理，該處理是利用表面的凹凸來擴散反射光而可以降低眩光的處理。

此外，作爲顯示裝置，也可以提供驅動電子墨水的電子紙。電子紙也稱爲電泳顯示裝置（電泳顯示器），並具有如下優勢：與紙同樣的易讀性；其耗電量比其他顯示裝置的耗電量低；形狀薄且輕。

作爲電泳顯示裝置，可以想到各種各樣的形式，但是它是包括具有正電荷的第一粒子和具有負電荷的第二粒子的多個微膠囊分散在溶劑或溶質中，並且，藉由對微膠囊施加電場，使微膠囊中的粒子彼此移動到相對方向，以只

顯示集合在一側的粒子的顏色的裝置。另外，第一粒子或第二粒子包括染料，當沒有電場時不移動。此外，第一粒子的顏色和第二粒子的顏色不同（包括無色）。

這樣，電泳顯示裝置是利用介電常數高的物質移動到高電場區域，即所謂的介電泳效應（dielectrophoretic effect）的顯示器。

分散有上述微囊的溶劑被稱為電子墨水，並且該電子墨水可以印刷到玻璃、塑膠、布、紙等的表面上。另外，還可以藉由使用濾色片、具有色素的粒子來進行彩色顯示。

此外，作為微囊中的第一粒子及第二粒子，使用選自導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電性材料、電致發光材料、電致變色材料、磁泳材料中的一種材料或這些材料的複合材料即可。

此外，作為電子紙，也可以應用使用旋轉球（twisting ball）顯示方式的顯示裝置。旋轉球顯示方式是如下方法，即將分別塗為白色和黑色的球形粒子配置在作為用於顯示元件的電極層的第一電極層與第二電極層之間，使第一電極層與第二電極層之間產生電位差來控制球形粒子的方向，以進行顯示。

另外，在圖 5A 至圖 6B 中，作為第一基板 4001、第二基板 4006，除了玻璃基板以外，也可以使用撓性的基板。例如，可以使用具有透光性的塑膠基板等。作為塑膠，可以使用 FRP（Fiberglass-Reinforced Plastics；玻璃纖維

強化塑膠)板、PVF(聚氟乙烯)薄膜、聚酯薄膜或丙烯酸樹脂薄膜。此外，若不需要透光性，則也可以使用鋁或不鏽鋼等的金屬基板(金屬薄膜)。例如，也可以使用具有由PVF薄膜或聚酯薄膜夾住鋁箔的結構的晶圓。

在本實施例中，作為絕緣膜4020使用氧化鋁膜。

在氧化物半導體膜上作為絕緣膜4020設置的氧化鋁膜具有高遮斷效果(阻擋效果)，即不使氫、水分等雜質及氧這兩者透過膜的效果。

因此，氧化鋁膜用作保護膜，而防止在製造製程中及之後成為變動的主要原因的氫、水分等雜質混入到氧化物半導體膜，並防止從氧化物半導體膜放出作為構成氧化物半導體的主要成分材料的氧。

另外，作為用作平坦化絕緣膜的絕緣膜4021，可以使用丙烯酸樹脂、聚醯亞胺樹脂、苯並環丁烯類樹脂、聚醯胺樹脂、環氧樹脂等具有耐熱性的有機材料。此外，除了上述有機材料以外，也可以使用低介電常數材料(low-k材料)、矽氧烷類樹脂、PSG(磷矽玻璃)、BPSG(硼磷矽玻璃)等。另外，也可以藉由層疊多個由這些材料形成的絕緣膜來形成絕緣膜。

作為對顯示元件施加電壓的第一電極層及第二電極層(也稱為像素電極層、共用電極層、反電極層等)，可以根據取出光的方向、設置電極層的地方以及電極層的圖案結構選擇透光性、反射性。

作為第一電極層4030、第二電極層4031，可以使用



含有氧化鎢的銦氧化物、含有氧化鎢的銦鋅氧化物、含有氧化鈦的銦氧化物、含有氧化鈦的銦錫氧化物、銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物、石墨烯等具有透光性的導電材料。

此外，第一電極層 4030、第二電極層 4031 可以使用鎢 (W)、鉬 (Mo)、鋯 (Zr)、鈦 (Hf)、釩 (V)、鈮 (Nb)、鉭 (Ta)、鉻 (Cr)、鈷 (Co)、鎳 (Ni)、鈦 (Ti)、鉑 (Pt)、鋁 (Al)、銅 (Cu)、銀 (Ag) 等金屬、其合金或其金屬氮化物中的一種或多種來形成。

此外，由於電晶體容易被靜電等破壞，所以較佳的是，設置用來保護驅動電路的保護電路。較佳的是，保護電路使用非線性元件構成。

如上所述，藉由應用實施例 1 或實施例 2 所示的電晶體，可以提供具有各種各樣的功能的半導體裝置。

#### 實施例 4

藉由使用實施例 1 或實施例 2 所示的電晶體，可以製造具有讀取目標物的資訊的影像感測器功能的半導體裝置。

圖 7A 示出具有影像感測器功能的半導體裝置的一個例子。圖 7A 是光電感測器的等效電路，而圖 7B 是示出光電感測器的一部分的剖面圖。

光電二極體 602 的一個電極電連接到光電二極體重設信號線 658，而光電二極體 602 的另一個電極電連接到電

晶體 640 的閘極。電晶體 640 的源極和汲極中的一個電連接到光電感測器參考信號線 672，而電晶體 640 的源極和汲極中的另一個電連接到電晶體 656 的源極和汲極中的一個。電晶體 656 的閘極電連接到閘極信號線 659，電晶體 656 的源極和汲極中的另一個電連接到光電感測器輸出信號線 671。

另外，在本說明書的電路圖中，為了使使用氧化物半導體膜的電晶體一目了然，將使用氧化物半導體膜的電晶體的符號表示為“OS”。在圖 7A 中，電晶體 640 和電晶體 656 可以使用如實施例 1 或實施例 2 所示的電晶體，並是使用氧化物半導體疊層的電晶體。在本實施例中，示出使用具有與實施例 1 所示的電晶體相同的結構的電晶體的例子。

圖 7B 是示出光電感測器中的光電二極體 602 和電晶體 640 的剖面圖，其中在具有絕緣表面的基板 601（TFT 基板）上設置有用作感測器的光電二極體 602 和電晶體 640。藉由使用黏合層 608，在光電二極體 602 和電晶體 640 上設置基板 613。

在電晶體 640 上設置有絕緣膜 631、絕緣膜 632、層間絕緣膜 633 以及層間絕緣膜 634。光電二極體 602 設置在層間絕緣膜 633 上，並且光電二極體 602 具有如下結構：在形成於層間絕緣膜 633 上的電極層 641 和設置在層間絕緣膜 634 上的電極層 642 之間從層間絕緣膜 633 一側按順序層疊有第一半導體膜 606a、第二半導體膜 606b 及第

三半導體膜 606c。

電極層 641 與形成在層間絕緣膜 634 中的導電層 643 電連接，並且電極層 642 藉由電極層 641 與導電層 645 電連接。導電層 645 與電晶體 640 的閘極電極層電連接，光電二極體 602 與電晶體 640 電連接。

在此，例示一種 pin 型光電二極體，其中層疊有用作第一半導體膜 606a 的具有 p 型導電型的半導體膜、用作第二半導體膜 606b 的高電阻的半導體膜（I 型半導體膜）、用作第三半導體膜 606c 的具有 n 型導電型的半導體膜。

第一半導體膜 606a 是 p 型半導體膜，可以由包含賦予 p 型的雜質元素的非晶矽膜形成。使用包含屬於週期表中的第 13 族的雜質元素（例如，硼(B)）的半導體材料氣體藉由電漿 CVD 法來形成第一半導體膜 606a。作為半導體材料氣體，可以使用矽烷（ $\text{SiH}_4$ ）。另外，也可以使用  $\text{Si}_2\text{H}_6$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$  等。另外，也可以使用如下方法：在形成不包含雜質元素的非晶矽膜之後，使用擴散法或離子植入法將雜質元素引入到該非晶矽膜。較佳的是，在利用離子植入法等引入雜質元素之後進行加熱等來使雜質元素擴散。在此情況下，作為形成非晶矽膜的方法，可以使用 LPCVD 法、氣相生長法或濺射法等。較佳的是，將第一半導體膜 606a 的膜厚設定為 10nm 以上且 50nm 以下。

第二半導體膜 606b 是 i 型半導體膜（本質半導體膜

)，可以由非晶矽膜形成。爲了形成第二半導體膜 606b，藉由電漿 CVD 法使用半導體材料氣體來形成非晶矽膜。作爲半導體材料氣體，也可以使用矽烷 ( $\text{SiH}_4$ )。另外，也可以使用  $\text{Si}_2\text{H}_6$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$  或  $\text{SiF}_4$  等。也可以藉由 LPCVD 法、氣相生長法、濺射法等形成第二半導體膜 606b。較佳的是，將第二半導體膜 606b 的膜厚設定爲 200nm 以上且 1000nm 以下。

第三半導體膜 606c 是 n 型半導體膜，可以由包含賦予 n 型的雜質元素的非晶矽膜形成。使用包含屬於週期表中的第 15 族的雜質元素 (例如，磷 (P)) 的半導體材料氣體藉由電漿 CVD 法形成第三半導體膜 606c。作爲半導體材料氣體，可以使用矽烷 ( $\text{SiH}_4$ )。另外，也可以使用  $\text{Si}_2\text{H}_6$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$  或  $\text{SiF}_4$  等。另外，也可以使用如下方法：在形成不包含雜質元素的非晶矽膜之後，使用擴散法或離子植入法將雜質元素引入到該非晶矽膜。可以在使用離子植入法等引入雜質元素之後進行加熱等來使雜質元素擴散。在此情況下，作爲形成非晶矽膜的方法，可以使用 LPCVD 法、氣相生長法或濺射法等。較佳的是，將第三半導體膜 606c 的膜厚設定爲 20nm 以上且 200nm 以下。

此外，第一半導體膜 606a、第二半導體膜 606b 以及第三半導體膜 606c 也可以使用多晶半導體或微晶半導體 (半非晶半導體，Semi Amorphous Semiconductor: SAS) 形成，而不使用非晶半導體。

此外，由於光電效應生成的電洞的遷移率低於電子的遷移率，因此當 p 型半導體膜側用作光接收面時，pin 型光電二極體具有較好的特性。這裏示出將光電二極體 602 從形成有 pin 型光電二極體的基板 601 的面接收的光轉換為電信號的例子。此外，來自導電型與用作光接收面的半導體膜一側相反的半導體膜一側的光是干擾光，因此，電極層使用具有遮光性的導電膜較佳。另外，也可以將 n 型半導體膜側用作光接收面。

藉由使用絕緣材料並根據材料使用濺射法、電漿 CVD 法、SOG 法、旋塗法、浸漬法、噴塗法、液滴噴出法（噴墨法等）、印刷法（絲網印刷、膠版印刷等）、刮刀法、輥塗法、簾塗法、刮刀塗佈法等，可以形成絕緣膜 632、層間絕緣膜 633、層間絕緣膜 634。

在本實施例中，作為絕緣膜 631 使用氧化鋁膜。絕緣膜 631 可以藉由濺射法或電漿 CVD 法形成。

在氧化物半導體膜上作為絕緣膜 631 設置的氧化鋁膜具有高遮斷效果（阻擋效果），即不使氫、水分等雜質及氧這兩者透過膜的效果。

因此，氧化鋁膜用作保護膜，而防止在製造製程中及之後成為變動的主要原因的氫、水分等雜質混入到氧化物半導體膜，並防止從氧化物半導體膜放出作為構成氧化物半導體的主要成分材料的氧。

作為絕緣膜 632，可以使用無機絕緣材料，即氧化矽層、氧氮化矽層、氧化鋁層、或者氧氮化鋁層等氧化物絕

緣膜、氮化矽層、氮氧化矽層、氮化鋁層、或者氮氧化鋁層等氮化物絕緣膜的單層或疊層。

較佳的是，作為層間絕緣膜 633、層間絕緣膜 634，採用用作減少表面凹凸的平坦化絕緣膜的絕緣膜。作為層間絕緣膜 633、層間絕緣膜 634，例如可以使用聚醯亞胺樹脂、丙烯酸樹脂、苯並環丁烯類樹脂、聚醯胺樹脂、環氧樹脂等具有耐熱性的有機絕緣材料。除了上述有機絕緣材料之外，也可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等的單層或疊層。

藉由檢測入射到光電二極體 602 的光，可以讀取檢測目標的資訊。另外，在讀取檢測目標的資訊時，可以使用背光等的光源。

如上所述，藉由使用具有埋入通道的氧化物半導體疊層，可以以高精度控制電晶體的電特性，從而可以對電晶體賦予所希望的電特性。因此，藉由使用該電晶體，可以提供實現高功能、高可靠性或低耗電量等各種目的的半導體裝置。

本實施例可以與其他實施例所示的結構適當地組合而實施。

#### 實施例 5

本說明書所公開的半導體裝置可以應用於各種電子裝置（也包括遊戲機）。作為電子裝置，可以舉出電視機（

也稱為電視或電視接收機)、用於電腦等的監視器、數位相機、數位攝像機、數位相框、行動電話機、可攜式遊戲機、可攜式資訊終端、音頻再生裝置、遊戲機(彈珠機(pachinko machine)或投幣機(slot machine)等)、外殼遊戲機。圖 8A 至圖 8D 示出上述電子裝置的具體例子。

圖 8A 示出具有顯示部的桌子 9000。在桌子 9000 中，外殼 9001 組裝有顯示部 9003。使用本發明的一個實施例製造的半導體裝置可以用於顯示部 9003，並且利用顯示部 9003 可以顯示影像。另外，示出利用四個腿部 9002 支撐外殼 9001 的結構。另外，外殼 9001 具有用於供應電力的電源供應線 9005。

顯示部 9003 具有觸屏輸入功能，而藉由用手等接觸顯示於桌子 9000 的顯示部 9003 中的顯示按鈕 9004 來可以進行屏面操作或資訊輸入，並且顯示部 9003 也可以用作如下控制裝置，即藉由使其具有能夠與其他家電產品進行通訊的功能或能夠控制其他家電產品的功能，而藉由屏面操作控制其他家電產品。例如，藉由使用實施例 3 所示的具有影像感測器功能的半導體裝置，可以使顯示部 9003 具有觸屏輸入功能。

另外，利用設置於外殼 9001 的鉸鏈也可以將顯示部 9003 的屏面以垂直於地板的方式立起來，從而也可以將桌子 9000 用作電視機。雖然當在小房間裏設置大屏面的電視機時自由使用的空間變小，但是若桌子安裝有顯示部則可以有效地利用房間的空間。

圖 8B 示出電視機 9100 的一個例子。在電視機 9100 中，外殼 9101 組裝有顯示部 9103。使用本發明的一個實施例製造的半導體裝置可以用於顯示部 9103，並且利用顯示部 9103 可以顯示影像。此外，在此示出利用支架 9105 支撐外殼 9101 的結構。

可以藉由利用外殼 9101 所具備的操作開關、另外提供的遙控器 9110 進行電視機 9100 的操作。藉由利用遙控器 9110 所具備的操作鍵 9109，可以進行頻道及音量的操作，並可以對在顯示部 9103 上顯示的影像進行操作。此外，也可以採用在遙控器 9110 中設置顯示從該遙控器 9110 輸出的資訊的顯示部 9107 的結構。

圖 8B 所示的電視機 9100 具備接收機及數據機等。電視機 9100 可以利用接收機接收一般的電視廣播。再者，電視機 9100 藉由數據機連接到有線或無線方式的通信網路，也可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或在接收者之間等）的資訊通信。

當使用上述實施例所示的具有埋入通道的半導體裝置時，藉由將該半導體裝置用於電視機的顯示部 9103 來可以製造顯示品質比習知的電視機高的電視機。

圖 8C 示出電腦，該電腦包括主體 9201、外殼 9202、顯示部 9203、鍵盤 9204、外部連接埠 9205、指向裝置 9206 等。該電腦藉由將利用本發明的一個實施例製造的半導體裝置用於顯示部 9203 來製造。

另外，當使用上述實施例所示的半導體裝置，藉由將



該半導體裝置用於電腦的顯示部 9203，可以製造顯示品質比習知的顯示部高的顯示部。

圖 8D 示出行動電話機的一個例子。行動電話機 9500 除了安裝在外殼 9501 的顯示部 9502 之外還具備操作按鈕 9503、外部連接埠 9504、揚聲器 9505、麥克風 9506 等。行動電話機 9500 藉由將利用本發明的一個實施例製造的半導體裝置用於顯示部 9502 來製造。

圖 8D 所示的行動電話機 9500 可以用手指等觸摸顯示部 9502 來進行輸入資訊、進行打電話或製作電子郵件等操作。

顯示部 9502 的屏面主要有三種模式。第一是以影像的顯示為主的顯示模式，第二是以文字等的資訊的輸入為主的輸入模式，第三是將顯示模式和輸入模式的兩種模式混合的模式。

例如，在打電話或製作電子郵件的情況下，將顯示部 9502 設定為以文字輸入為主的輸入模式，來進行在屏面上顯示的文字的輸入操作，即可。在此情況下，較佳的是，在顯示部 9502 的屏面的大部分中顯示鍵盤或號碼按鈕。

此外，藉由在行動電話機 9500 的內部設置具有陀螺儀、加速度感測器等檢測傾斜度的感測器的檢測裝置，來判斷行動電話機 9500 的方向（豎向還是橫向），從而可以對顯示部 9502 的屏面顯示進行自動切換。

藉由觸摸顯示部 9502 或利用外殼 9501 的操作按鈕 9503 進行操作，來切換屏面模式。另外，也可以根據顯示

在顯示部 9502 上的影像種類切換屏面模式。例如，當顯示在顯示部上的影像信號為動態影像的資料時，將屏面模式切換成顯示模式，而當顯示在顯示部上的影像信號為文字資料時，將屏面模式切換成輸入模式。

另外，在輸入模式中，當藉由檢測出顯示部 9502 的光感測器所檢測的信號而得知在一定期間中沒有顯示部 9502 的觸摸操作輸入時，也可以將屏面模式控制為從輸入模式切換成顯示模式。

另外，還可以將顯示部 9502 用作影像感測器。例如，藉由用手掌或手指觸摸顯示部 9502，來拍攝掌紋、指紋等，而可以進行個人識別。此外，藉由在顯示部中使用發射近紅外光的背光或發射近紅外光的感測光源，也可以拍攝手指靜脈、手掌靜脈等。

由於當利用上述實施例所示的半導體裝置時不易產生顯示時的混色、顏色偏移等，所以藉由將該半導體裝置用於行動電話機的顯示部 9502，可以製造顯示品質比習知的行動電話機高的行動電話機。另外，由於利用具有遮光性的間隔物保持一對基板，所以對衝撞或彎曲等外力耐力極強，從而可以將該半導體裝置適用於圖 8D 所示的行動電話機。

本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而使用。

範例 1

在本範例中，藉由如下步驟製造樣本，測定該樣本的電離電位，並且根據其結果計算出能帶圖，上述步驟是：在第一氧化物半導體層上形成能隙比第一氧化物半導體層的能隙小的第二氧化物半導體層；並且在第二氧化物半導體層上形成第三氧化物半導體層。在本說明書中，電離電位值是藉由對能隙加上電子親和力得到的值，並且作為能隙值使用利用橢偏儀（ellipsometer）測定材料的單膜而得到的值。

作為樣本 1，在單晶矽基板上層疊形成厚度為 5nm 的 IGZO 膜、厚度為 5nm 的 In-Sn-Zn 類氧化物膜、厚度為 5nm 的 IGZO 膜。各膜的形成條件為：在氧氛圍（氧 100%）下以 300°C 的基板溫度利用濺射法進行成膜。作為靶材使用 In : Ga : Zn=1 : 1 : 1 [原子數比] 的氧化物靶材形成 IGZO 膜。另外，In-Sn-Zn 類氧化物膜使用 In : Sn : Zn=2 : 1 : 3 [原子數比] 的氧化物靶材。

另外，圖 11A 是拍攝如下樣本 2 的剖面得到的 TEM 照片，上述樣本 2 在石英基板 1000 上以相同的成膜條件層疊厚度為 5nm 的第一 IGZO 膜 1001、厚度為 5nm 的 In-Sn-Zn 類氧化物膜 1002、厚度為 5nm 的第二 IGZO 膜 1003 而形成。圖 11B 示出示意圖。在圖 11B 中，以虛線示意性地表示氧化物半導體層的介面。根據材料或加熱處理，也有時各氧化物半導體層之間的介面不明確。當觀察圖 11A 所示的樣本 2 時，確認到 In-Sn-Zn 類氧化物膜與 IGZO 膜的介面。另外，在圖 11A 中，第二 IGZO 膜 1003 和 In-

Sn-Zn 類氧化物膜 1002 包含結晶，並且可以確認它們是具有 c 軸配向的結晶氧化物半導體膜（CAAC-OS 膜）。另外，在圖 11A 中，第一 IGZO 膜 1001 是非晶結構。另外，雖然在圖 11A 中三層中的兩層為具有結晶結構的氧化物半導體膜，但是不侷限於此。也可以採用只有第二 IGZO 膜 1003 具有結晶結構的結構、三層都是結晶結構的結構或三層都是非晶結構的結構。

圖 9 示出一邊從樣本 1 的表面進行濺射一邊使用紫外線光電子能譜（UPS：Ultraviolet Photoelectron Spectroscopy）測定電離電位的結果。

在圖 9 中，橫軸表示從樣本表面進行濺射的時間，而縱軸表示電離電位。另外，假設 IGZO 膜的濺射速率與 In-Sn-Zn 類氧化物膜的濺射速率相等而表示樣本的邊界。根據該圖 9 可知，在由 IGZO 膜夾持的 In-Sn-Zn 類氧化物膜中電離電位降低。另外，電離電位表示從真空能階到價電子帶的能量差。

從電離電位值扣除利用橢偏儀測定的能隙來算出傳導帶的能量，而製造該疊層膜的帶結構。但是，IGZO 膜和 In-Sn-Zn 類氧化物膜的能隙分別為 3.2eV 和 2.8eV。圖 10 示出其結果。可知在圖 10 中形成有如圖 1D 所示的能帶圖那樣的埋入通道。

在本實施例中，確認到如下疊層可以用圖 10 或圖 1D 所示的能帶圖表示，在該疊層中，作為第一氧化物半導體層及第三氧化物半導體層使用 IGZO 膜，並且作為電離電

位比第一氧化物半導體層及第三氧化物半導體層的電離電位大且能隙比第一氧化物半導體層及第三氧化物半導體層的能隙小的第二氧化物半導體層使用 In-Sn-Zn 類氧化物膜。對第一氧化物半導體層、第二氧化物半導體層及第三氧化物半導體層的材料組合沒有特別的限制。以實現圖 10 或圖 1D 所示的能帶圖的方式考慮到實施者所使用的材料的能隙適當地選擇材料並組合即可。例如，也可以採用作為第一氧化物半導體層及第三氧化物半導體層使用 IGZO 膜並作為第二氧化物半導體層使用 IZO 膜的疊層。

#### 【圖式簡單說明】

在圖式中：

圖 1A 至圖 1D 是說明本發明的一個實施例的半導體裝置的平面圖、剖面圖及能帶圖；

圖 2A 至圖 2D 是說明本發明的一個實施例的半導體裝置的製造方法的圖；

圖 3 是說明本發明的一個實施例的半導體裝置的剖面圖；

圖 4A 至圖 4E 是說明本發明的一個實施例的半導體裝置的剖面圖；

圖 5A 至圖 5C 是說明本發明的一個實施例的半導體裝置的圖；

圖 6A 及圖 6B 是說明本發明的一個實施例的半導體裝置的圖；

圖 7A 及圖 7B 是說明本發明的一個實施例的半導體裝置的圖；

圖 8A 至圖 8D 是示出電子裝置的圖；

圖 9 是示出電離電位 (ionization potential) 的圖；

圖 10 是能帶圖；以及

圖 11A 及圖 11B 是樣本的 TEM 照片及其示意圖。

**【主要元件符號說明】**

101：氧化物半導體層

102：氧化物半導體層

103：氧化物半導體層

111：氧過剩區域

112：氧過剩區域

113：氧過剩區域

121a：第一低電阻區域

121b：第一低電阻區域

121c：通道形成區域

121d：第一區域

121e：第一區域

122a：第二低電阻區域

122b：第二低電阻區域

122c：通道形成區域

122d：第二區域

122e：第二區域

- 123 a : 第三低電阻區域
- 123 b : 第三低電阻區域
- 123 c : 通道形成區域
- 123 d : 第三區域
- 123 e : 第三區域
- 131 d : 第一區域
- 131 e : 第一區域
- 132 d : 第二區域
- 132 e : 第二區域
- 133 d : 第三區域
- 400 : 基板
- 401 : 閘極電極層
- 402 : 閘極絕緣膜
- 403 : 氧化物半導體疊層
- 405 a : 源極電極層
- 405 b : 汲極電極層
- 405 c : 源極電極層
- 405 d : 汲極電極層
- 407 : 絕緣膜
- 421 : 摻雜劑
- 431 : 氧
- 436 : 氧化物絕緣膜
- 442 : 閘極絕緣膜
- 465 a : 佈線層

- 465b : 佈線層
- 510 : 電晶體
- 520 : 電晶體
- 530 : 電晶體
- 540 : 電晶體
- 550 : 電晶體
- 560 : 電晶體
- 570 : 電晶體
- 601 : 基板
- 602 : 光電二極體
- 606a : 半導體膜
- 606b : 半導體膜
- 606c : 半導體膜
- 608 : 黏合層
- 613 : 基板
- 631 : 絕緣膜
- 632 : 絕緣膜
- 633 : 層間絕緣膜
- 634 : 層間絕緣膜
- 640 : 電晶體
- 641 : 電極層
- 642 : 電極層
- 643 : 導電層
- 645 : 導電層



- 656 : 電晶體
- 658 : 光電二極體重設信號線
- 659 : 閘極信號線
- 671 : 光電感測器輸出信號線
- 672 : 光電感測器參考信號線
- 1000 : 石英基板
- 1001 : 第一 IGZO 膜
- 1002 : In-Sn-Zn 類氧化物膜
- 1003 : 第二 IGZO 膜
- 4001 : 基板
- 4002 : 像素部
- 4003 : 信號線驅動電路
- 4004 : 掃描線驅動電路
- 4005 : 密封材料
- 4006 : 基板
- 4008 : 液晶層
- 4010 : 電晶體
- 4011 : 電晶體
- 4013 : 液晶元件
- 4015 : 連接端子電極
- 4016 : 端子電極
- 4018 : FPC
- 4019 : 各向異性導電膜
- 4020 : 絕緣膜

- 4021：絕緣膜
- 4023：絕緣膜
- 4030：電極層
- 4031：電極層
- 4032：絕緣膜
- 4040：電晶體
- 4510：分隔壁
- 4511：電致發光層
- 4513：發光元件
- 4514：填充材料
- 9000：桌子
- 9001：外殼
- 9002：腿部
- 9003：顯示部
- 9004：顯示按鈕
- 9005：電源供應線
- 9100：電視機
- 9101：外殼
- 9103：顯示部
- 9105：支架
- 9107：顯示部
- 9109：操作鍵
- 9110：遙控器
- 9201：主體

- 9202 : 外殼
- 9203 : 顯示部
- 9204 : 鍵盤
- 9205 : 外部連接埠
- 9206 : 指向裝置
- 9500 : 行動電話機
- 9501 : 外殼
- 9502 : 顯示部
- 9503 : 操作按鈕
- 9504 : 外部連接埠
- 9505 : 揚聲器
- 9506 : 麥克風

七、申請專利範圍：

1. 一種半導體裝置的製造方法，包含如下步驟：

形成包括第一氧化物半導體層及具有與該第一氧化物半導體層的能隙不同的能隙的第二氧化物半導體層的氧化物半導體疊層；

在該氧化物半導體疊層上形成源極電極層及汲極電極層；

在該源極電極層及該汲極電極層上形成閘極絕緣膜；

將該源極電極層及該汲極電極層用作掩模對該氧化物半導體疊層引入氧；以及

形成隔著該閘極絕緣膜重疊於該氧化物半導體疊層的閘極電極層。

2. 根據申請專利範圍第 1 項之半導體裝置的製造方法，還包含將該閘極電極層用作掩模對該氧化物半導體疊層引入摻雜劑的步驟。

3. 根據申請專利範圍第 1 項之半導體裝置的製造方法，還包含如下步驟：

在該閘極電極層上形成層間絕緣膜；

在該層間絕緣膜中形成到達該源極電極層和該汲極電極層中的至少一方的接觸孔；以及

在該層間絕緣膜上形成佈線層，其中該佈線層藉由該接觸孔連接到該源極電極層和該汲極電極層中的至少一方。

4. 一種半導體裝置的製造方法，包含如下步驟：

形成氧化物半導體疊層，該氧化物半導體疊層包括第一氧化物半導體層、該第一氧化物半導體層上的第二氧化物半導體層及該第二氧化物半導體層上的第三氧化物半導體層，其中該第二氧化物半導體層具有比該第一氧化物半導體層的能隙小的能隙，並且該第三氧化物半導體層具有比該第二氧化物半導體層的能隙大的能隙；

在該氧化物半導體疊層上形成源極電極層及汲極電極層；

在該源極電極層及該汲極電極層上形成閘極絕緣膜；

將該源極電極層及該汲極電極層用作掩模對該氧化物半導體疊層引入氧；以及

形成隔著該閘極絕緣膜重疊於該氧化物半導體疊層的閘極電極層。

5. 根據申請專利範圍第 4 項之半導體裝置的製造方法，其中該第三氧化物半導體層覆蓋該第一氧化物半導體層的側面及該第二氧化物半導體層的側面。

6. 根據申請專利範圍第 4 項之半導體裝置的製造方法，還包含將該閘極電極層用作掩模對該氧化物半導體疊層引入摻雜劑的步驟。

7. 根據申請專利範圍第 4 項之半導體裝置的製造方法，還包含如下步驟：

在該閘極電極層上形成層間絕緣膜；

在該層間絕緣膜中形成到達該源極電極層和該汲極電極層中的至少一方的接觸孔；以及

在該層間絕緣膜上形成佈線層，其中該佈線層藉由該接觸孔連接到該源極電極層和該汲極電極層中的至少一方。

8. 一種半導體裝置，包含：

包括第一氧化物半導體層及具有與該第一氧化物半導體層的能隙不同的能隙的第二氧化物半導體層的氧化物半導體疊層；

與該氧化物半導體疊層鄰近的源極電極層及汲極電極層；

與該氧化物半導體疊層鄰近的閘極絕緣膜；以及

隔著該閘極絕緣膜與該氧化物半導體疊層鄰近的閘極電極層。

9. 根據申請專利範圍第 8 項之半導體裝置，其中在該氧化物半導體疊層中，與該源極電極層或該汲極電極層不重疊的區域的氧濃度比與該源極電極層或該汲極電極層重疊的區域的氧濃度高。

10. 根據申請專利範圍第 8 項之半導體裝置，其中該氧化物半導體疊層中的與該閘極電極層不重疊的區域包含摻雜劑。

11. 根據申請專利範圍第 8 項之半導體裝置，還包含：

該閘極電極層上的層間絕緣膜，其中該層間絕緣膜具有到達該源極電極層和該汲極電極層中的至少一方的接觸孔；以及

該層間絕緣膜上的佈線層，其中該佈線層藉由該接觸孔連接到該源極電極層和該汲極電極層中的至少一方。

12. 根據申請專利範圍第 8 項之半導體裝置，其中該半導體裝置是選自具有顯示部的桌子、電視機、電腦、行動電話機中的一種。

13. 一種半導體裝置，包含：

氧化物半導體疊層，該氧化物半導體疊層包括第一氧化物半導體層、與該第一氧化物半導體層接觸的第二氧化物半導體層及與該第二氧化物半導體層接觸的第三氧化物半導體層，其中該第二氧化物半導體層具有比該第一氧化物半導體層的能隙小的能隙，並且該第三氧化物半導體層具有比該第二氧化物半導體層的能隙大的能隙；

與該氧化物半導體疊層鄰近的源極電極層及汲極電極層；

與該氧化物半導體疊層鄰近的閘極絕緣膜；以及

隔著該閘極絕緣膜與該氧化物半導體疊層鄰近的閘極電極層。

14. 根據申請專利範圍第 13 項之半導體裝置，其中在該氧化物半導體疊層中，與該源極電極層或該汲極電極層不重疊的區域的氧濃度比與該源極電極層或該汲極電極層重疊的區域的氧濃度高。

15. 根據申請專利範圍第 13 項之半導體裝置，其中該第二氧化物半導體層的電子親和力比該第一氧化物半導體層及該第三氧化物半導體層的電子親和力高。

16. 根據申請專利範圍第 13 項之半導體裝置，其中該氧化物半導體疊層中的與該閘極電極層不重疊的區域包含摻雜劑。

17. 根據申請專利範圍第 13 項之半導體裝置，還包含：

該閘極電極層上的層間絕緣膜，其中該層間絕緣膜具有到達該源極電極層和該汲極電極層中的至少一方的接觸孔；以及

該層間絕緣膜上的佈線層，其中該佈線層藉由該接觸孔連接到該源極電極層和該汲極電極層中的至少一方。

18. 根據申請專利範圍第 13 項之半導體裝置，其中該半導體裝置是選自具有顯示部的桌子、電視機、電腦、行動電話機中的一種。



圖 1A

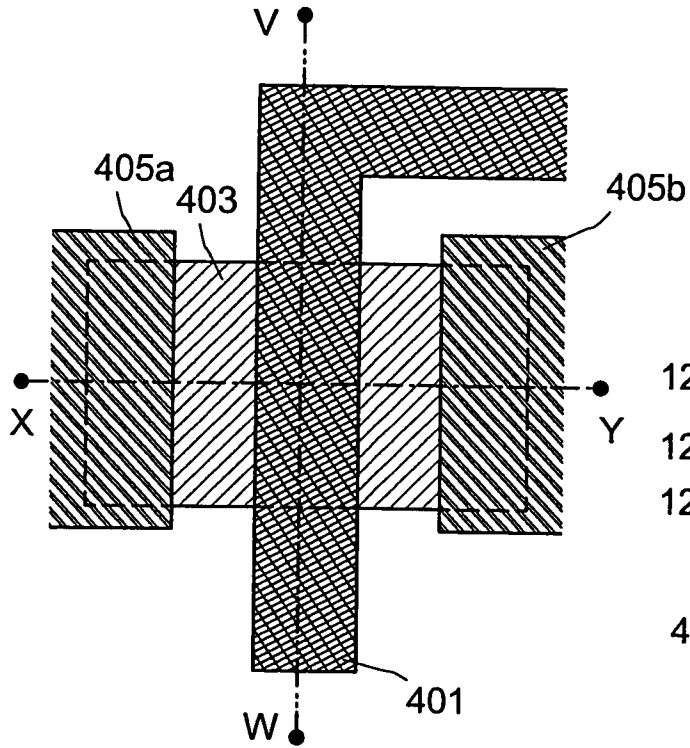


圖 1B

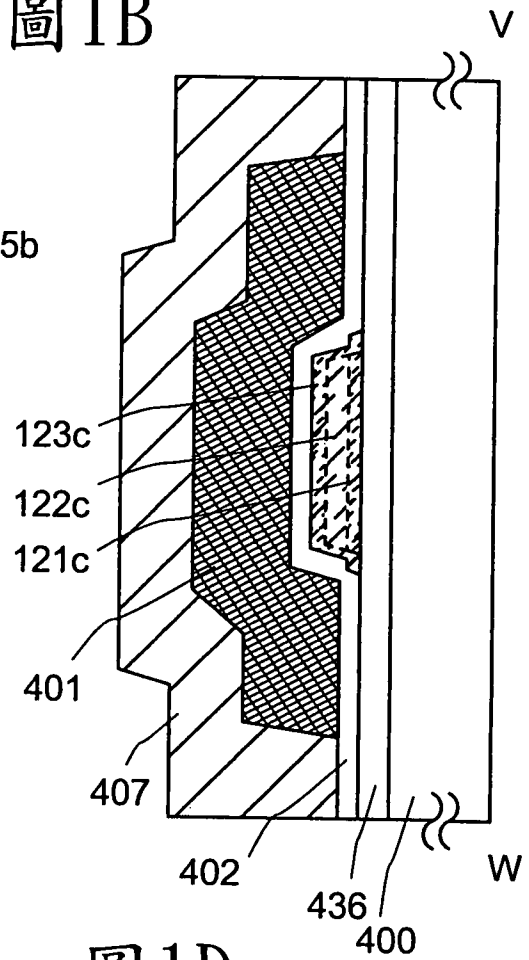


圖 1C

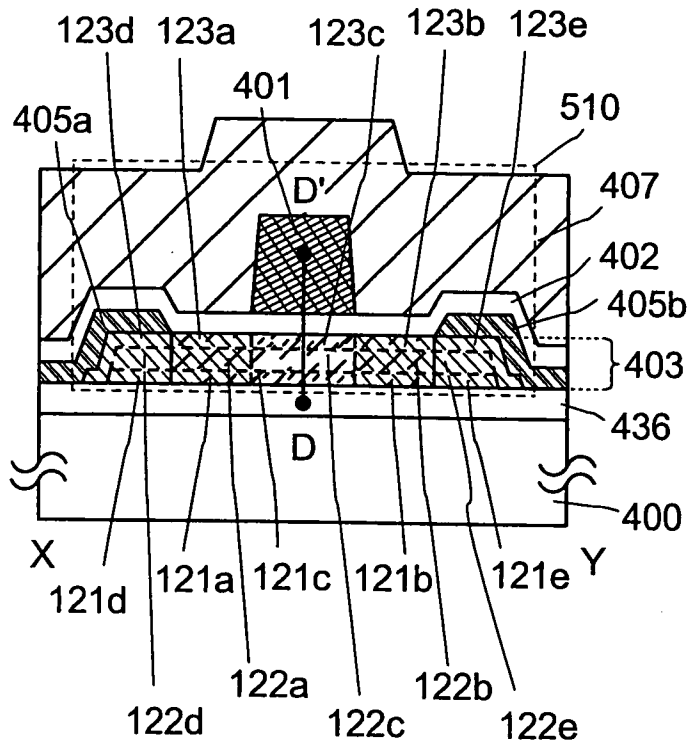


圖 1D

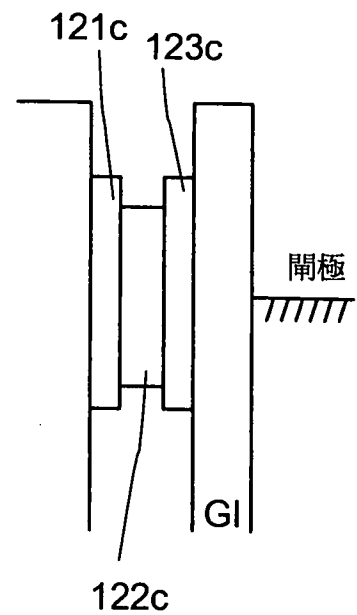


圖 2A

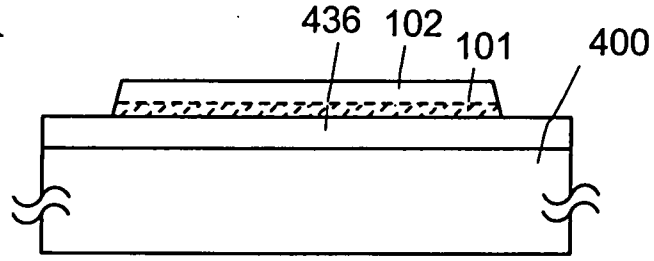


圖 2B

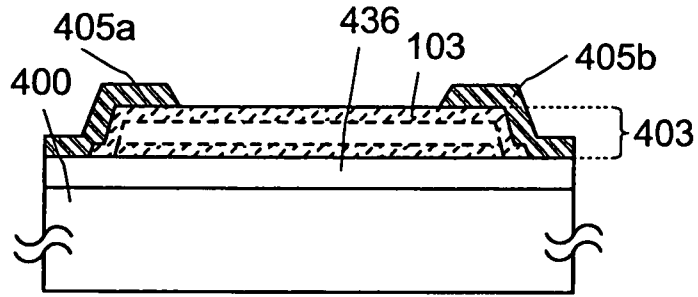


圖 2C

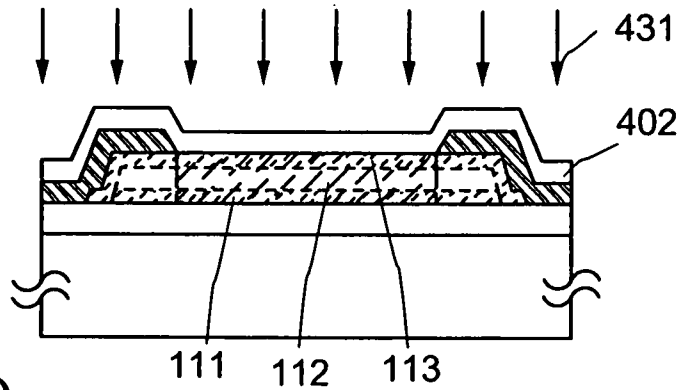


圖 2D

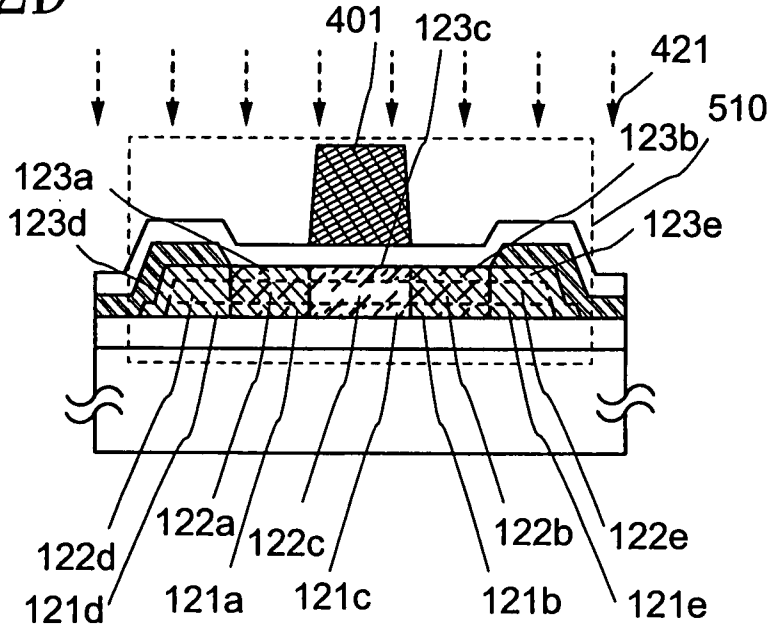


圖3

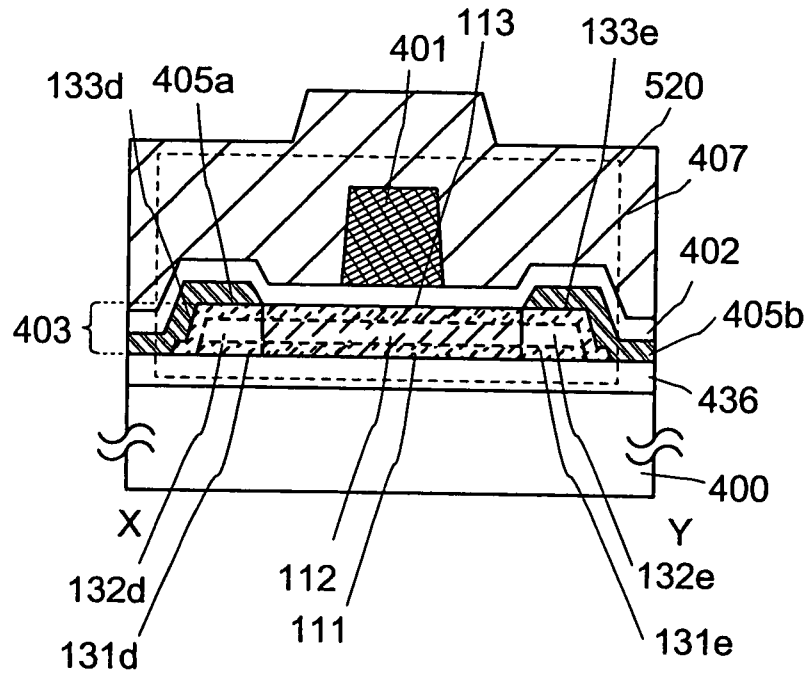


圖 4A

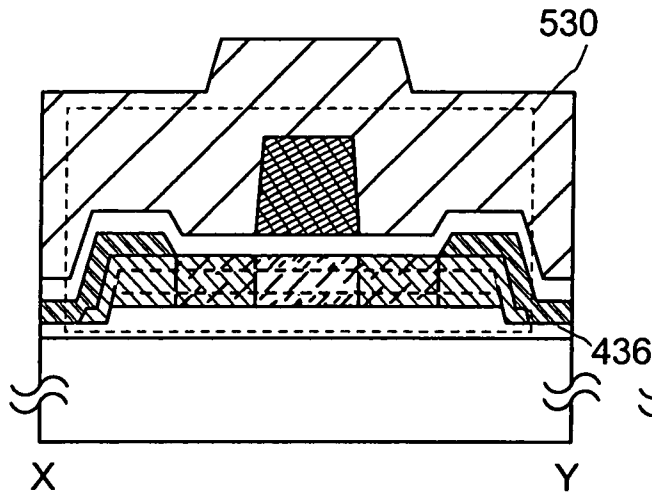


圖 4B

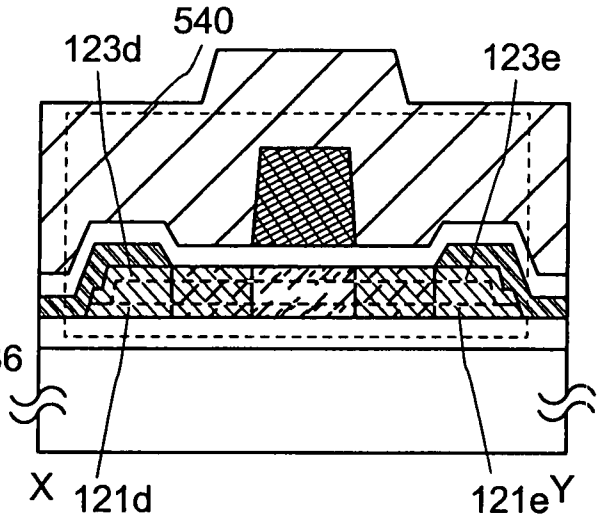


圖 4C

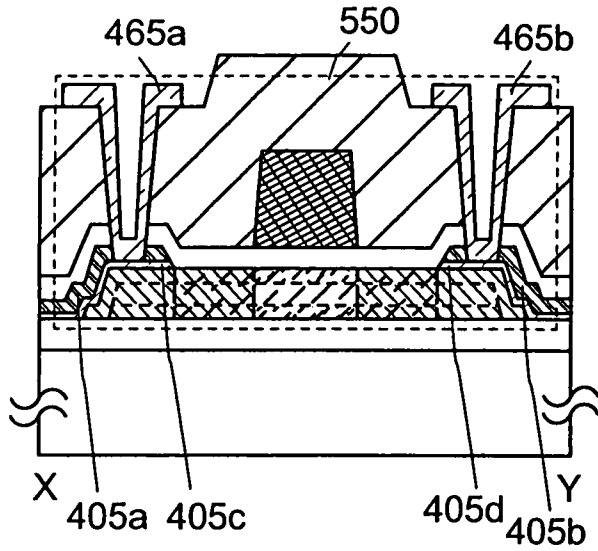


圖 4D

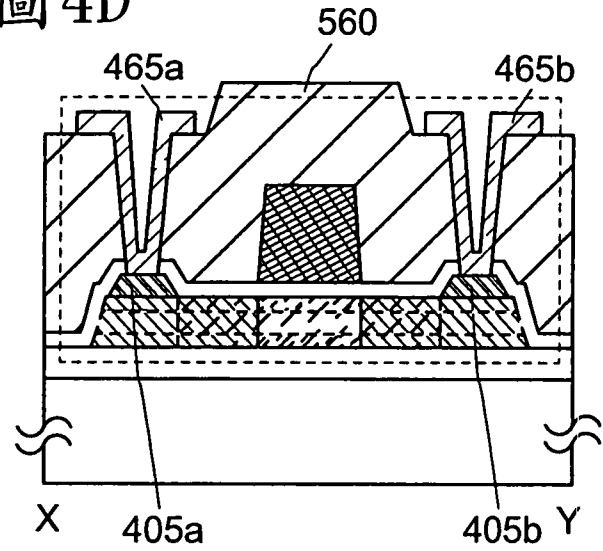


圖 4E

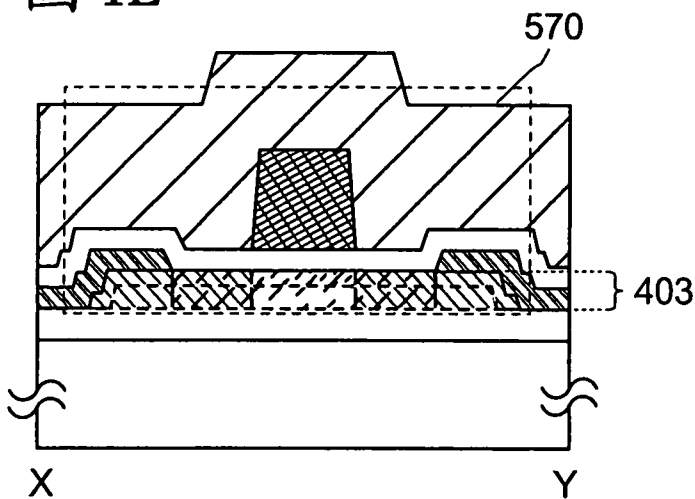


圖 5A

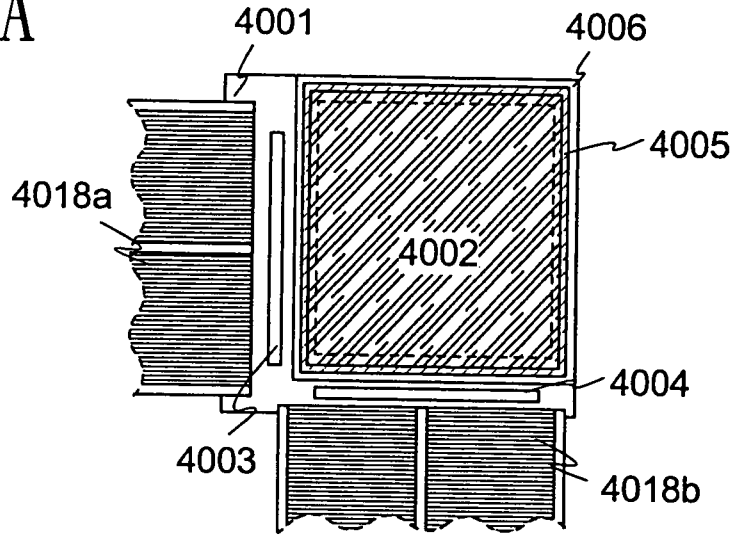


圖 5B

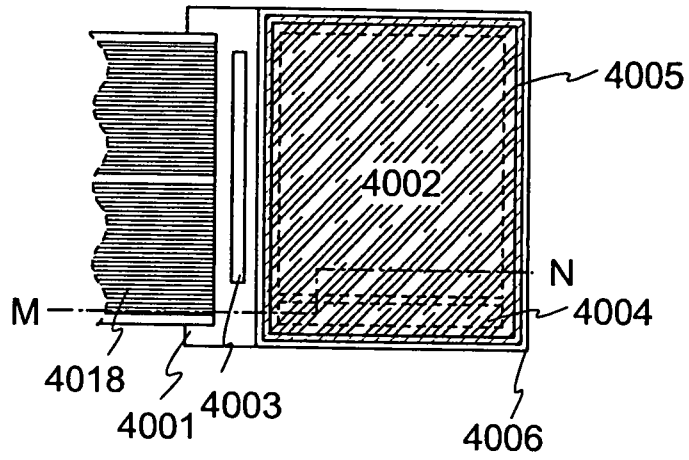


圖 5C

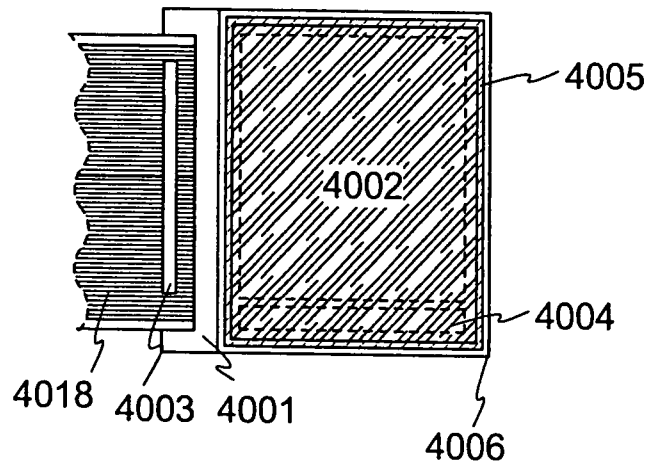


圖 6A

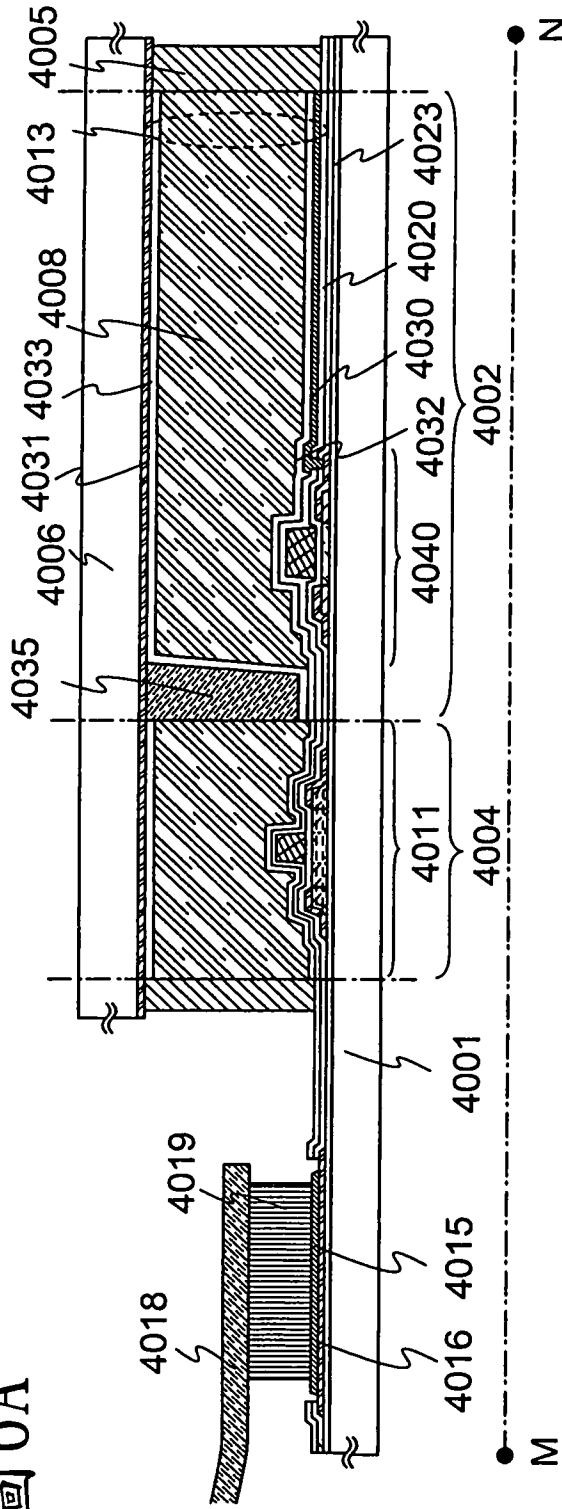
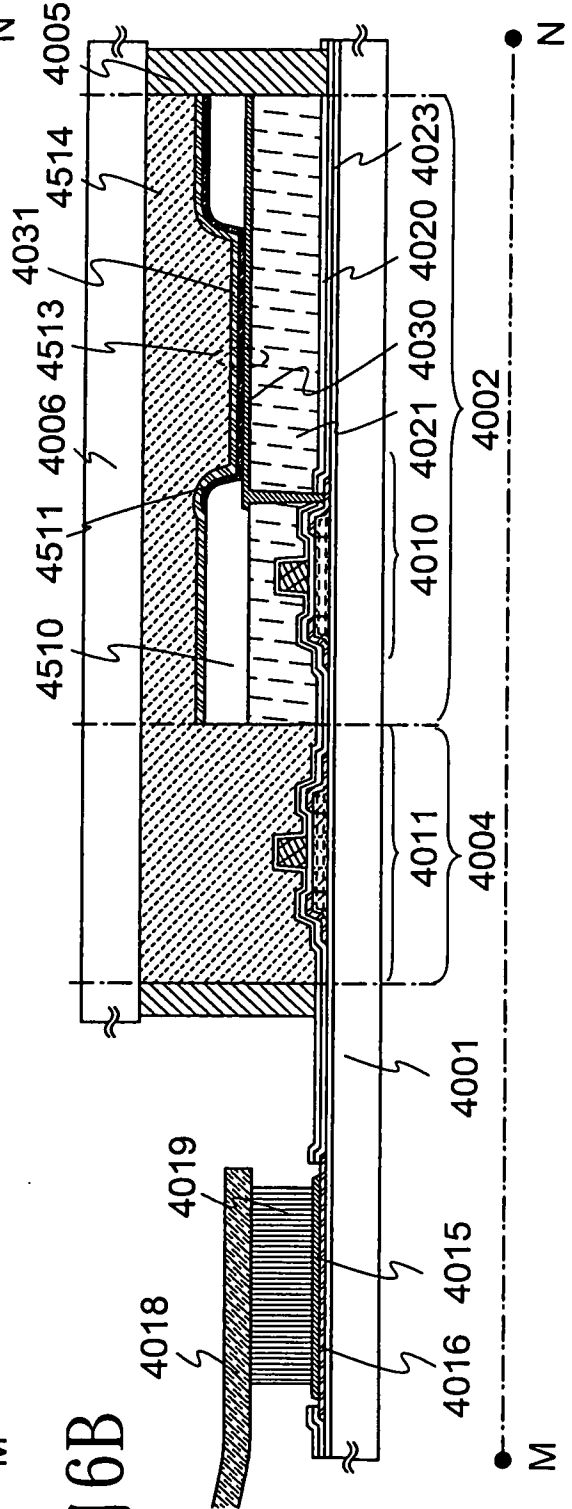


圖 6B



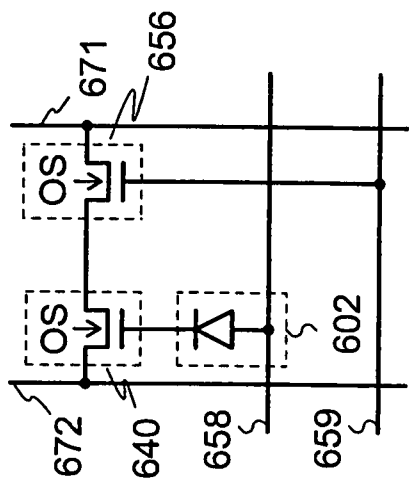


圖 7A

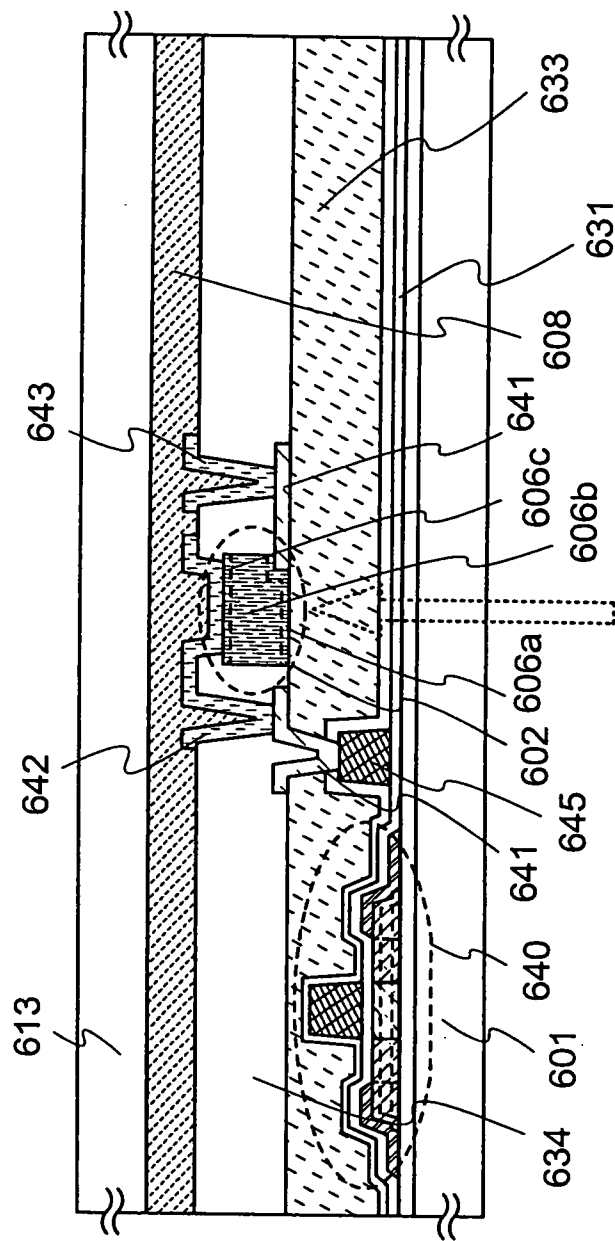


圖 7B

圖 8A

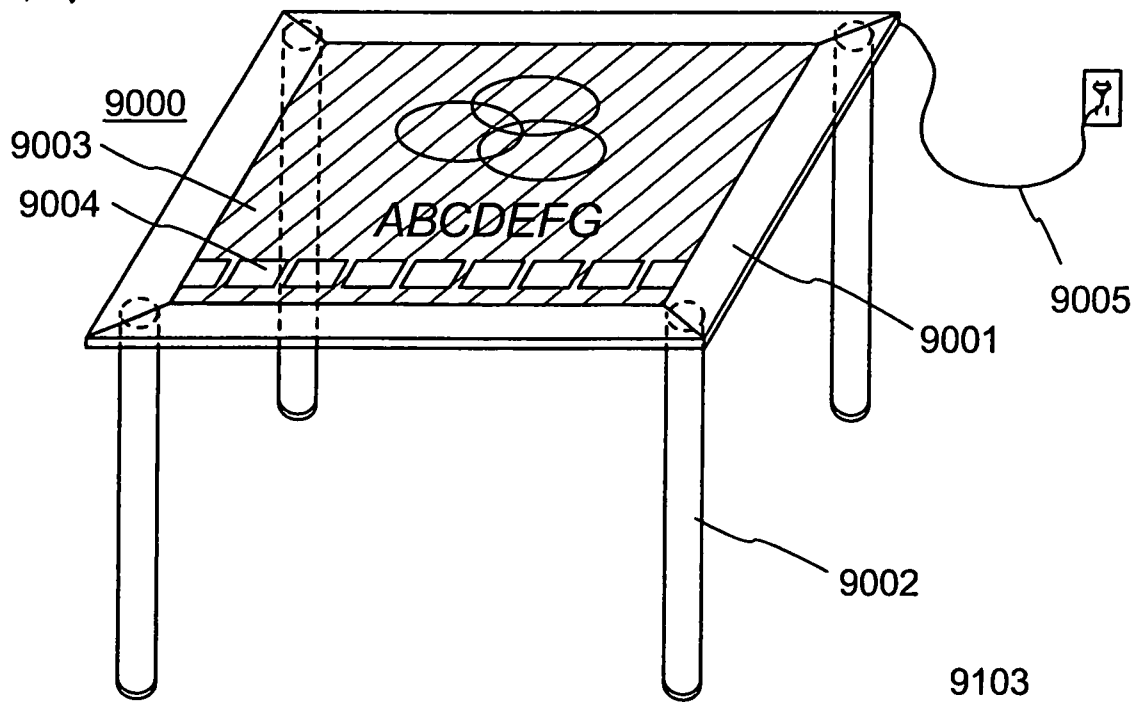


圖 8B

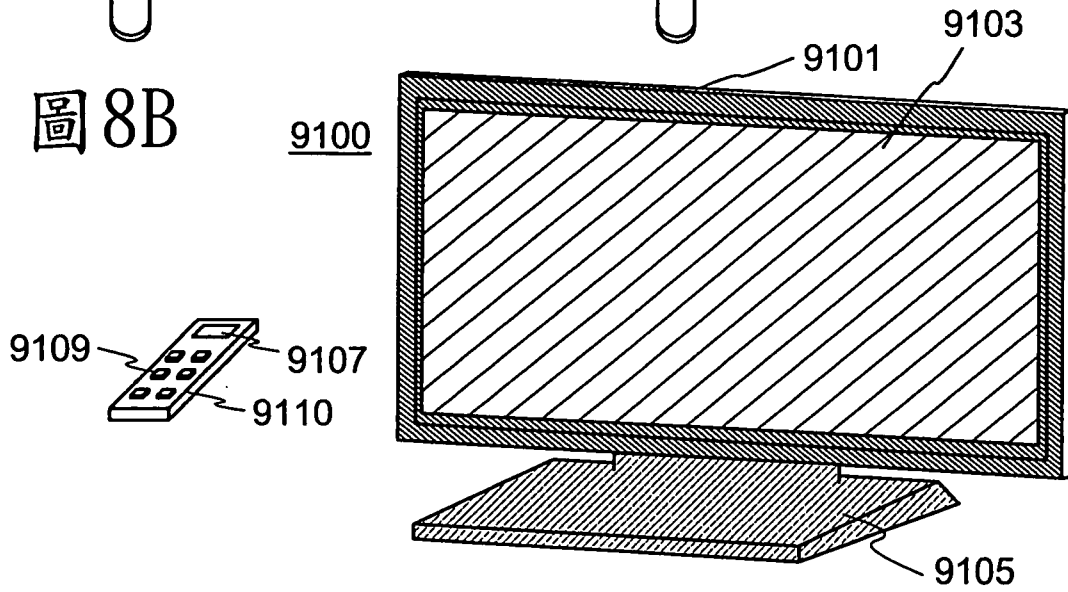


圖 8C

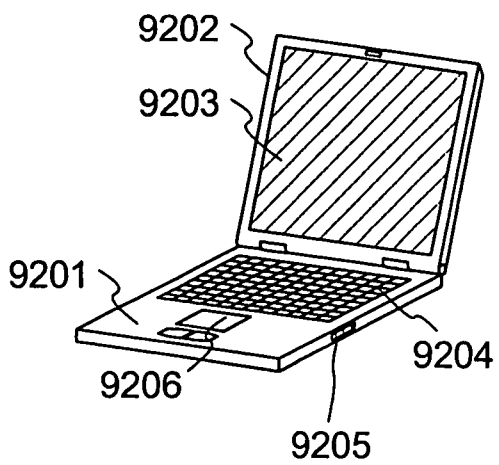


圖 8D

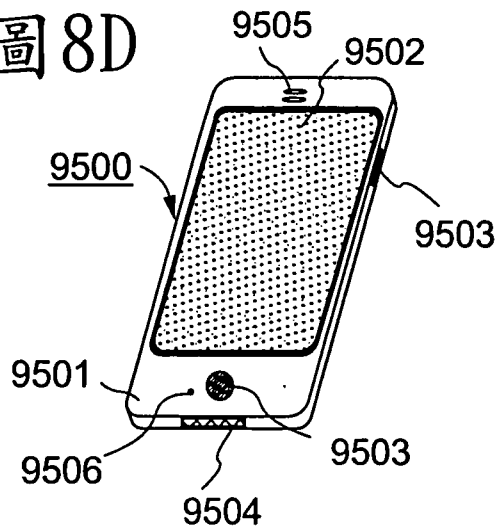




圖9

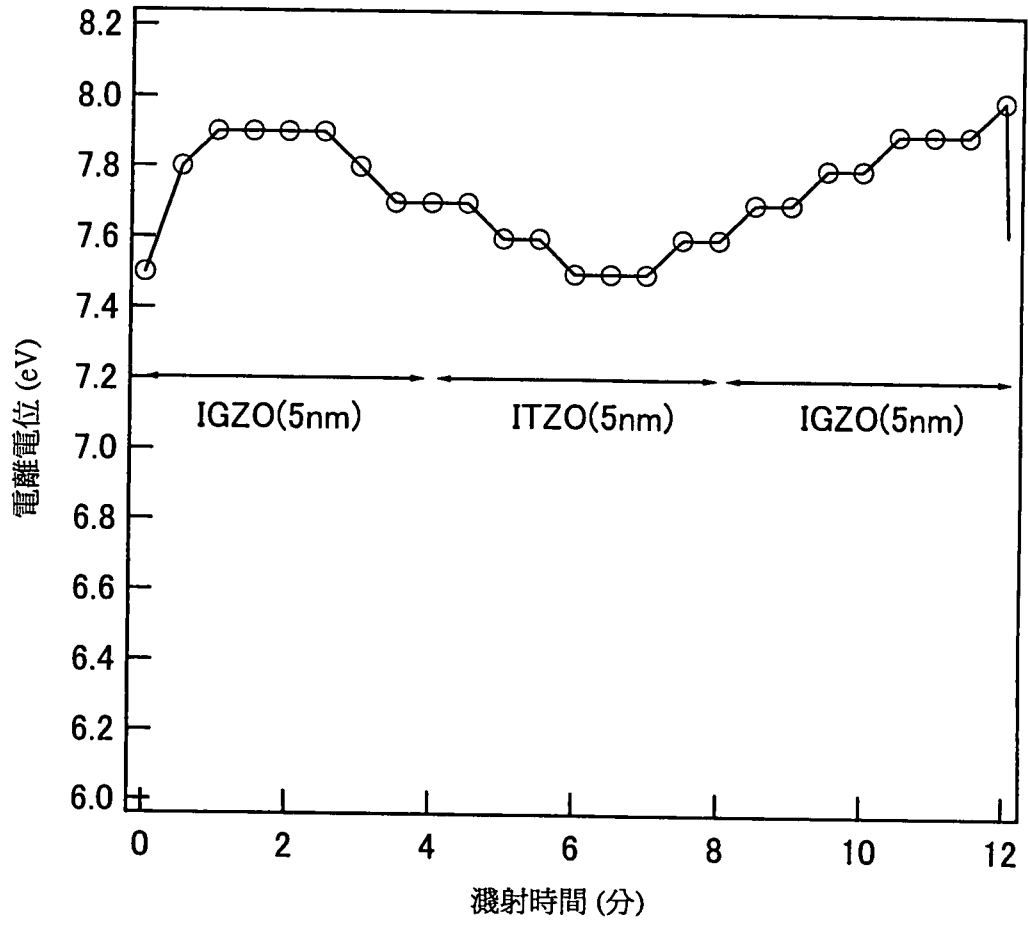


圖 10

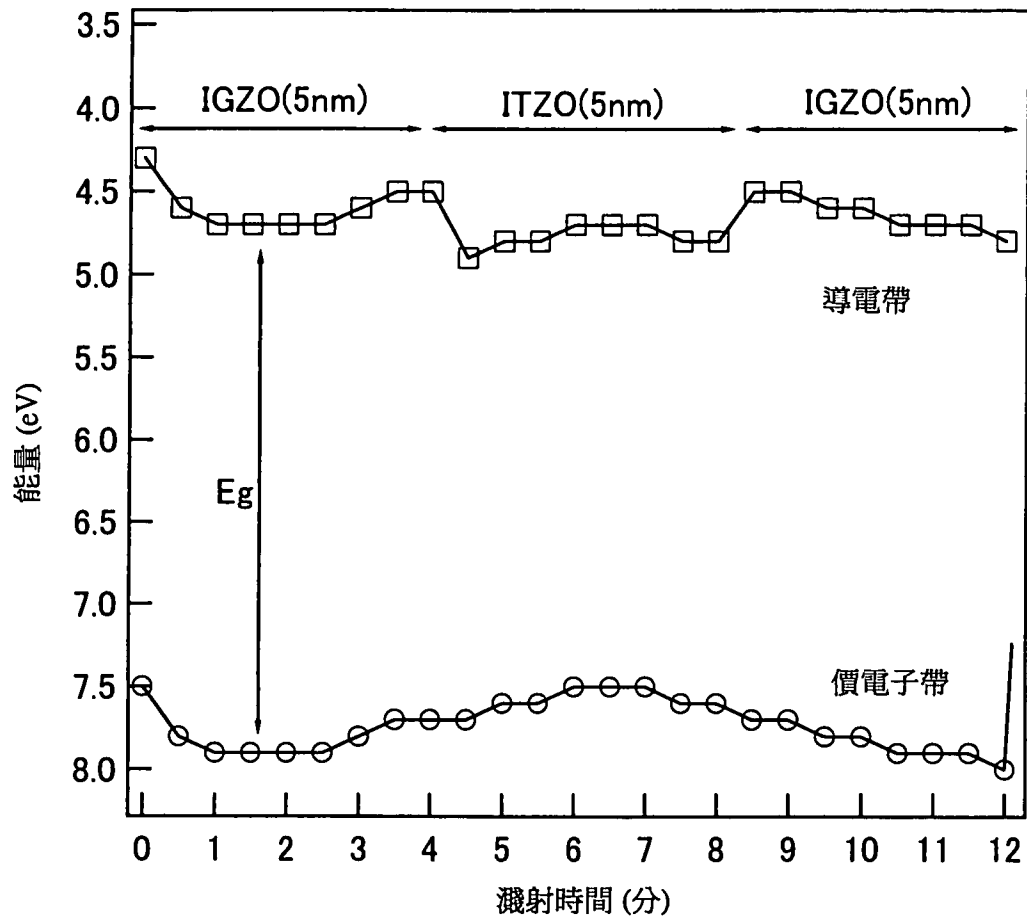


圖 11A

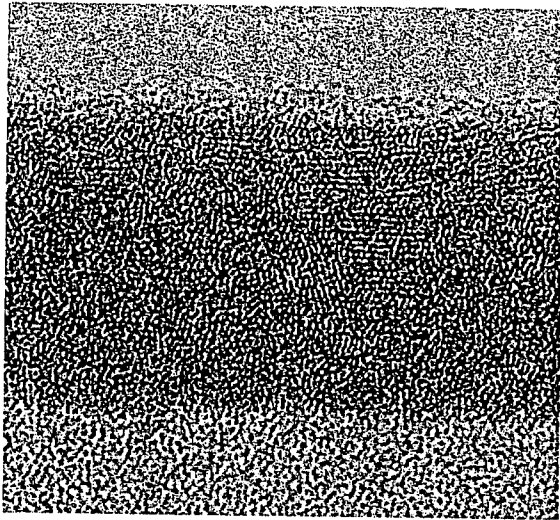


圖 11B

