

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-196564
(P2006-196564A)

(43) 公開日 平成18年7月27日(2006.7.27)

(51) Int. Cl.
H01L 21/205 (2006.01)

F I
H01L 21/205

テーマコード(参考)
5F045

審査請求 未請求 請求項の数 20 O L (全 27 頁)

(21) 出願番号	特願2005-4744 (P2005-4744)	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22) 出願日	平成17年1月12日 (2005.1.12)	(74) 代理人	100068504 弁理士 小川 勝男
		(74) 代理人	100086656 弁理士 田中 恭助
		(74) 代理人	100094352 弁理士 佐々木 孝
		(72) 発明者	鈴木 功 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
		(72) 発明者	小田 克矢 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内 最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】

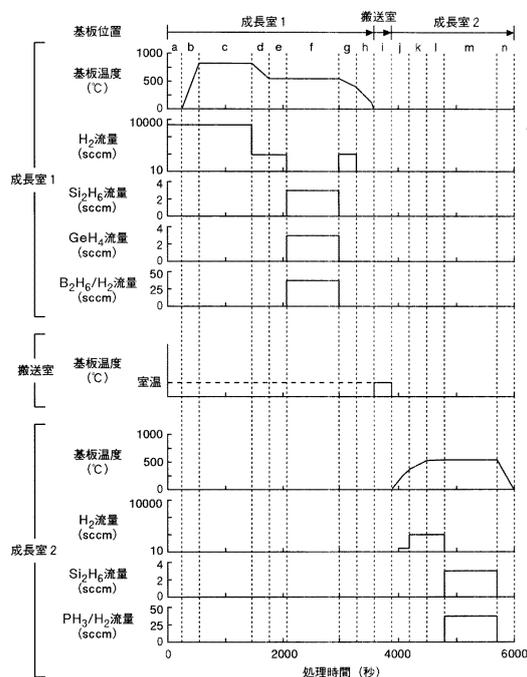
本願発明は、半導体多層膜を構成する各層の界面において、酸素と炭素濃度を低減した半導体装置の製造方法を提供する。

【解決手段】

第1の成長室内で単結晶基板上に第1の半導体層を形成し、第1の成長室から搬送室を介して第2の成長室に基板を搬送し、第2の成長室内で前記第1の半導体層の上に第2の半導体層を形成する。基板搬送を行うときに、第1の半導体層の表面原子数よりも第1の半導体層の表面原子と結合している水素の原子数の方が少ないときは水素を供給し、第1の半導体層の表面原子数よりも第1の半導体層の表面原子と結合している水素の原子数の方が多いたときは水素の供給を停止する。

【選択図】 図1

図 1



【特許請求の範囲】

【請求項 1】

単結晶基板上に第 1 の成長室で第 1 の半導体層を形成する第 1 の工程と、前記第 1 の工程の後に第 1 の成長室から搬送室を介して、第 2 の半導体層を成長させる為の成長室に基板の搬送を行う第 2 の工程と、前記第 2 の工程後に前記第 1 の半導体層の上に前記第 2 の半導体層を成長させる為の成長室で第 2 の半導体層を形成する第 3 の工程とを少なくとも有し、且つ、前記第 2 の工程において、前記第 1 の半導体層表面の水素原子による終端構造に変化を生ずる基板温度に基づき、当該基板温度より高い場合は水素を供給し、一方、当該基板温度より低い場合は水素の供給を停止して超高真空状態を確保することを特徴とする半導体装置の製造方法。

10

【請求項 2】

前記第 3 の工程は、前記第 2 の半導体層を成長させる為の成長室が、前記第 1 の成長室とは別異なる第 2 の成長室であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 2 の工程は、前記第 1 の工程の後に第 1 の成長室から搬送室に基板の搬送を行い、この後、前記搬送室から前記第 1 の成長室に基板を戻す工程を含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】

前記第 2 の工程において、前記水素を供給する場合の前記基板温度が 250 以上でなされることを特徴とする請求項 1 に記載の半導体装置の製造方法。

20

【請求項 5】

前記第 2 の工程において、前記水素の供給を停止する場合の前記基板温度が 50 以上 250 未満の範囲でなされることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 6】

単結晶基板上に第 1 の成長室で第 1 の半導体層を形成する第 1 の工程と、前記第 1 の工程の後に第 1 の成長室から搬送室を介して、第 2 の半導体層を成長させる為の成長室に基板の搬送を行う第 2 の工程と、前記第 2 の工程後に前記第 1 の半導体層の上に前記第 2 の半導体層を成長させる為の成長室で第 2 の半導体層を形成する第 3 の工程を少なくとも有し、且つ、前記第 2 の工程において、第 1 の半導体層の表面原子数よりも第 1 の半導体層の表面原子と結合している水素の原子数の方が略等しいか少ないときは水素を供給し、第 1 の半導体層の表面原子数よりも第 1 の半導体層の表面原子と結合している水素の原子数の方が多きときは水素の供給を停止することを特徴とする半導体装置の製造方法。

30

【請求項 7】

前記第 3 の工程は、前記第 2 の半導体層を成長させる為の成長室が、前記第 1 の成長室とは別異なる第 2 の成長室であることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

前記第 2 の工程は、前記第 1 の工程の後に第 1 の成長室から搬送室に基板の搬送を行い、この後、前記搬送室から前記第 1 の成長室に基板を戻す工程を含むことを特徴とする請求項 6 に記載の半導体装置の製造方法。

40

【請求項 9】

前記第 1 の半導体層の表面原子数よりも第 1 の半導体層の表面原子と結合している水素の原子数の方が少なくなる温度が 250 以上 500 以下であることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 10】

前記第 1 の半導体層の表面原子数よりも第 1 の半導体層の表面原子と結合している水素の原子数の方が多くなる温度が 50 以上 250 未満であることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 11】

50

前記単結晶基板は、Si、或いはSiとGeの両者を合わせて主成分としての含有量を有する半導体基板であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項12】

前記単結晶基板は、Si或いはSiとGeの両者を合わせて主成分としての含有量を有する半導体基板であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項13】

前記第1の半導体層及び前記第2の半導体層が、Si、或いはSiとGeの両者を合わせて主成分としての含有量を有する半導体層であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項14】

前記第1の半導体層及び前記第2の半導体層が、Si、或いはSiとGeの両者を合わせて主成分としての含有量を有する半導体層であることを特徴とする請求項6に記載の半導体装置の製造方法。

10

【請求項15】

前記第1の半導体層及び前記第2の半導体層の少なくとも一者が、炭素(C)を含有することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項16】

前記第1の半導体層及び前記第2の半導体層の少なくとも一者が、炭素(C)を含有することを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項17】

前記第1の半導体層及び前記第2の半導体層の少なくとも一者が、炭素(C)を含有することを特徴とする請求項13に記載の半導体装置の製造方法。

20

【請求項18】

前記第1の半導体層及び前記第2の半導体層の少なくとも一者が、炭素(C)を含有することを特徴とする請求項14に記載の半導体装置の製造方法。

【請求項19】

単結晶基板と、前記単結晶基板上に形成された、ドーピング濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上である第1導電型の第1の半導体層と、前記第1の半導体層上に形成された、ドーピング濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上である、第1導電型と反対導電型である第2導電型の第2の半導体層とを有し、前記第1の半導体層と前記第2の半導体層の界面における酸素濃度と炭素濃度が共に約 $1 \times 10^{19} \text{ cm}^{-3}$ 以下であることを特徴とする半導体装置。

30

【請求項20】

単結晶基板と、単結晶基板上に形成された、ドーピング濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上である第1導電型の第1の半導体層と、該第1の半導体層上に形成された、ドーピング濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以下である、第1導電型と反対導電型である第2導電型の第2の半導体層とを有し、前記第1の半導体層と前記第2の半導体層の界面における酸素濃度と炭素濃度が共に約 $1 \times 10^{19} \text{ cm}^{-3}$ 以下であることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

40

【0001】

本願発明は、半導体装置とその製造方法に係り、特に基板搬送の実施を伴う半導体多層膜の製造方法に関する。

【背景技術】

【0002】

近年、データ伝送システムや無線通信システムの急速な発展とともに、それらに用いるLSIの高性能化と低コスト化が要求されている。このため、動作速度に優れ、さらに既存のSiプロセスを利用できることから、SiGe HBT技術に注目が集まっている。

【0003】

HBT性能を向上するには、遮断周波数を増加させるために、急峻なドーピングプロフ

50

ァイルを実現する必要がある。又、ベース幅縮小によるベース抵抗の増大を抑制するため、ドーピング濃度を増大させることが不可欠である。しかしながら、従来のHBTでは、コレクタとベースをエピタキシャル成長により形成した後に、エミッタ引き出し層として形成した高濃度のn型多結晶Si層から、900以上の熱処理を行ってドーパントを拡散させることによりエミッタ層を形成している。こうした製造方法を取ることから、この熱処理によって、ベース幅が拡大してしまうという問題がある。さらに、GeはSiよりも格子定数が約4.2%大きいことから、Si基板上に成長させたSiGe層には格子歪みが内包される。このことは、高温の熱処理によって格子歪みは緩和され、転位や結晶欠陥の発生に伴い結晶性が悪化しやすいという問題を生む。こうした事情から、ドーパントの拡散を抑制して高濃度で浅い接合を形成し、さらにエピタキシャル層の良好な結晶性を維持するために高温の熱処理を廃止することを目的として、ベース層に引き続いてエミッタ層もエピタキシャル成長により形成するHBTとその製造方法が検討されている。その例が特開2003-77844号公報(特許文献1)である。

10

【0004】

図13は、これまで行われている代表的な半導体装置の製造方法の骨子を示すシーケンスである。

【0005】

この例では、Si基板に設けた絶縁膜の開口部内に、p型にドーピングした単結晶SiGe層とn型にドーピングした単結晶SiGe層からなる多層膜の選択成長を行う。これを行うために、第1の成長室、第2の成長室、搬送室およびロードロック室を有する半導体製造装置を使用し、成長室および搬送室は、例えば圧力 1×10^{-5} Pa以下の真空状態となっている。成長はp型単結晶SiGe層を第1の成長室で実施するならば、n型単結晶SiGe層はもう一方の第2の成長室で実施する。

20

【0006】

代表的な成長シーケンスは次の通りである。まず、初期洗浄を行ったSi基板をロードロック室内に設置し、ロードロック室の真空排気を実施した後、Si基板を搬送室経由で第1の成長室に搬送する。この後、Si基板のクリーニングを行う。本従来例には、クリーニングの一例として、水素雰囲気中で行う方法が示されている。まず始めに、第1の成長室に、清浄な水素ガスを供給する(図13ステップa)。このとき、水素ガス流量は 10 ml/min 以上 100 ml/min 以下とし、さらに水素ガス分圧は 10 Pa 以上大気圧以下とする。次に、Si基板を例えば 850 まで加熱する(ステップb)。そしてこの後、所定の時間だけ基板を加熱保持する(ステップc)。時間の長さはクリーニング温度との関係によって決定され、例えば 850 で行われる場合は 10 分である。

30

【0007】

クリーニングが終了したら、次にエピタキシャル成長温度までSi基板の温度を低下させ(ステップd)、引き続き基板温度を維持する(ステップe)。このステップeでは表面に清浄な水素ガスを供給し続ける。

【0008】

この後、水素ガスの供給を停止して、原料ガスとp型ドーピングガスを供給することによってp型単結晶SiGe層の選択エピタキシャル成長を開始する(ステップf)。原料ガスとしてSiにはジシラン(Si_2H_6)、Geにはモノゲルマン(GeH_4)を用い、またドーピングガスにはジボラン(B_2H_6)を使用する。成長条件は、例えばGe組成比15%、ドーピング濃度 $1 \times 10^{19} \text{ cm}^{-3}$ のp型単結晶SiGe層を形成するには、成長温度を 550 、成長圧力を 1 Pa 、ジシラン流量を約 3 ml/min 、ゲルマン流量を約 3 ml/min 、水素希釈したジボラン流量を 40 ml/min とする。成長を終了させるときには、成長ガスおよびドーピングガスの供給を停止し、反応室からガスを排気するとともに基板温度を低下させる。このとき、ステップeのときと同様に清浄な水素ガスを供給する(ステップg)。

40

【0009】

こうして第1の成長室でのp型単結晶SiGe層の形成が終了したら、次にn型単結晶

50

S i G e 層を形成するため、基板を第 1 の成長室から搬送室を介して第 2 の成長室に搬送する。搬送中はステップ g から引き続いて水素ガスを供給するが、搬送時には第 1 の成長室と搬送室の圧力をほぼ一致させる。第 2 の成長室への基板搬送も、搬送室と第 2 の成長室の圧力をほぼ一致させてから行う (ステップ h)。

【 0 0 1 0 】

第 2 の成長室内への基板の設置が完了したら、水素ガスを供給し続けた状態で基板をエピタキシャル成長のときの温度まで上昇させる (ステップ i)。このとき、水素ガスの供給条件は第 1 の成長室で基板表面のクリーニングを行ったときと等しくするが、第 1 の成長室で形成された p 型 S i G e 層の表面は清浄な状態が保たれているので、n 型 S i G e 層を成長する前のクリーニングは行わない。基板温度が第 2 の成長室でのエピタキシャル成長温度に到達したら、清浄な水素ガスを供給しながら基板温度を維持する (ステップ j)。この後、水素ガスを停止し、成長ガスと n 型ドーピングガスを供給することにより、n 型単結晶 S i G e 層の選択成長を開始する (ステップ k)。n 型ドーピングガスには例えばホスフィン (P H ₃) などを用いる。最後は、供給ガスの停止によって n 型 S i G e 層の成長を終了すると同時に基板温度を低下させ (ステップ l)、基板を搬送室経由でロードロック室に搬送し、装置から取り出す。

10

【 0 0 1 1 】

【特許文献 1】日本国、特開 2 0 0 3 - 7 7 8 4 4 号公報

【発明の開示】

【発明が解決しようとする課題】

20

【 0 0 1 2 】

従来例に示された半導体単結晶多層膜の製造方法では、第 1 の成長室で p 型単結晶 S i G e 層を成長し終わってから第 2 の成長室で n 型単結晶 S i G e 層の成長を開始するまでの間水素を供給し続けているので、以下のような問題がある。

【 0 0 1 3 】

従来例のような C V D 法によるエピタキシャル成長では、第 1 の成長室で成長を終了したとき、p 型単結晶 S i G e 層の表面は水素原子によって終端されている。この水素終端表面は、水素を供給し続けながら基板搬送を行うので、第 1 の成長室で成長が終了した時点から第 2 の成長室で次の成長が開始されるまでの間維持されている。しかし、単結晶 S i 層の水素終端表面では、水素圧力にも依るが基板温度が約 1 5 0 以上のときとそれ以下のときで構造が変化する。具体的には、約 1 5 0 以上のときは、表面に存在する 1 つの S i 原子に対し水素原子が 1 つだけ結合しているモノヒドライドが形成される。一方、約 1 5 0 以下になると、1 つの S i 原子に対して水素原子が 2 つ結合しているダイヒドライドの形成が起こる。従来例は単結晶 S i 層ではなくて単結晶 S i G e 層の表面に水素を供給しているが、G e 組成比が 1 5 % と S i に比べて少ないことから、単結晶 S i 層の場合と同様に考えることができる。ダイヒドライド表面はモノヒドライド表面に比べて水分や酸素が吸着しやすい。たとえ超高真空状態であっても、成長室や搬送室には微量の水分や酸素が存在する。従って、搬送中に水素を供給し続ける従来例では、基板温度が低いときに酸素が表面に吸着し、半導体単結晶多層膜の界面に取り込まれた酸素によって結晶欠陥が発生するという問題がある。

30

40

【課題を解決するための手段】

【 0 0 1 4 】

本願発明の骨子は、次の通りである。即ち、本願発明の半導体装置の製造方法は、単結晶基板上に第 1 の成長室で第 1 の半導体層を形成する第 1 の工程と、前記第 1 の工程の後に第 1 の成長室から搬送室を介して、第 2 の半導体層を成長させる為の成長室に基板の搬送を行う第 2 の工程と、前記第 2 の工程後に前記第 1 の半導体層の上に前記第 2 の半導体層を成長させる為の成長室で第 2 の半導体層を形成する第 3 の工程とを少なくとも有する。そして、前記第 2 の工程において、前記第 1 の半導体層表面の水素原子による終端構造に変化を生ずる基板温度に基づき、当該基板温度より高い場合は水素を供給し、一方、当該基板温度より低い場合は水素の供給を停止して超高真空状態を確保することを特徴とす

50

るものである。

【0015】

前記第1の半導体層表面の水素原子による終端構造に変化を生ずる基板温度は、雰囲気の水素圧力などによって若干の幅を有するが、水素原子が、基板材料の原子、例えば、Si基板の場合、Si原子に対する結合状態に変化を生ずるような温度である。より具体的には、基板表面の一つのSi原子に対し、水素原子が1つ結合しやすいか、2つ結合しやすいかといった変化である。この現象自体は、発明が解決しようとする課題の欄に説明したものである。

【0016】

ここで、前記第2の工程には、種々の形態をとり得る。即ち、代表的な形態は、前記第2の半導体層を成長させる為の成長室が、前記第1の成長室とは別異なる第2の成長室である形態である。更には、前記第2の工程は、前記第1の工程の後に第1の成長室から搬送室に基板の搬送を行い、この後、前記搬送室から前記第1の成長室に基板を戻す工程を含む形態もとり得る。又、本願発明の趣旨に添った形態もとり得る。

10

【0017】

又、超高真空状態は、通例の当該結晶成長技術の分野での基板搬送で用いる真空状態で良い。これは、実用上概ね、 1×10^{-5} Pa以下である。

【0018】

本願発明の好適な例を述べれば、前記第2の工程において、前記水素を供給する場合の前記基板温度が250以上でなされることであり、又、前記第2の工程において、前記水素の供給を停止する場合の前記基板温度が50以上250未満の範囲でなされることである。

20

【0019】

更に、本願発明を別な観点で述べれば、単結晶基板上に第1の成長室で第1の半導体層を形成する第1の工程と、前記第1の工程の後に第1の成長室から搬送室を介して、第2の半導体層を成長させる為の成長室に基板の搬送を行う第2の工程と、前記第2の工程後に前記第1の半導体層の上に前記第2の半導体層を成長させる為の成長室で第2の半導体層を形成する第3の工程を少なくとも有し、且つ、前記第2の工程において、第1の半導体層の表面原子数よりも第1の半導体層の表面原子と結合している水素の原子数の方が少ないときは水素を供給し、第1の半導体層の表面原子数よりも第1の半導体層の表面原子と結合している水素の原子数の方が多いときは水素の供給を停止することを特徴とする半導体装置の製造方法である。

30

【0020】

より、具体的な例を詳述すれば、次に通りである。即ち、単結晶基板上に第1の成長室で第1の半導体層を形成し、この工程の後に第1の成長室から搬送室を介して第2の成長室に基板を搬送し、この工程後に第1の半導体層の上に第2の成長室で第2の半導体層を形成する。そして基板搬送を行う工程において、第1の半導体層の表面原子数よりも第1の半導体層の表面原子と結合している水素の原子数の方が少ないときは水素を供給し、第1の半導体層の表面原子数よりも第1の半導体層の表面原子と結合している水素の原子数の方が多いときは水素の供給を停止することを特徴としている。

40

【0021】

本発明に係る半導体装置の製造方法の別な形態は、単結晶基板上に第1の成長室で第1の半導体層を形成し、この工程の後に第1の成長室から搬送室に基板を搬送し、さらにこの後搬送室から第1の成長室に基板を搬送し、この工程後に第1の半導体層の上に第1の成長室で第2の半導体層を形成する。そして基板搬送を行う工程において、第1の半導体層の表面原子数よりも第1の半導体層の表面原子と結合している水素の原子数の方が少ないときは水素を供給し、第1の半導体層の表面原子数よりも第1の半導体層の表面原子と結合している水素の原子数の方が多いときは水素の供給を停止することを特徴としている。

【0022】

50

本発明の半導体装置の製造方法の更に別な形態は、第1の半導体層の表面原子数よりも第1の半導体層の表面原子と結合している水素の原子数の方が少なくなる温度が250以上500以下であれば好適である。又、本発明の半導体装置の製造方法は、第1の半導体層の表面原子数よりも第1の半導体層の表面原子と結合している水素の原子数の方が多くなる温度が50以上250以下であれば好適である。

【0023】

次に、本願発明のより実際的な半導体層等の形態の例を掲げれば、次に通りである。

【0024】

第1に、半導体装置の製造方法は、例えば図1に示す成長シーケンスのように、単結晶Si基板上に第1の成長室で高濃度p型単結晶SiGe層9を形成し、この高濃度p型単結晶SiGe層9上に第2の成長室で高濃度n型単結晶層11を形成すれば好適である。

10

【0025】

本発明の半導体装置の製造方法は、単結晶基板は、Si基板が代表例であり、更にはSiを主成分として含んでいる基板も用い得る。即ち、Si基板、或いはSiGe基板などが好適である。更に、必要に応じて、その他の元素を含有していても勿論良いことはいうまでもない。

【0026】

本願発明の半導体装置の製造方法は、第1の半導体層がSi、或いはSiを主成分として含んでいれば実用上なお好適である。又、第2の半導体層は、Si、或いはSiを主成分として含んでいれば実上好適である。更には、第1の半導体層と第2の半導体層の少

20

【0027】

本発明の半導体装置の製造方法は、第1の成長室でBのドーピングを行い、第2の成長室でP或いはAsのドーピングを行えば実上好適である。

【0028】

上述した各半導体層は、Siを主成分とする半導体材料がその代表例であるが、SiGeを主成分とした半導体材料をも用い得る。更に、Siを主成分とする半導体材料に炭素(C)を含有する半導体材料も用い得る。代表例を具体的に挙げれば、Si層、SiGe層、SiGeC層であり、これらの材料にp型あるいはn型のドーパントが含有されていても良いことはいうまでもない。p型ドーパントの代表例はB(ボロン)であり、n型ド

30

【0029】

次に、本願発明になる本発明の半導体装置の例を示せば次の通りである。即ち、第1は、単結晶基板上に形成された、ドーピング濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上である第1導電型の第1の半導体層と、第1の半導体層上に形成された、ドーピング濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上である、第1導電型と反対導電型である第2導電型の第2の半導体層から構成されており、第1の半導体層と第2の半導体層の界面における酸素濃度と炭素濃度が共に約 $1 \times 10^{19} \text{ cm}^{-3}$ 以下であることを特徴としている。この例は、図6または図9に例示するSiGe HBTの断面構造に例示される。

【0030】

更に、別な例は、次の通りである。即ち、第2の例は、単結晶基板上に形成された、ドーピング濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上である第1導電型の第1の半導体層と、該第1の半導体層上に形成された、ドーピング濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以下である、第1導電型と反対導電型である第2導電型の第2の半導体層から構成されており、第1の半導体層と前記第2の半導体層の界面における酸素濃度と炭素濃度が共に約 $1 \times 10^{19} \text{ cm}^{-3}$ 以下であることを特徴としている。この例は、図11に示すMODFETの断面構造に例示される。

40

【発明の効果】

【0031】

本願発明の半導体装置の製造方法によれば、結晶性に優れた半導体積層体の実現が可能

50

であり、もって、これを用いた半導体装置の良好な諸特性を確保することが出来る。或いは半導体集積回路の高性能を確保することが出来る。

【発明を実施するための最良の形態】

【0032】

<実施例1>

図1は本発明の第1の実施形態であるシーケンスを例示する図である。単結晶Si基板上に、高濃度p型単結晶SiGe層と高濃度n型単結晶Si層とからなる多層膜をエピタキシャル成長により形成するときのシーケンスを示している。ステップgからステップlまでの工程が、本願発明にいう第2の工程の相当する。ステップgでは、第1の結晶成長（本願発明の第1の工程）が終了し、第2の工程がスタートする。そして、基板温度が所定温度、例えば200前後に降下するまでは、水素を供給する（ステップg）。そして、基板温度が所定温度以下に降下すると、水素の供給を停止するのである（ステップh、ステップi）。尚、ステップjでは、第2の成長室にて、第2の結晶成長の為、基板温度を上昇させる。このステップjで、基板温度が所定温度以上になると、再び水素を供給する。ステップk及びlでは、結晶成長前の高温状態となるので、水素は勿論供給される。以下に本実施例を各ステップに従って詳細に説明する。

10

【0033】

図2は、本発明の実施に用いるエピタキシャル成長装置の例である。本装置は、第1の成長室100、第2の成長室102、搬送室101、およびロードロック室103からなる。異なる導電型の半導体層からなる多層膜において、ドーピング濃度やプロファイルを正確に制御するには、成長室に残留するドーパントが膜中に取り込まれてドーピングの効果が打ち消されてしまうことを回避する必要がある。この為、1つの成長室でp型とn型のドーピングを両方実施するよりも、p型専用の成長室とn型専用の成長室で別々に実施の方が好都合である。本実施例では、第1の成長室100で高濃度p型単結晶SiGe層の成長を行い、第2の成長室102で高濃度n型単結晶Si層の成長を実施している。成長室と導電型の組み合わせについては、本実施例と逆の場合であっても可能である。尚、第1の成長室、第2の成長室、搬送室などの内部構成は通例のものと同様でよいので、詳細説明は省略する。

20

【0034】

まず始めに、第1の成長室100において、Si基板上へのp型単結晶SiGe層の成長を行う。Si基板表面のクリーニングを行うため、 H_2 雰囲気中で基板を加熱した後エピタキシャルを行うが、エピタキシャル成長の前後にも H_2 を導入している。 Si_2H_6 と GeH_4 とはエピタキシャル成長の原料ガスとして用いており、第1の成長室100に供給している水素希釈した B_2H_6 はp型のドーピングガスである。

30

【0035】

第1の成長室100での成長が終了したら、次に第2の成長室102で高濃度n型単結晶Si層を成長するため、第1の成長室100から搬送室を介して第2の成長室に基板を搬送する。この後、p型単結晶SiGe層上に、n型単結晶Si層を第2の成長室にてエピタキシャル成長する。ここで、第1の成長室の場合と同じように、エピタキシャル成長前に H_2 を導入している。 Si_2H_6 はエピタキシャル成長の原料ガスであって、第2の成長室に水素希釈して導入している PH_3 はn型のドーピングガスとして使用している。

40

【0036】

図3は、図1に示した成長のシーケンスと図2に示したエピタキシャル成長装置を用いて形成される、単結晶基板1上に、高濃度p型単結晶SiGe層9と高濃度n型単結晶Si層11を形成した多層膜の断面構造図である。以下では、この構造を得るために行う各プロセスを図1から図3を使って具体的に説明していく。

【0037】

まず始めに、汚染物やパーティクルを取り除くため、硫酸と過酸化水素水を成分に持つ溶液と水酸化アンモニウム、過酸化水素水、及び水の混合液によりSi基板を洗浄する。エピタキシャル成長装置に基板を設置する直前に、表面に形成されている酸化膜を除去す

50

るために基板をフッ酸水溶液により洗浄し、次いで純水に浸すことによって基板表面に存在するSi原子の水素終端処理を行う。この処理には、Si表面における自然酸化膜の再形成を最小限に抑えるという利点がある。そして、単結晶Si基板1を半導体製造装置のロードロック室103に設置して真空引きを開始する。搬送室101への水分、酸素、炭素の混入を防ぐため、ロードロック室103を約 1×10^{-5} Pa以下に排気したら、基板を搬送室101経由で第1の成長室100に設置する。搬送室101や第1の成長室100、さらに後述する第2の成長室102の圧力についても、基板表面が汚染されないようにするため、約 1×10^{-5} Pa以下の真空状態であれば好適である。尚、第1の成長室100、第2の成長室102、搬送室101において、これ以降のステップで特にガスを供給していなければこの圧力が維持されていることは言うまでもない。次に、基板の洗浄後に形成された自然酸化膜や汚染物を除去するため、基板のクリーニングを行う。尚、本実施例では、以下にH₂雰囲気下において高温加熱する方法を説明するが、これ以外にもクリーニングガスを用いて基板を加熱する方法や、超高真空中において基板を1000程度に加熱する方法などを用いることができる。クリーニングを行うため、第1の成長室100に清浄なH₂ガスを5000 sccm供給する(図1のステップa)。尚、各ステップa、b、cなどは、図1の上部に符号を付して示した。ここで、H₂ガス中の水分濃度は、クリーニング効果が充分得られるようにするため、約50 ppb以下が好適である。後の工程で第1の成長室100と第2の成長室102に供給するH₂中の水分濃度についても、この値以下に抑制することが望ましい。又、H₂ガスの流量は本実施例では5000 sccmとしているが、この流量は一例に過ぎず、クリーニング中に所定の圧力を得るために必要な流量であればよい。更に、クリーニング中の圧力は、基板表面に均一にガスが供給されるように10 Pa以上であって、装置の安全を保つために、大気圧以下であれば好適である。H₂ガスの供給後は、引き続いてSi基板の加熱を開始する(ステップb)。加熱方法には、代表的には抵抗ヒータやランプヒータを用いるものがある。基板をクリーニング温度まで加熱したら、その温度を所定の時間維持する(ステップc)。クリーニングにおける基板温度は、自然酸化膜や汚染物の除去が効果的に行われる温度として600以上であれば良く、又、Si基板表面の良好な状態を維持できる温度として1000以下とすれば好適である。又、クリーニング時間はクリーニング温度との関係で決定すれば良い。例えば600の場合には30分程度かかるが、高温ほど自然酸化膜や汚染物は早く除去されることから1000の場合には1分程度と少なく済む。本実施例では、基板中のドーパントを熱拡散させないこととクリーニング時間の最短化を両立させるため、850、5分という組み合わせを選択している。以上のクリーニングを終了した後、基板をエピタキシャル成長温度まで下げ(ステップd)、基板温度を維持する(ステップe)。これらのステップでは、クリーニングした後のSi基板に汚染物が付着するのを防ぐため、表面に清浄な水素ガスを供給し続けることが望ましい。H₂ガス流量は最低限の汚染防止の効果が得られる1 sccm以上がよく、この後のエピタキシャル成長の開始時にガスの流量差によって基板温度が大きく変化することを防ぐため、次のエピタキシャル成長中に供給するガスの総流量と概ね等しいことが望ましい。

【0038】

この後、H₂ガスの供給を停止すると同時に、原料ガスとp型のドーピングガスの供給することにより、高濃度p型単結晶SiGe層9のエピタキシャル成長を開始する(ステップf)。

【0039】

エピタキシャル成長方法としては、ターボ分子ポンプを用いて超高真空中に排気した状態で原料ガスを導入し低圧の分子流領域で成長を行う超高真空CVD(UHV/CVD)法や、多量の水素ガスをキャリアガスとして導入しながら成長を行う減圧CVD(LPCVD)法を用いることができる。以下に、これらの成長法での成長条件について説明する。

【0040】

UHV/CVD法によりエピタキシャル成長するとき、分子流領域で行い、かつ成長温度が比較的低いことから、原料ガスには反応性の高いものを使用する。SiGe層を成長

する場合には、例えば、Siの原料ガスとして Si_2H_6 、Geの原料ガスとして GeH_4 を用いる。SiとGeは全率固溶であることから、これらのガスの流量を制御することにより、SiGe層中におけるGe組成比の制御を任意に変化させることができる。更に、ガス流量により成長圧力を10Pa以下に制御すれば、エピタキシャル層を均一に成長させることが可能となる。ここで、この成長圧力は一般的な値を示したものであって、均一成長に望ましい圧力は反応室の形状や真空ポンプの排気速度に依存する。成長温度は、エピタキシャル層の結晶性悪化や成長時間の増大によるスループット低下を防ぐために400以上とし、加えて良好な表面モフォロジーを得るために650以下に設定すればよい。以上のことから、例えば Si_2H_6 を3sccm、 GeH_4 を3sccm供給し、成長温度を550に設定すれば、Ge組成比15%のSiGe層を形成することができる。尚、次のステップgでは、 H_2 ガスを再び供給しているが、エピタキシャル層の品質に特に影響は与えない。従って、 H_2 ガスの供給は、本実施例のようにエピタキシャル成長が終了した時点から始める必要は必ずしもなく、成長の開始時点や途中からでも可能である。成長中に H_2 ガスを供給する場合でも、原料ガスとドーピングガスの分圧の合計は H_2 ガスを供給しないときとほぼ同じとすればよい。

10

【0041】

一方、LPCVD法によって成長を行うとき、原料ガスとしてUHV/CVD法に使用するガスよりも反応性の低いものを供給する。これは、もし原料ガスの反応性が高ければ気相中の反応が生じてしまい、堆積する膜の結晶性が悪化する原因となるからである。この為、Siの原料ガスとしては、例えばモノシラン(SiH_4)やジクロルシラン(SiH_2Cl_2)など、Siの水素化物や塩化物系ガスを用いるのが好適である。Geの原料ガスには、 GeH_4 以外にもSiの場合と同様に、Geの水素化物や塩化物系ガスを用いることができる。これらのガス流量を制御することにより、UHV/CVD法のときと同様に、SiGe層中のGe組成比を変化させることができる。更に、原料ガスとキャリアガスである水素の流量を制御し、例えば成長圧力を約1000Paから約10000Paに維持する。成長温度としては、ガスの分解と良好な結晶性を同時に実現するため、600から800程度に設定すればよい。

20

【0042】

又、p型のドーピングを行うためには、UHV/CVD法とLPCVD法のどちらであっても、原料ガスと同時にドーピングガスを供給することによって可能である。p型不純物の添加には、BなどのIII族元素を含むドーピングガス、例えば B_2H_6 などを用いればよい。尚、以上においてエピタキシャル成長条件について種々の具体例を示したが、それら以外の条件であっても、エピタキシャル成長可能な範囲ならば本工程に適用することが可能である。

30

【0043】

前述したように、以下、ステップgからステップlまでが、本願発明の第2の工程に相当する。

【0044】

高濃度p型単結晶SiGe層9を成長させた後、原料ガスとドーピングガスの供給を停止させると同時に H_2 ガスの導入を開始し、基板温度を低下させる(ステップg)。

40

【0045】

次いで、基板温度が所定の値以下になったら H_2 ガスの供給を停止して、引き続き基板温度を低下させる(ステップh)。エピタキシャル層の表面を終端している水素が脱離して表面に水分、酸素、炭素などが吸着してしまうことを回避するため、 H_2 ガスの導入を停止するときの基板温度は、表面から水素が脱離する温度より低いことが好適である。このため、例えばSi層の表面であれば、基板温度約400以下でガスの導入を停止することが望ましい。SiGe層の表面ならば、Si原子からよりもGe原子からの方が水素原子は脱離しやすいので、ガスの導入は基板温度約300で停止すれば好適である。又、表面から水素が脱離せず水素終端表面が維持されている基板温度領域であっても、表面に H_2 ガスを供給し続けると表面構造は温度に従って変化する。例えば、水素終端Si(

50

100) 表面の場合、基板温度が約150 に低下するまでは、表面のSi原子1個に対し水素原子が1個結合しているモノヒドライドが形成されている。しかし約150 以下になると、モノヒドライドだけでなく、表面のSi原子1個に対し水素原子が2個結合しているダイヒドライドが形成される。そして、基板温度が約40 以下に低下すると、モノヒドライドの形成は殆ど見られなくなり、表面の大半はダイヒドライドが形成されていることになる。このような変化は、Ge組成比が30%以下であれば表面の主成分はSiであることから、本実施例のようにSiGe層であってもほぼ同様である。一方、水素終端Siの結晶面(100)面の表面であっても表面にH₂ガスを供給していなければ、基板温度が約150 以下のときでもダイヒドライドは形成されず、モノヒドライドの構造が維持される。水素終端Siの結晶面(100)面の表面への酸素原子の吸着は、モノヒドライドよりもダイヒドライドが形成されているときの方が起きやすい。この為、基板温度が約150 以下の状態でH₂ガスを供給すれば、エピタキシャル層の表面が水分や酸素により酸化されやすくなる。従って、ステップhでのH₂ガスの導入を停止するときの基板温度は、約400 以下で、且つ約150 以上であることが好適である。尚、ここでは、H₂ガス導入停止時の基板温度を具体的な数値を挙げて説明したが、こうした数値は、例えば第1の成長室100内のH₂ガス分圧などにより上下することは言うまでもない。又、炭素などの酸素以外の汚染については、表面が水素終端された基板であれば吸着しにくいいため、上記のような基板温度に応じたH₂ガス導入の切り替えを行うことにより汚染を低減することができる。

10

20

【0046】

基板温度を低下させたら、第1の成長室から搬送室を介して第2の成長室に基板を搬送する(ステップi)。本実施例では、搬送中の基板温度は室温となっているが、この温度は単に一例であって、基板表面にモノヒドライドが形成されている基板温度約150 以下であれば好適である。

【0047】

搬送終了後、第2の成長室において、第2の半導体層を成長するため、再び基板を加熱する(ステップj)。ここでは、加熱の途中でH₂ガスの供給を開始し、引き続きエピタキシャル成長を行う温度まで基板温度を上昇させる(ステップk)。H₂ガスを供給し始めるときの基板温度は、前述したステップgとステップhの場合と同様に考えればよい。継続してH₂ガスを供給しつつ基板温度を安定化させたら(ステップl)、H₂ガスの供給を停止して原料ガスとn型のドーピングガスを導入することにより、高濃度n型単結晶Si層11のエピタキシャル成長を開始する(ステップm)。成長方法には、前述したUHV/CVD法やLPCVD法を本ステップでも同様に用いることができる。又、n型のドーピングは、UHV/CVD法とLPCVD法のどちらであっても、原料ガスと同時にドーピングガスを供給すれば可能である。n型不純物の添加には、PやAsなどのIV族元素を含むドーピングガス、例えばPH₃やアルシン(AsH₃)などを用いればよい。上記の成長法のうち好都合なものを選択することによって、高濃度n型単結晶Si層11を成長させたら、原料ガスとドーピングガスの供給を停止させると同時に基板温度を低下させ(ステップn)、最後に第2の成長室102からロードロック室103に基板を戻すと、図3に示した多層膜構造が得られる。

30

40

【0048】

本実施例によれば、基板温度に応じてH₂ガスの供給を切り替えていることから、基板温度が低いときに基板表面が酸素や炭素で汚染されない。これにより、高濃度p型単結晶SiGe層9上に結晶性の良好な高濃度n型単結晶Si層11が成長するため、高品質な多層膜の形成が可能となる。又、高濃度n型単結晶Si層11の成長前に高温のクリーニングを行う必要がないことから、高濃度p型単結晶SiGe層9の結晶性悪化が抑制され、さらにドーパントの熱拡散による再分布も防ぐことができる。従って、この多層膜構造を用いて形成する半導体装置の高速動作や抵抗低減などによる高性能化が可能となる。

【0049】

< 実施例2 >

50

図4は本発明の第2の実施形態を示すシーケンスの図である。図4は、単結晶Si基板1上に、高濃度p型単結晶SiGe層9と高濃度n型単結晶Si層11からなる多層膜をエピタキシャル成長により形成するときのシーケンスである。第1の実施例と本実施例で異なる点は、次の点である。第1の実施例では、第1の成長室100で成長させた高濃度p型単結晶SiGe層9上に、第2の成長室で高濃度n型単結晶Si層を成長させていた。しかし、本実施例では、高濃度p型単結晶SiGe層9の成長を行った第1の成長室100で、高濃度n型単結晶Si層の成長も行っていることである。

【0050】

ステップgからステップlまでの工程が、本願発明にいう第2の工程の相当する。ステップgでは、第1の結晶成長（本願発明の第1の工程）が終了し、第2の工程がスタートする。そして、基板温度が所定温度に降下するまでは、水素を供給する（ステップg）。そして、基板温度が所定温度以下に降下すると、水素の供給を停止するのである（ステップh、ステップi）。尚、ステップjでは、第2の成長室にて、第2の結晶成長の為、基板温度を上昇させる。このステップjで、基板温度が所定温度以上になると、再び水素を供給する。ステップk及びlでは、結晶成長前の高温状態となるので、水素は勿論供給される。以下に本実施例を各ステップに従って詳細に説明する。

10

【0051】

多層膜の形成は、第1の成長室100におけるSi基板1上への高濃度p型単結晶SiGe層9の成長から開始する。基板温度、 H_2 ガス流量、エピタキシャル成長の原料ガスである Si_2H_6 と GeH_4 の流量、およびp型のドーピングガスである水素希釈した B_2H_6 の流量は第1の実施例と同様である。

20

【0052】

高濃度p型単結晶SiGe層9の成長が終了したら、次に第1の成長室のクリーニングを行うため、第1の成長室100から搬送室101に基板を移動させる。搬送室101での基板温度は例えば室温である。そして、この後、多層膜を形成する基板1とは別に準備していた基板を第1の成長室100に搬送する。基板の種類としては単結晶Si基板でも構わないが、高温のクリーニングを行うためには、表面にSi酸化膜を形成したSi基板やSiC基板などが好適である。別基板の搬送終了後、第1の成長室100にクリーニングガスを導入する。クリーニングガスとしては、 H_2 ガスや Cl_2 ガス、 HCl ガス或いはこれらの混合ガスなどを用いることができる。次いで、基板の加熱を開始する。クリーニングを行う基板温度としては、十分なクリーニング効果を得るために1000以上であることが望ましい。次いで、基板を高温の状態でも一定時間維持する。この時間は基板温度が高いほど短くすることが可能であり、例えば基板温度が1200ならば5分程度である。この後、第1の成長室100内のガスを排気するとともに、基板温度を低下させてクリーニングを終了する。第1の成長室100のクリーニングが終了したら、再び基板を搬送室101から第1の成長室100に戻す。この後、第1の成長室100でn型単結晶Si層11を成長する。基板温度、 H_2 ガス流量、原料ガスの Si_2H_6 流量、およびドーピングガスの PH_3 流量は、第1の実施例と同様に扱うことができる。

30

【0053】

図5は、図4に示した半導体層を実施するに用いたエピタキシャル成長装置である。本装置は、第1の実施例と違って第1の成長室100と搬送室101及びロードロック室103からなる。前述したが、異なる導電型の半導体層からなる多層膜中のドーピング濃度やプロファイルを正確に制御するには、導電性の異なる不純物が残留することによってドーピングの効果が打ち消されてしまうことを回避する必要がある。この為、本実施例では、p型のドーピングを行った後に第1の成長室100のクリーニングを行うことによってメモリ効果の影響を低減した後、n型にドーピングした半導体層を形成する。

40

【0054】

本実施例によれば、1つの成長室でp型とn型のドーピングを両方行うことができる。従って、第1の実施例に比べて装置の導入コストや維持費を低減できる。よって、本実施例を用いて作製した半導体装置の製造コストが大幅に低下するという利点がある。

50

【0055】

<実施例3>

図6は本発明の第3の実施形態を示す。図6は、SiGe HBTの縦断面構造を示している。Si基板1上に、いわゆる埋め込み層である高濃度n型単結晶Si層2、コレクタの一部となるn型単結晶Si層3、第1のコレクタ・ベース分離絶縁膜4、コレクタ引き出し層となる高濃度n型単結晶Si層5、および素子分離絶縁膜6からなる半導体基板を形成している。そして、HBTの真性領域を形成する部分とコレクタ引き出し層を形成する部分を除いた基板表面上に第2のコレクタ・ベース分離絶縁膜7を形成し、表面に露出しているn型単結晶Si層3上にコレクタとなるn型単結晶SiGe層8、ベースとなる高濃度p型単結晶SiGe層9、及びエミッタとなる高濃度n型単結晶Si層11を順次エピタキシャル成長させている。更に、高濃度p型単結晶SiGe層9と同時に、絶縁膜7上に高濃度p型多結晶SiGe層10を形成している。又、エミッタの側面にはエミッタ・ベース分離絶縁膜16を形成している。ベース引き出し電極としては、高濃度p型単結晶SiGe層9の端部に接続させた単結晶領域17と、高濃度p型多結晶SiGe層10上に成長させた多結晶領域18からなる高濃度p型Si層を使用している。エミッタ引き出し電極としては高濃度n型多結晶Si層20を形成しており、基板全面には開口部を有する絶縁膜21を堆積している。更には、絶縁膜21の開口部の中に金属膜からなるコレクタ電極22、ベース電極23、そしてエミッタ電極24を形成している。

10

【0056】

次に、図6に示した構造を有するHBTを作製するときのフローを、図7Aより図7Eに示す。これらの断面図は、本HBTの製造工程における代表的なものであり、又、HBTの真性領域近傍における縦断面構造を示している。

20

【0057】

Si基板に、イオン打ち込みによって、いわゆる埋め込み層として高濃度n型単結晶Si層2を形成した後、この上にコレクタの一部となるn型単結晶Si層3を例えば化学気相堆積(CVD)法によりエピタキシャル成長させる。ここで、n型不純物には例えばP、As、Snが好適であり、ベース・コレクタ耐圧の低下やベース・コレクタ間容量の増大を抑制するため、不純物濃度を約 $1 \times 10^{18} \text{ cm}^{-3}$ 以下とすることが望ましい。

【0058】

HBTの真性部分とコレクタ引き出し層を形成する領域を除いて、例えばCVD法を用いて、基板に第1のコレクタ・ベース絶縁膜4を堆積する。次いで、コレクタ引き出し層となる高濃度n型単結晶Si層5を形成してから、絶縁膜からなる素子分離領域6を形成する。

30

【0059】

次いで、基板表面に第2のコレクタ・ベース分離絶縁膜7を堆積する。膜厚は、後ほど選択成長させるコレクタ層の膜厚と同等とし、例えば50nm程度が好適である。この後、パターンニングとエッチングを用いることにより、HBTの真性領域を形成する部分にある第2のコレクタ・ベース分離絶縁膜7を、n型単結晶Si層3の開口面積よりも小さくなるようにして除去し、開口部を形成する。この後、実施例1と同様の方法で基板の洗浄を行い、半導体製造装置に基板を設置し、第1の実施例で説明した第2の成長室102の方に基板を搬送する。実施例1と同様に基板をクリーニングしたら、基板を成長温度に設定し、先ほど形成した開口部のみにコレクタとなるn型単結晶SiGe層8を選択成長させる。このときの成長方法としては、前述したUHV/CVD法やLP-CVD法が好適である。

40

【0060】

UHV/CVD法によってエピタキシャル層を選択成長させるには、原料ガスと同時にエッチング反応を起こすHClやCl₂などのハロゲン系ガスを供給するという方法がある。例えば、ガス流量が3sccmのSi₂H₆とGeH₄に対し、10sccm程度のCl₂を添加することによって、SiGe層を約200nmまで選択成長させることが可能となる。もう1つの方法としては、エッチングガスを使用せずに、膜の堆積が開始され

50

るまでの時間が基板の材質によって異なるという成長特性を利用するものがある。堆積開始までの時間を一般に潜伏時間と呼ぶが、単結晶上にエピタキシャル層を形成するとき、単結晶表面を清浄な状態にしておくとはほとんど潜伏時間無く、原料ガスの供給とほぼ同時に成長が開始される。しかし、例えば絶縁膜上では、ガスの供給開始から一定の潜伏時間を経過した後に成長が開始されることになる。従って、例えばSi表面が露出した開口部を有する絶縁膜基板を使用したとき、絶縁膜上での堆積が始まるまでの間、Si表面上だけにエピタキシャル層を選択的に形成することができる。選択性を向上させるには、絶縁膜上の潜伏時間が長くなるように成長条件を調整すればよく、例えば原料ガスの供給量を少なくしたり、成長温度を上昇させたりすればよい。以上の方法によって、例えばSi₂H₆流量を3 s c c m、GeH₄流量を同じく3 s c c m、さらに成長温度を550に

10

【0061】

一方、LPCVD法により選択成長を実現するには、原料ガスとともにエッチングガスを供給する方法が好都合である。例えば、SiGe層を選択成長させるとき、ガス流量毎分10mlのSiH₄に加えて毎分20mlのHClを添加すればよい。

【0062】

又、n型のドーピングを行うためには、第1の実施例と同様に原料ガスとともにPH₃などを供給すればよく、十分なベース・コレクタ耐圧を維持し、ベース・コレクタ間容量が増大するのを抑制するため、ドーピング濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下であれば好適

20

【0063】

又、ベースから拡散してくるドーパントのBの進入を防ぐため、n型単結晶SiGe層8の全体または一部にCを同時に添加してもよい。これは、単結晶SiGe層中のBは点欠陥である格子間Siを介して拡散するが、C添加により格子間Siが減少するからである。B拡散の抑制効果を得るためには、C組成比は約0.01%以上とすることが望ましい。しかし、単結晶Si層や単結晶SiGe層中ではCの固溶度が低いことから、C組成比を増大させると結晶性が悪化しやすくなるという問題がある。この為、添加するCの組成比は約5%以下とすることが好適である。

【0064】

n型単結晶SiGe層8を成長させた後、第1の実施例と同様に搬送室を經由して第1の成長室に基板を搬送する。本実施例では第1の実施例に示した半導体多層膜の形成を用いて説明を行うが、第2の実施例に示した方法も用いることができる。その為には、第1の成長室100のクリーニングを行った後、第1の成長室100に基板を戻せばよい。以下、他の実施例においても、半導体多層膜の形成方法に関しては同様である。そして、特に、基板のクリーニングは行わずに基板全面に高濃度p型SiGe層を成長させる。このとき、n型単結晶SiGe層8上にはベースとなる高濃度p型単結晶SiGe層9、一方、第2のコレクタ・ベース分離絶縁膜上には高濃度p型多結晶SiGe層10が形成される。成長条件や方法は第1の実施例に示したものと同様であるが、成長可能な範囲において好都合な成長条件は変化させることが可能である。又、SiGe HBTの高性能化を

30

40

【0065】

又、GeはSiよりも格子定数が約4.2%大きいことから、Si基板上に成長させたSiGe層には一般に格子歪みが内包される。格子歪みは、成長の始めではSiGe層におけるGe組成比や膜厚を増大させるとともに増大するが、成長が進行すると緩和されやすくなる。格子歪みが緩和すると、SiGe層内部に転位や結晶欠陥が発生する。これは、HBTの動作性能を劣化させる原因になる。従って、ベースのGe組成比は約50%以下とすることが望ましい。更に、Si、又はSiGe層に高濃度のBを添加すると、B原

50

子のクラスタリングにより結晶性が悪化ことから、ベースのドーピング濃度については約 $5 \times 10^{21} \text{ cm}^{-3}$ 以下にすることが望ましい。

【0066】

又、n型単結晶SiGe層と同じように、Bの熱拡散抑制を目的として高濃度p型単結晶SiGe層9の全体あるいは一部にCを同時に添加してもよい。添加できるC組成比はn型単結晶SiGe層8中と同程度である。

【0067】

高濃度p型SiGe層の成長が終了したら、搬送室101を介して再び第2の成長室102に基板を搬送する。そして、特に基板のクリーニングは行わずに高濃度n型Si層を基板全面に成長させる。このとき、p型単結晶SiGe層9上にはエミッタとなる高濃度p型単結晶Si層11、一方、p型多結晶SiGe層10上には高濃度n型多結晶Si層12が形成される。成長条件や方法は第1の実施例に示したものと同様であるが、成長可能な範囲において好都合な成長条件は変化させることが可能である。又、SiGe HBTの高性能化を実現するには、エミッタ抵抗の低減が不可欠である。この為、高濃度n型単結晶Si層11の膜厚を約15nmとすると、エミッタドーピング濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 以上であることが望ましい。又、CにはBだけでなくPの熱拡散を抑制する効果があることから、高濃度n型単結晶Si層11の全体あるいは一部にもCを添加してもよい。添加できるC組成比はn型単結晶SiGe層8や高濃度p型単結晶SiGe層9と同程度である。以上により、図7Aの構造を得る。

【0068】

次いで、基板全面に絶縁膜13、半導体層14、そして絶縁膜15を順次堆積したら、エミッタ電極形成領域を除いていま堆積した各層をパターンニングとエッチングにより除去し、ダミーエミッタを形成する。この後、さらなるエッチングによりエミッタ電極形成領域以外の高濃度n型単結晶Si層9、そして高濃度n型多結晶Si層10を除去する。以上により、図7Bの構造を得る。

【0069】

次に、エミッタ・ベース分離絶縁膜の一部となる絶縁膜16を基板全面に堆積したら、ダミーエミッタの側面を残していま堆積した絶縁膜16を取り除く。この後、第1の実施例で説明したものと同様の方法で基板の洗浄を行い、半導体製造装置に基板を設置したら、第1の実施例によるところの第1の成長室100に基板を搬送する。以後、基板を特にクリーニングせず、ベース引き出し電極となる高濃度p型Si層を選択成長する。このとき、高濃度p型単結晶SiGe層9の表面には高濃度p型単結晶Si層17が形成され、さらに高濃度p型多結晶SiGe層10の上部には高濃度p型多結晶Si層18が形成される。成長方法や条件については、実施例1で説明したものや本実施例のn型単結晶SiGe層8を形成するとき用いたものと同様であるので、ここでは説明を省略する。膜厚については、多結晶層中の粒界により抵抗率が高くなってしまふ影響を最小限にするため、約20nm以上を確保することが好適である。また、ドーピング濃度については、ベース抵抗が高くなってしまふことを回避するため、約 $1 \times 10^{20} \text{ cm}^{-3}$ 以上とするのが望ましい。以上により、図7Cの構造を得る。

【0070】

この後、HBTの真性領域とその周辺を除いて高濃度p型多結晶Si層18を取り去った後、絶縁膜19を基板全面に堆積する。次いで、絶縁膜15とSi層14を除去すると、図7Dの構造を得る。

【0071】

更にこの後、絶縁膜13を除去したら、エミッタ引き出し電極となるPドープ高濃度n型多結晶Si層20を堆積する。最後に、エミッタ引き出し電極形成領域とその周辺部を除いて上記n型多結晶Si層20を取り除いたら、本実施形態におけるHBTの真性領域として、図7Eに示す構造が完成する。

【0072】

本実施例によれば、図8に示すように、コレクタのn型単結晶SiGe層8、ベースの

10

20

30

40

50

高濃度 p 型単結晶 SiGe 層 9、エミッタの高濃度 n 型単結晶 Si 層 11 からなる多層膜の各層の界面において酸素や炭素の汚染濃度を低く抑えることが可能となる。図 8 の上段はバイポーラトランジスタの各部での Ge の含有率 (Ge 組成比) を示すグラフ、下段はバイポーラトランジスタの各部でのドーピング元素の分布をしめす。これら上下段のグラフは結晶表面からの深さを合わせて示されている。

【0073】

本例では、結晶性が良好な多層膜が形成されることから、ベース抵抗やエミッタ抵抗の低減により HBT の動作速度が大きく向上するという利点がある。更に、界面汚染の抑制はリーク電流の低減に非常に効果があり、又、単結晶層のエミッタを形成したことにより、1/f ノイズが低減されることから、高性能な SiGe HBT を実現することができる。

10

【0074】

<実施例 4>

図 9 は、本願発明に係る半導体装置の製造方法の第 4 の実施例であって、SiGe HBT の縦断面構造を示している。本実施例は HBT の真性部分を自己整合的に形成している点で、第 3 の実施例に示した HBT の構造と異なる。Si 基板 51 上に、いわゆる埋め込み層となる高濃度 n 型単結晶 Si 層 52、コレクタの一部となる n 型単結晶 Si 層 53、第 1 のコレクタ・ベース分離絶縁膜 54、コレクタ引き出し層となる高濃度 n 型単結晶 Si 層 55、および素子分離絶縁膜 56 からなる半導体基板を形成している。そして、HBT の真性領域を形成する部分とコレクタ引き出し層を形成する部分を除いた基板表面上に第 2 のコレクタ・ベース分離絶縁膜 57 と第 3 のコレクタ・ベース分離絶縁膜 58 を形成し、この上にはベース引き出し層となる高濃度 p 型多結晶 Si 層 59 を堆積し、更に絶縁膜 60 を形成している。HBT の真性領域を形成する部分には開口部を設けており、その側壁に第 1 のエミッタ・ベース分離絶縁膜 61 を形成したら、開口部下部に高濃度コレクタとなる n 型単結晶 Si 層 62 を形成する。開口部底面の n 型単結晶 Si 層 53 の表面が露出している領域には、コレクタとなる n 型単結晶 SiGe 層 63、ベースとなる高濃度 p 型単結晶 SiGe 層 9、及びエミッタとなる高濃度 n 型単結晶 Si 層 11 を順次選択エピタキシャル成長により形成している。更に、高濃度 p 型単結晶 SiGe 層 9 と同時に、開口部に露出している高濃度 p 型多結晶 Si 層 59 の下部に外部ベースとなる高濃度 p 型多結晶 SiGe 層 64 を形成している。又、エミッタの側面には第 2 のエミッタ・ベース分離絶縁膜 65 と第 3 のエミッタ・ベース分離絶縁膜 66 を形成している。更に、エミッタ引き出し電極として高濃度 n 型多結晶 Si 層 67 を形成しており、基板全面には開口部を有する絶縁膜 68 を堆積している。更には、絶縁膜 68 の開口部の中に金属膜からなるコレクタ電極 69、ベース電極 70、そしてエミッタ電極 71 を形成している。

20

30

【0075】

図 10 A より図 10 D に、図 9 に示した構造を有する HBT を実現するための製造方法のフロー図を示す。これらの図は、HBT の製造工程のうち主要なものを示しており、更に HBT の真性領域近傍における縦断面構造を示している。

【0076】

Si 基板 51 上にいわゆる埋め込み層である高濃度 n 型単結晶 Si 層 52 から素子分離絶縁膜 56 までを形成する工程は、第 3 の実施例の場合と同様であるので説明は省略する。

40

【0077】

次に、基板上に Si 酸化膜が好適な第 2 のコレクタ・ベース分離絶縁膜 57 と Si 窒化膜が好適な第 3 のコレクタ・ベース分離絶縁膜 58 を形成する。さらに、ベース引き出し層となる高濃度 p 型多結晶 Si 層 59、及び絶縁膜 60 を順に堆積する。この後、HBT の真性領域を形成する部分にある絶縁膜 60 と p 型多結晶 Si 層 59 に開口部を形成し、さらに、この開口部の側壁にエミッタ・ベース分離絶縁膜 61 を形成した後、開口部にイオン打ち込み法により、高濃度コレクタとなる n 型単結晶 Si 層 62 を形成する。このとき、不純物濃度は、コレクタの空乏層が拡がることによりコレクタ内における電子の走行

50

時間が増大し、トランジスタの動作速度が低下するのを防ぐため、約 $1 \times 10^{18} \text{ cm}^{-3}$ とすれば好適である。以上により、図 10 A に示す構造を得る。

【0078】

次に、開口部において、第 3 のコレクタ・ベース分離絶縁膜 58 と第 2 のコレクタ・ベース分離絶縁膜 57 を例えばウェットエッチングにより除去し、n 型単結晶 Si 層 53 の表面を露出させる。このとき、ベース引き出し層 59 の下面も同時に露出する。以上により、図 10 B に示す構造を得る。

【0079】

この後、第 1 の実施例や第 3 の実施例と同様の方法で基板の洗浄を行い、半導体製造装置に基板を設置し、第 1 の実施例で説明した第 2 の成長室の方に基板を搬送する。実施例 1 と同様に基板のクリーニング後、基板が成長温度で安定になるのを待ってから、開口部のみにコレクタとなる n 型単結晶 Si Ge 層 63 を選択成長させる。選択エピタキシャル成長の方法は先の実施例で説明したものを同様に利用することができるので説明は省略する。成長条件については、ベース引き出し層 59 の下面に露出した多結晶 Si 層の表面に n 型多結晶 Si Ge 層が成長しないような条件とすればよい。又、n 型単結晶 Si Ge 層 63 の膜厚やドーピング濃度、更に、C 添加に関しては、第 3 の実施例において説明した n 型単結晶 Si Ge 層 8 の場合と同様である。

【0080】

次いで、第 2 の成長室から搬送室を介して第 1 の成長室に基板を搬送する。そして、特に基板のクリーニングは行わずに、ベースとなる p 型単結晶 Si Ge 層 9 を選択エピタキシャル成長によって形成する。このとき、成長方法は先の実施例と同様のものを適用することが出来るが、成長条件については、絶縁膜上には多結晶層は成長しないが、ベース引き出し層 59 の下面に露出した多結晶 Si 層の表面には外部ベースとなる高濃度 p 型多結晶 Si Ge 層 64 が成長するような条件とする。例えば、n 型単結晶 Si Ge 層 63 を形成するときよりも高濃度 p 型単結晶 Si Ge 層 9 を形成するときの成長圧力を上昇させればよい。また、高濃度 p 型単結晶 Si Ge 層 9 の膜厚や Ge 組成比、ドーピング濃度、更に C 添加に関しては、第 3 の実施例において説明したベース層のものと同様である。

【0081】

更にこの後、第 1 の成長室 100 から搬送室 101 を介して第 2 の成長室 102 に基板を搬送する。そして、特に基板のクリーニングは行わずに、エミッタとなる n 型単結晶 Si 層 11 を選択エピタキシャル成長によって形成する。このときの成長方法は先の実施例と同様のものを適用することが出来る。しかし成長条件については、ベース引き出し層 59 の下面に形成された外部ベースとなる高濃度 p 型多結晶 Si Ge 層 64 上に高濃度 n 型多結晶 Si 層が形成されないような条件とする。又、高濃度 n 型単結晶 Si 層 11 の膜厚やドーピング濃度、更に、C 添加に関しては、第 3 の実施例において説明したエミッタ層のものと同様である。以上により、図 10 C に示す構造が得られる。

【0082】

次に、開口部の側壁に、第 2 のエミッタ・ベース分離絶縁膜 65 と第 3 のエミッタ・ベース分離絶縁膜 66 を順次形成する。次いで、エミッタ引き出し層となる高濃度の P を含んだ p 型多結晶 Si 層 67 を堆積したら、図 10 D に示す本実施形態における Si Ge HBT の真性領域が完成する。

【0083】

本実施例によれば、第 3 の実施例で示した図 8 と同じように、ベース/コレクタおよびエミッタ/ベース界面において酸素や炭素の汚染濃度を低く抑えることができる。これにより結晶性が良好な多層膜が形成され、第 3 の実施例の HBT と同様にベース抵抗やエミッタ抵抗の低減による HBT の動作速度向上が可能という利点がある。更に、リーク電流や $1/f$ ノイズが低減されるとともに、本実施例の場合は、真性ベースである高濃度 p 型単結晶 Si Ge 層 9 とベース引き出し層である高濃度 p 型多結晶 Si 層 59 とが、高濃度 p 型多結晶 Si Ge 層からなる外部ベース 64 を介して自己整合的に接合している。このことから、寄生抵抗及び寄生容量を低減することができる。従って、高性能な Si Ge

10

20

30

40

50

H B T の形成が可能である。

【 0 0 8 4 】

< 実施例 5 >

図 1 1 は、本願発明の第 5 の実施例であって、p M O D F E T の縦断面構造を示す図である。S i 基板 8 1 上に n ウェル 8 4、バッファ層 8 7 を形成しており、この上には単結晶 S i 層と単結晶 S i G e 層からなる多層膜 8 8、8 9、9 0、9 1 を連続的にエピタキシャル成長させている。さらに、ゲート絶縁膜 9 2 とゲート電極 9 3、そしてソース 9 5 a 及びドレイン 9 5 b を形成している。

【 0 0 8 5 】

次に、図 1 1 に示した構造を有する p M O D F E T を作製するときのフローを図 1 2 A 10
より図 1 2 D に示す。これらの図は、製造工程における代表的なものであり、また p M O
D F E T の真性領域近傍における縦断面構造を示している。

【 0 0 8 6 】

S i 基板 8 1 上にフィールド絶縁膜 8 2 を形成し、次に素子分離絶縁膜 8 3 を形成する。素子分離絶縁膜 8 3 は、絶縁膜と多結晶 S i の積層膜であっても良い。次いで、基板全面に絶縁膜 8 5 を形成する。この絶縁膜 8 5 は、後ほど行う選択エピタキシャル成長のマスク材となることから、選択性の大きい S i 酸化膜にすれば好適である。そして、p M O D F E T を形成する領域に n 型のドーパントを選択的にイオン注入することにより n ウェル 8 4 を形成する。以上により、図 1 2 A に示す構造を得る。

【 0 0 8 7 】

次いで、p M O D F E T の真性部分を形成するために絶縁膜 8 5 とフィールド絶縁膜 8 2 に開口部を形成し、この開口部の側壁に S i 窒化膜 8 6 を選択的に形成する。さらにこの後、開口部内に単結晶 S i G e 層からなるバッファ層 8 7 を選択成長する。成長方法や条件は、例えば第 1 の実施例に示したものを同様に用いることができる。ここで、S i 基板 8 1 上に S i 窒化膜 8 6 の開口部を形成したことにより、S i 酸化膜と比較して選択性が弱くなることから、S i 窒化膜上に多結晶 S i 又は多結晶 S i G e が堆積しやすくなっている。しかし、エピタキシャル成長を続けると、S i 窒化膜に接して単結晶 S i 又は単結晶 S i G e 層が成長することから、開口部内にファセットの発生が抑制されたバッファ層 8 7 を形成することが可能である。尚、側壁に S i 窒化膜 8 6 を形成するかわりに、フィールド絶縁膜 8 2 を S i 窒化膜で形成してもよい。バッファ層 8 7 では S i 基板 8 1 側 30
から表面に向けて G e 組成比を増加させる。これにより、バッファ層に内包される格子歪みを緩和することによって、表面の結晶性は良好で、格子定数は単結晶 S i G e 層の値となる仮想的な基板を形成する。例えば、G e 組成比を S i 基板 8 1 側から表面側に向かって 5 % から 3 0 % まで均一に上昇させ、バッファ層 8 7 の膜厚を約 1 . 5 μm とすれば、格子歪みが内部で完全に緩和する。又、均一ではなく、階段状に G e 組成比を増加させるとバッファ層 8 7 の膜厚を低減することができ、約 1 . 0 μm で良好な結晶表面が得られる。以上により、図 1 2 B に示す構造を得る。

【 0 0 8 8 】

次に、バッファ層 8 7 上に単結晶 S i と単結晶 S i G e からなる多層膜 8 8、8 9、9 0、9 1 を選択エピタキシャル成長によって形成する。ここでも、成長方法や条件は例え 40
ば第 1 の実施例に示したものを同様に用いることができる。まず始めに、第 1 の成長室に基板を搬送して、バッファ層 8 7 の上には p 型ドーパントを含んだキャリア供給層 8 8 を選択エピタキシャル成長させる。キャリア供給層 8 8 の G e 組成比は、バッファ層 8 7 の表面側と同じ値にすればよく、ドーピング濃度はチャンネル層への拡散を抑制するために $1 \times 10^{20} \text{ cm}^{-3}$ 以下であればよい。膜厚は、エピタキシャル成長の制御性が良い 1 n m 以上とすれば好適である。次いで、第 1 の成長室 1 0 0 から搬送室 1 0 1 を介して第 2 の成長室 1 0 2 に基板を搬送する。そして、特に基板のクリーニングは行わずに、キャリアを閉じこめるための障壁層となる単結晶 S i G e からなるスペーサー層 8 9 を形成する。G e 組成比はキャリア供給層 8 8 の表面側と同じ値にすればよく、膜厚は、エピタキシャル成長の制御性が良い 1 n m からチャンネル層へキャリアが供給される 5 0 n m の範囲とす 50

ればよい。尚、これまでに説明した従来例では、第2の成長室102での成長のときn型のドーピングを行っていたが、ドーピングガスを流さないことにより、スペーサー層89のようなアンドープ層を形成することも可能である。更に、これは、第1の成長室についても同様に言えることである。この後、同じ第2の成長室102で、単結晶SiGe層からなるチャンネル層90を形成する。Ge組成比はスペーサー層89よりも高くすることにより圧縮歪みを受けた状態とする。例えば、スペーサー層89のGe組成比30%に対して、チャンネル層90のGe組成比を50%とする。これにより、チャンネル層90は圧縮歪みを受けて価電子帯のバンドが変化することから、チャンネル層90における価電子帯の正孔に対するエネルギーが下がり、量子井戸構造が形成される。キャリア供給層88から供給されたキャリアはこの井戸層にたまり、二次元正孔ガスとなる。チャンネル層90の膜厚は、エピタキシャル成長の制御性が良い1nm以上とすればよい。さらにこの後、同じ第2の成長室102で、キャリアの障壁層となるとともに、SiGe層の保護をする単結晶Siからなるキャップ層91を形成する。膜厚は、ゲート電極からの制御を行うため、エピタキシャル成長の制御性が良い1nmからゲート電極でチャンネル層のキャリアの制御ができる50nmであれば好適である。ここで、チャンネル中のキャリアが不純物に散乱されると移動度が低下してしまうため、チャンネル層90中では、ドーパントの濃度を出来る限り低くする必要がある。好ましくは $5 \times 10^{16} \text{ cm}^{-3}$ 以下とし、また $1.45 \times 10^{10} \text{ cm}^{-3}$ 以上とするのがよい。以上により、図12Cに示す構造を得る。

10

【0089】

本実施例では、キャリア供給層88がチャンネル層90とバッファ層87の間にあるが、キャリア供給層88はチャンネル層90よりも表面側にあってもよい。その場合はチャンネル層、スペーサー層を第1の成長室100で形成し、このあと第2の成長室102に搬送し、キャリア供給層、キャップ層を第2の成長室102で形成する。また、これらの多層膜を形成する際には、第2の成長室102におけるドーパント濃度が十分に低くなっていることが前提である。

20

【0090】

次いでゲート絶縁膜92とゲート電極93を形成し、このあとゲート電極の側壁にゲート・ソース及びゲート・ドレイン分離絶縁膜94を形成すると図12Dに示す構造を得る。

【0091】

最後に選択的にp型のドーパントをイオン注入することによりソース95a及びドレイン95bを形成すると図11に示した構造を得る。

30

【0092】

本実施例ではpMODFETとその製造方法を示したが、反対導電型のnMODFETについても、基本的にドーピングをp型からn型に変更するだけで構造や製造方法はpMODFETのものと同様に扱うことができる。

【0093】

本実施例によれば、第1の成長室から第2の成長室に基板を搬送して多層膜の成長を行っているので、キャリア供給層以外でのドーパント濃度の低減と、界面の汚染物低減が実現される。従って、界面汚染に起因する欠陥により生じたエネルギー準位や界面準位によってキャリアが散乱されることがないことから、移動度の低下やリーク電流を抑制され、さらに雑音特性の改善が可能となる。

40

【0094】

以上、本願発明を詳細に説明したが、以下に主な発明の実施の形態を列挙する。

(1) 単結晶基板上に第1の成長室で第1の半導体層を形成する第1の工程と、前記第1の工程の後に第1の成長室から搬送室を介して第2の成長室に基板の搬送を行う第2の工程と、前記第2の工程後に前記第1の半導体層の上に第2の成長室で第2の半導体層を形成する第3の工程を少なくとも有する半導体装置の製造方法であって、前記第2の工程において、第1の半導体層の表面原子数よりも第1の半導体層の表面原子と結合している水素の原子数の方が少ないときは水素を供給し、第1の半導体層の表面原子数よりも第1の

50

半導体層の表面原子と結合している水素の原子数の方が多きときは水素の供給を停止することを特徴とする半導体装置の製造方法。

(2) 単結晶基板上に第1の成長室で第1の半導体層を形成する第1の工程と、前記第1の工程の後に第1の成長室から搬送室に基板の搬送を行い、さらにこの後搬送室から第1の成長室に基板を戻す第2の工程と、前記第2の工程の後に前記第1の半導体層の上に第1の成長室で第2の半導体層を形成する第3の工程を少なくとも有する半導体装置の製造方法であって、前記第2の工程において、第1の半導体層の表面原子数よりも第1の半導体層の表面原子と結合している水素の原子数の方が少ないときは水素を供給し、第1の半導体層の表面原子数よりも第1の半導体層の表面原子と結合している水素の原子数が多いときは水素の供給を停止することを特徴とする半導体装置の製造方法。

10

(3) 前記第1の半導体層の表面原子数よりも第1の半導体層の表面原子と結合している水素の原子数の方が少なくなる温度が250以上500以下である前項(1)又は(2)に記載の半導体装置の製造方法。

(4) 前記第1の半導体層の表面原子数よりも第1の半導体層の表面原子と結合している水素の原子数の方が多くなる温度が50以上250以下である前項(1)より(3)に記載の半導体装置の製造方法。

(5) 前記第1の工程で第1導電型の第1の半導体層を形成し、前記第3の工程で第1導電型と反対導電型である第2導電型の第2の半導体層を形成することを特徴とする前項(1)より(4)に記載の半導体装置の製造方法。

(6) 前記単結晶基板はSi、或いはSiとGeとを主成分としての含有量を含んでいる前項(1)より(5)に記載の半導体装置の製造方法。

20

(7) 前記第1の半導体層はSi、或いはSiとGeとを主成分としての含有量を含んでいる前項(1)より(6)に記載の半導体装置の製造方法。

(8) 前記第2の半導体層はSi、或いはSiとGeとを主成分としての含有量を含んでいる前項(1)より(7)に記載の半導体装置の製造方法。

(9) 前記第1導電型の不純物がBであって、前記第2導電型の不純物がPあるいはAsである前項(5)より(8)に記載の半導体装置の製造方法。

(10) 前記第1導電型の不純物がPあるいはAsであって、前記第2導電型の不純物がBである前項(5)より(8)に記載の半導体装置の製造方法。

(11) 前記第1の半導体層と前記第2の半導体層の少なくともどちらか一方にCを添加している前項(1)より(10)に記載の半導体装置の製造方法。

30

【0095】

以下は、本願発明になる半導体装置の代表的な諸形態である。

(12) 単結晶基板上に形成された、ドーピング濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上である第1導電型の第1の半導体層と、該第1の半導体層上に形成された、ドーピング濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上である、第1導電型と反対導電型である第2導電型の第2の半導体層とを有し、前記第1の半導体層と前記第2の半導体層の界面における酸素濃度と炭素濃度が共に約 $1 \times 10^{19} \text{ cm}^{-3}$ 以下であることを特徴とする半導体装置。

(13) 単結晶基板上に形成された、ドーピング濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上である第1導電型の第1の半導体層と、該第1の半導体層上に形成された、ドーピング濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以下である、第1導電型と反対導電型である第2導電型の第2の半導体層とを有し、前記第1の半導体層と前記第2の半導体層の界面における酸素濃度と炭素濃度が共に約 $1 \times 10^{19} \text{ cm}^{-3}$ 以下であることを特徴とする半導体装置。

40

【0096】

上記した半導体装置は、例えばHBTの場合、ヘテロ接合界面における酸素・炭素濃度低減により、エミッタからコレクタへの電子の拡散が抑制されることがない。これによって、コレクタ電流が増大し、さらに電流増幅率が向上することからHBTが高性能化する。又、MODFETの場合には、ヘテロ接合界面の酸素・炭素濃度が低減すると、界面散乱が抑制されることによりモビリティが向上することからMODFETが高性能化する。より具体的には動作速度が向上する。

50

【 0 0 9 7 】

以上、本願諸本発明によれば、複数の半導体層からなる多層膜において、基板搬送中の汚染を抑制して各半導体層の界面における酸素や炭素濃度を低減することによって、結晶性の向上を可能とするものである。本発明を利用した半導体装置の諸特性の向上は、その設計に勿論依存するが、例えば、動作速度の向上であり、リーク電流が抑制、 $1/f$ ノイズの低減などを具体的に例示することが出来る。例えば、SiGe HBTにおける高濃度のp型単結晶半導体層からなるベースと高濃度のn型単結晶半導体層からなるエミッタを形成すれば、動作速度が大幅に向上するだけでなく、リーク電流が抑制され、 $1/f$ ノイズが低減できる。従って、HBTだけでなく、これを用いた集積回路の高性能化が達成も可能である。

10

【 図面の簡単な説明 】

【 0 0 9 8 】

【 図 1 】 図 1 は、本発明に係る半導体装置の製造方法の第 1 の実施形態であって、成長シーケンスを示す図である。

【 図 2 】 図 2 は、図 1 に示した成長を実施するために必要な半導体製造装置の構成図である。

【 図 3 】 図 3 は、図 1 に示した成長シーケンスにより製造した半導体装置の断面構造を示す図である。

【 図 4 】 図 4 は、本発明に係る半導体装置の製造方法の第 2 の実施形態であって、成長シーケンスを示す図である。

20

【 図 5 】 図 5 は、図 4 に示した成長を実施するために必要な半導体製造装置の構成図である。

【 図 6 】 図 6 は、本発明に係る半導体装置の製造方法の第 3 の実施形態であって、SiGe HBTの縦断面構造を示す図である。

【 図 7 A 】 図 7 A は、図 6 に示した本願発明に係るHBTの製造方法を工程順に示す部分拡大断面図である。

【 図 7 B 】 図 7 B は、図 6 に示した本願発明に係るHBTの製造方法を工程順に示す部分拡大断面図である。

【 図 7 C 】 図 7 C は、図 6 に示した本願発明に係るHBTの製造方法を工程順に示す部分拡大断面図である。

30

【 図 7 D 】 図 7 D は、図 6 に示した本願発明に係るHBTの製造方法を工程順に示す部分拡大断面図である。

【 図 7 E 】 図 7 E は、図 6 に示した本願発明に係るHBTの製造方法を工程順に示す部分拡大断面図である。

【 図 8 】 図 8 は、図 6 に示したSiGe HBTの真性領域におけるプロファイルを示す図である。

【 図 9 】 図 9 は、本発明に係る半導体装置の製造方法の第 4 の実施形態であって、SiGe HBTの縦断面構造を示す図である。

【 図 10 A 】 図 10 A は、図 9 に示した本願発明に係るHBTの製造方法を工程順に示す部分拡大断面図である。

40

【 図 10 B 】 図 10 B は、図 9 に示した本願発明に係るHBTの製造方法を工程順に示す部分拡大断面図である。

【 図 10 C 】 図 10 C は、図 9 に示した本願発明に係るHBTの製造方法を工程順に示す部分拡大断面図である。

【 図 10 D 】 図 10 D は、図 9 に示した本願発明に係るHBTの製造方法を工程順に示す部分拡大断面図である。

【 図 11 】 図 11 は、本発明に係る半導体装置の製造方法の第 5 の実施形態であって、MODFETの縦断面構造を示す図である。

【 図 12 A 】 図 12 A は、図 11 に示した本願発明に係るMODFETの製造方法を工程順に示す部分拡大断面図である。

50

【図12B】図12Bは、図11に示した本願発明に係るMODFETの製造方法を工程順に示す部分拡大断面図である。

【図12C】図12Cは、図11に示した本願発明に係るMODFETの製造方法を工程順に示す部分拡大断面図である。

【図12D】図12Dは、図11に示した本願発明に係るMODFETの製造方法を工程順に示す部分拡大断面図である。

【図13】図13は、従来例の半導体装置の製造方法の実施形態であって、成長シーケンスを示す図である。

【符号の説明】

【0099】

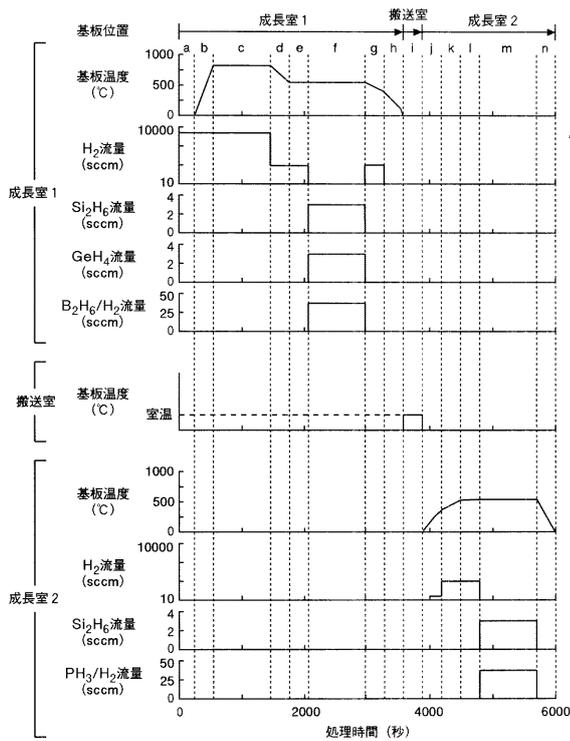
1、51、81：単結晶Si基板、2、52：高濃度n型単結晶Si埋め込み層、3、53：n型単結晶Si層、4、54：第1のコレクタ・ベース分離絶縁膜、5、55：高濃度n型単結晶Siコレクタ引き出し層、6、56、83：素子分離絶縁膜、7、57：第2のコレクタ・ベース分離絶縁膜、8、63：コレクタn型単結晶SiGe層、9：ベース高濃度p型単結晶SiGe層、10：高濃度p型多結晶SiGe層、11：エミッタ高濃度n型単結晶Si層、12：高濃度n型多結晶Si層、13、15、19、21、60、68、85：絶縁膜、14：半導体層、16：エミッタ・ベース分離絶縁膜、17：ベース引き出し電極（高濃度p型単結晶Si層）、18、59：ベース引き出し電極（高濃度p型多結晶Si層）、20、67：エミッタ引き出し電極（高濃度n型多結晶Si層）、22、69：コレクタ電極、23、70：ベース電極、24、71：エミッタ電極、58：第3のコレクタ・ベース分離絶縁膜、61：第1のエミッタ・ベース分離絶縁膜、62：高濃度コレクタn型単結晶Si層、64：外部ベース（高濃度p型多結晶SiGe層）、65：第2のエミッタ・ベース分離絶縁膜、66：第3のエミッタ・ベース分離絶縁膜、82：フィールド絶縁膜、84：nウェル、86：Si窒化膜、87：バッファ層、88：キャリア供給層（p型単結晶SiGe層）、89：スペーサー層（単結晶SiGe層）、90：チャンネル層（単結晶SiGe層）、91：キャップ層（単結晶Si層）、92：ゲート絶縁膜、93：ゲート電極、94：ゲート・ソース及びゲート・ドレイン分離絶縁膜、95a：ソース、95b：ドレイン。

10

20

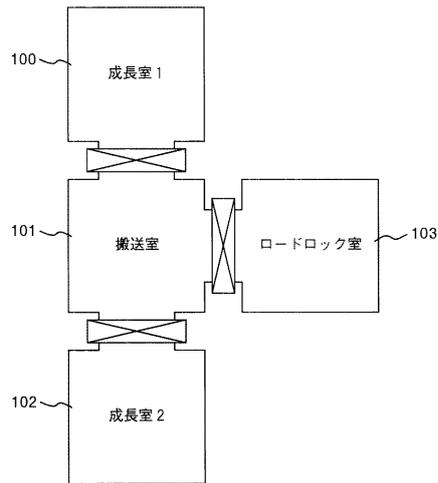
【 図 1 】

図 1



【 図 2 】

図 2



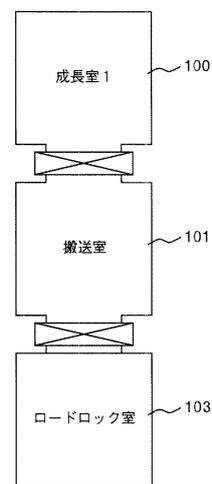
【 図 3 】

図 3



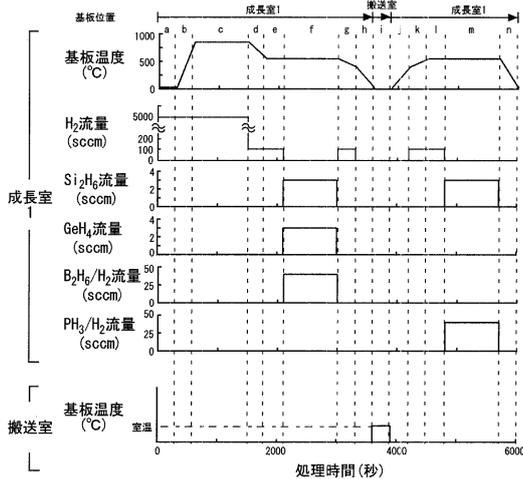
【 図 5 】

図 5



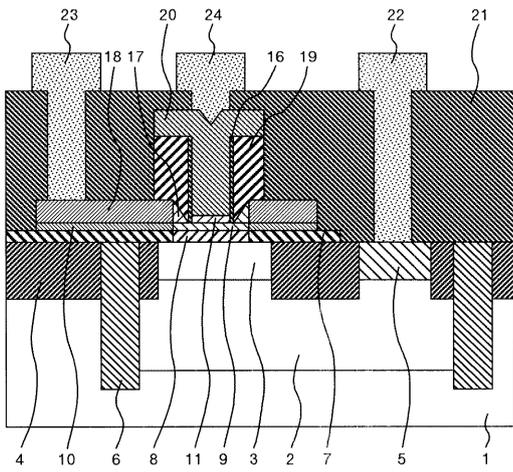
【 図 4 】

図4



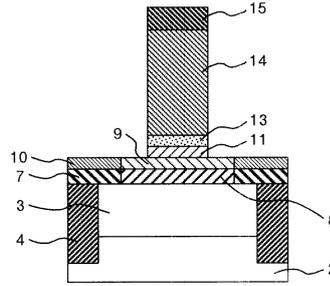
【図6】

図6



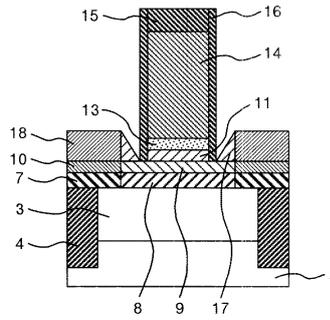
【図7B】

図7B



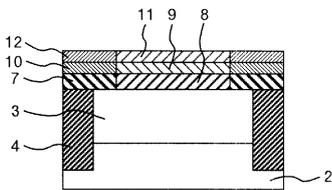
【図7C】

図7C



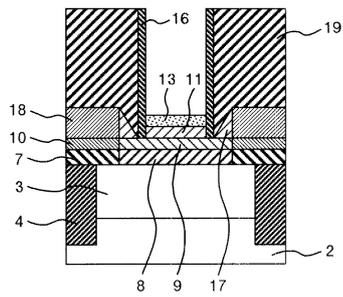
【図7A】

図7A



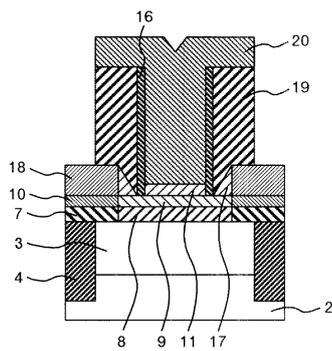
【図7D】

図7D



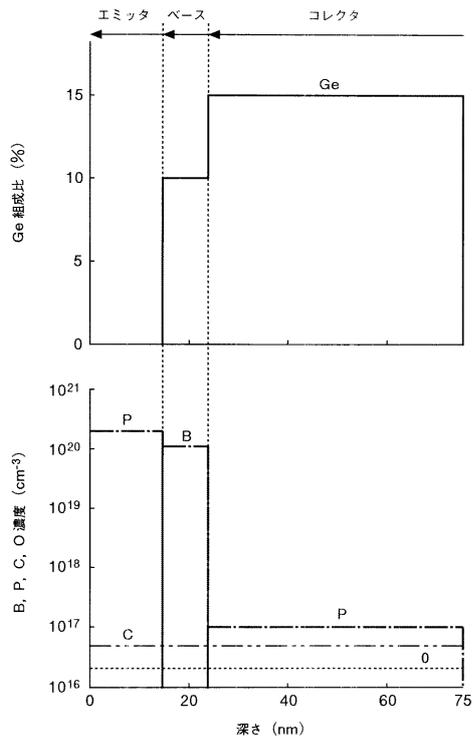
【図7E】

図7E



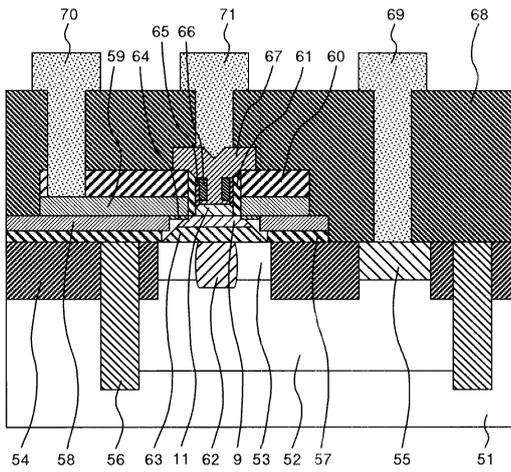
【図8】

図8



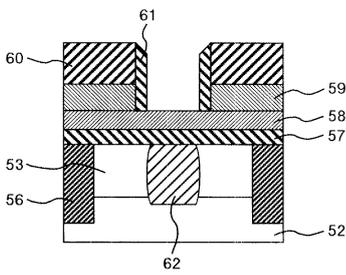
【図 9】

図 9



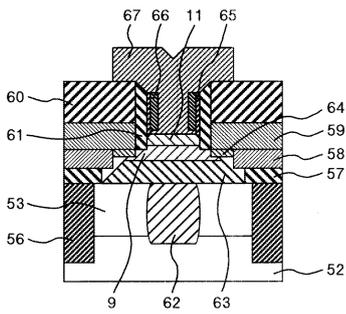
【図 10 A】

図 10 A



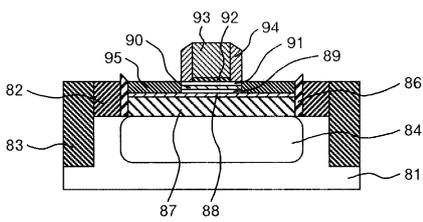
【図 10 D】

図 10 D



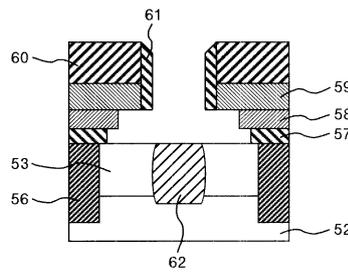
【図 11】

図 11



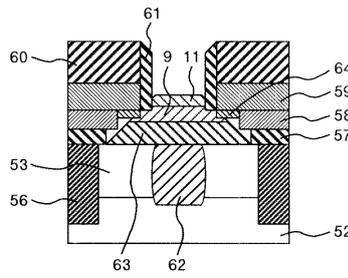
【図 10 B】

図 10 B



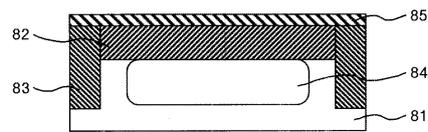
【図 10 C】

図 10 C



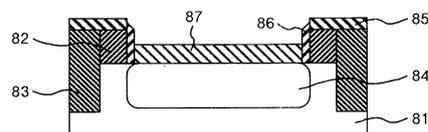
【図 12 A】

図 12 A



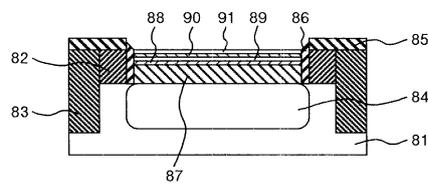
【図 12 B】

図 12 B



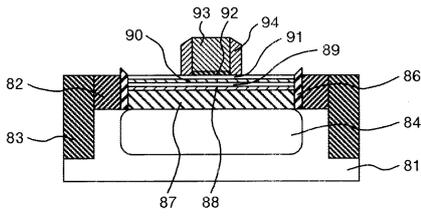
【図 12 C】

図 12 C



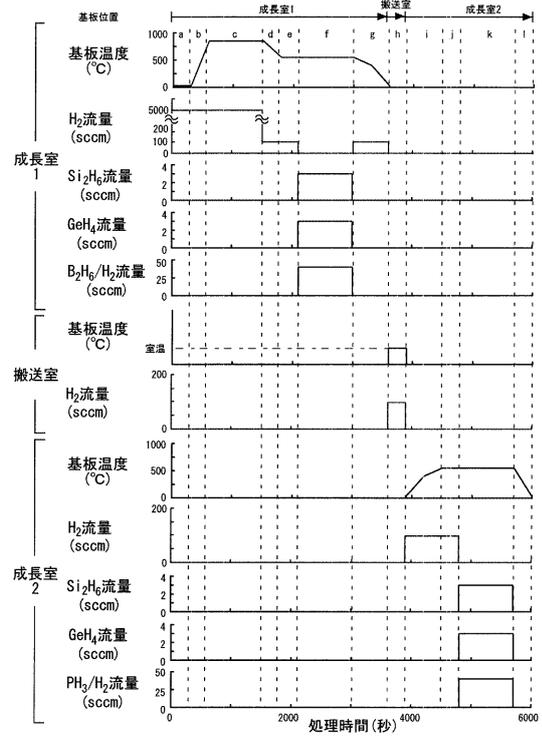
【 図 1 2 D 】

図 1 2 D



【 図 1 3 】

図13



フロントページの続き

Fターム(参考) 5F045 AA06 AA07 AB02 AB05 AC01 AC19 AD10 AD11 AE23 AF03
BB14 CA02 DQ17 EE14