



(12)实用新型专利

(10)授权公告号 CN 209882281 U

(45)授权公告日 2019.12.31

(21)申请号 201790001112.6

(74)专利代理机构 中科专利商标代理有限责任公司 11021

(22)申请日 2017.07.25

代理人 李国华

(30)优先权数据

2016-154366 2016.08.05 JP

2017-123840 2017.06.26 JP

(51)Int.Cl.

H05K 3/46(2006.01)

H01F 17/00(2006.01)

H05K 1/16(2006.01)

(85)PCT国际申请进入国家阶段日

2019.01.28

(86)PCT国际申请的申请数据

PCT/JP2017/026759 2017.07.25

(87)PCT国际申请的公布数据

W02018/025696 JA 2018.02.08

(73)专利权人 株式会社村田制作所

地址 日本京都府

(72)发明人 伊藤慎悟 藤井洋隆

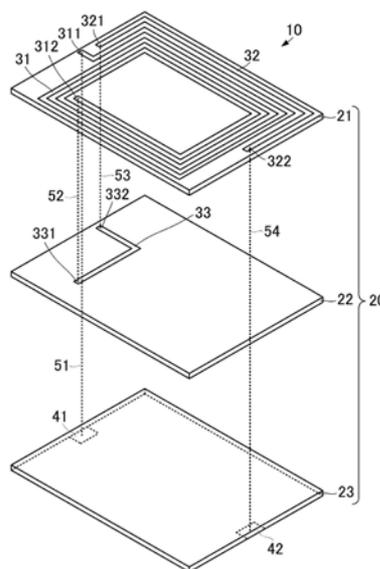
权利要求书2页 说明书12页 附图9页

(54)实用新型名称

多层基板及电子设备

(57)摘要

一种多层基板及电子设备,多层基板(10)具备层叠体(20)、线圈导体图案(31、32)、连接导体图案(33)。层叠体(20)通过层叠多个绝缘体层(21、22、23)而成。线圈导体图案(31)形成于绝缘体层(21)的表面,由具有外端部(311)和内端部(312)的卷绕形构成。线圈导体图案(32)形成于绝缘体层(21)的表面,且具有端部(321、322)。连接导体图案(33)形成于层叠体(20),且与线圈导体图案(31、32)连接。线圈导体图案(31)的外端部(311)与层叠体(20)的背面的端子导体(41)连接。线圈导体图案(32)的端部(322)与层叠体(20)的背面的端子导体(42)连接。线圈导体图案(32)沿着线圈导体图案(31)的外周并行。



1. 一种多层基板,其特征在于,  
所述多层基板具备:  
层叠体,其层叠有多个绝缘体层;  
第一线圈导体图案,其形成于所述多个绝缘体层中的至少所述层叠体的表层的绝缘体层的表面、即所述层叠体的表面,由具有第一端和第二端的卷绕形构成;  
第二线圈导体图案,其形成于所述表层的绝缘体层的表面,且具有第三端和第四端;  
连接导体图案,其形成于所述层叠体,且将所述第一线圈导体图案与所述第二线圈导体图案连接;以及  
第一端子导体及第二端子导体,其形成于所述层叠体,  
所述第一线圈导体图案的所述第一端与所述第一端子导体连接,  
所述第二线圈导体图案的所述第四端与所述第二端子导体连接,  
所述连接导体图案将所述第一线圈导体图案的所述第二端与所述第二线圈导体图案的所述第三端连接,  
从所述多个绝缘体层的层叠方向观察时,所述第一端子导体及所述第二端子导体配置于夹着所述第一线圈导体图案的位置,  
所述第二线圈导体图案沿着所述表层的所述第一线圈导体图案的外周且仅与所述第一线圈导体图案的一部分并行地配置,  
所述第二线圈导体图案与所述第一线圈导体图案的一部分并行地配置的部位是并行部,  
对于所述第二线圈导体图案,所述并行部处的所述第一线圈导体图案的电流方向与所述第二线圈导体图案的电流方向相同,  
所述并行部配置在所述第一线圈导体图案的延伸方向上的接近所述第一端部的位置。
2. 根据权利要求1所述的多层基板,其特征在于,  
所述多层基板具备覆盖所述层叠体的表面的电介质层。
3. 根据权利要求2所述的多层基板,其特征在于,  
所述电介质层的相对介电常数高于所述绝缘体层的相对介电常数。
4. 根据权利要求1至3中任一项所述的多层基板,其特征在于,  
在所述并行部具备对所述第一线圈导体图案与所述第二线圈导体图案之间的距离进行了调整的分隔距离调整部。
5. 根据权利要求1所述的多层基板,其特征在于,  
所述第一线圈导体图案形成于包含所述表层的两层以上的绝缘体层。
6. 根据权利要求1所述的多层基板,其特征在于,  
所述第一端子导体及所述第二端子导体形成于所述层叠体的背面。
7. 根据权利要求1所述的多层基板,其特征在于,  
所述多层基板具备:  
布线导体图案,其将所述第一端与所述第一端子导体之间连接,或者将所述第四端与所述第二端子导体之间连接;  
线圈部,其在从所述多个绝缘体层的层叠方向观察时,配置有所述第一线圈导体图案、所述第二线圈导体图案及所述连接导体图案;以及

布线部,其在从所述层叠方向观察时,配置有所述布线导体图案,  
所述层叠体具有可挠性,并且具有相互对置的第一主面及第二主面,  
所述第一主面是形成有所述第一线圈导体图案及所述第二线圈导体图案的所述表层的所述绝缘体层的所述表面。

8. 一种电子设备,其特征在于,

所述电子设备具备:

权利要求7所述的多层基板;以及  
形成导体图案的电路板,

在从所述层叠方向观察时,所述线圈部的至少一部分与所述电路板的所述导体图案重叠,

所述线圈部与所述导体图案重叠的部分处的所述第一主面与所述导体图案之间的距离,大于所述线圈部与所述导体图案重叠的部分处的所述第二主面与所述导体图案之间的距离。

9. 一种电子设备,其特征在于,

所述电子设备具备:

权利要求7所述的多层基板;  
电路板;以及

安装于所述电路板的安装部件,

在从所述层叠方向观察时,所述线圈部的至少一部分与所述安装部件重叠,

所述线圈部与所述安装部件重叠的部分处的所述第一主面与所述安装部件之间的距离,大于所述线圈部与所述安装部件重叠的部分处的所述第二主面与所述安装部件之间的距离。

10. 一种电子设备,其特征在于,

所述电子设备具备权利要求7所述的多层基板,

所述多层基板在所述布线部具有弯曲部,

在从所述层叠方向观察时,所述线圈部的至少一部分与所述第一端子导体重叠,

所述线圈部与所述第一端子导体重叠的部分处的所述第一主面与所述第一端子导体之间的距离,大于所述线圈部与所述第一端子导体重叠的部分处的所述第二主面与所述第一端子导体之间的距离。

11. 根据权利要求10所述的电子设备,其特征在于,

在从所述层叠方向观察时,所述线圈部的至少一部分与所述第二端子导体重叠,

所述线圈部与所述第二端子导体重叠的部分处的所述第一主面与所述第二端子导体之间的距离,大于所述线圈部与所述第二端子导体重叠的部分处的所述第二主面与所述第二端子导体之间的距离。

## 多层基板及电子设备

### 技术领域

[0001] 本实用新型的一实施方式涉及具备线圈和电容器的多层基板及具备该多层基板的电子设备。

### 背景技术

[0002] 在专利文献1中公开了具备由线圈和电容器的并联电路构成的滤波器的多层基板。专利文献1所记载的多层基板通过层叠多个层而成。在各层形成有卷绕形的线圈导体。各层的线圈导体通过层间连接导体而连接。根据该结构，多层基板具备具有与层叠方向平行的线圈轴的螺旋状线圈。

[0003] 线圈的一端与第一侧面导体连接，线圈的另一端与第二侧面导体连接。第一侧面导体形成于层叠体中的相互对置的两个侧面内的一个侧面，第二侧面导体形成于另一个侧面。根据该结构，第一侧面导体与第二侧面导体夹着层叠体以规定面积对置。由此，多层基板具备电容器。

[0004] 在先技术文献

[0005] 专利文献

[0006] 专利文献1：日本特开2000-196391号公报

### 实用新型内容

[0007] 实用新型要解决的课题

[0008] 然而，在专利文献1所记载的多层基板中，安装该多层基板的外部的电路基板的连接盘导体的形状受到限制。因此，有时多层基板向外部的电路基板的安装变得困难。

[0009] 另外，在专利文献1所记载的多层基板中，第一侧面电极及第二侧面电极有时会与接近它们的线圈导体形成不需要的电容。由此，有时无法实现所希望的滤波器特性。

[0010] 因此，本实用新型的一实施方式的目的，在于提供一种具备线圈和电容器、且向外部的电路基板的安装容易、并且抑制了不需要的电容的形成的多层基板、以及具备该多层基板的电子设备。

[0011] 用于解决课题的手段

[0012] 本实用新型的一实施方式的多层基板具备层叠体、第一线圈导体图案、第二线圈导体图案、连接导体图案、第一端子导体及第二端子导体。层叠体通过层叠多个绝缘体层而成。第一线圈导体图案形成于多个绝缘体层中的至少层叠体的表层的绝缘体层的表面，由具有第一端和第二端的卷绕形构成。第二线圈导体图案形成于表层的绝缘体层的表面，且具有第三端和第四端。连接导体图案形成于层叠体，且将第一线圈导体图案与第二线圈导体图案连接。第一端子导体及第二端子导体形成于层叠体。第一线圈导体图案的第一端与第一端子导体连接。第二线圈导体图案的第四端与第二端子导体连接。连接导体图案将第一线圈导体图案的第二端与第二线圈导体图案的第三端连接。从多个绝缘体层的层叠方向观察时，第一端子导体及第二端子导体配置于夹着第一线圈导体图案的位置。第二线圈导

体图案沿着表层的第一线圈导体图案的外周并且仅与第一线圈导体图案的一部分并行地配置。并行部处的第一线圈导体图案的电流方向与第二线圈导体图案的电流方向相同。并行部配置在第一线圈导体图案的延伸方向上的接近第一端部的位置。

[0013] 在该结构中,由第一线圈导体图案与第二线圈导体图案的串联构造形成线圈。由第一线圈导体图案与第二线圈导体图案的并行部形成电容器。即,也由形成线圈的导体形成电容器。即使第一端子导体及第二端子导体配置于分离的位置,因为线圈的两端位置与电容器的两端位置大致一致,所以也能够更加准确地实现所希望的LC并联电路。

[0014] 本实用新型的一实施方式的电子设备的特征在于,具备:

[0015] 上述多层基板;以及

[0016] 形成导体图案的电路基板,

[0017] 在从所述层叠方向观察时,所述线圈部的至少一部分与所述电路基板的所述导体图案重叠,

[0018] 所述线圈部与所述导体图案重叠的部分处的所述第一主面与所述导体图案之间的距离大于所述线圈部与所述导体图案重叠的部分处的所述第二主面与所述导体图案之间的距离。

[0019] 根据该结构,与层叠体的第一主面侧接近于上述导体图案而配置的情况相比,线圈部与导体图案之间的距离变大,能够减小在线圈部与导体图案之间产生的不需要的电容。

[0020] 本实用新型的一实施方式的电子设备的特征在于,具备:

[0021] 上述多层基板;

[0022] 电路基板;以及

[0023] 安装于所述电路基板的安装部件,

[0024] 在从所述层叠方向观察时,所述线圈部的至少一部分与所述安装部件重叠,

[0025] 所述线圈部与所述安装部件重叠的部分处的所述第一主面与所述安装部件之间的距离大于所述线圈部与所述安装部件重叠的部分处的所述第二主面与所述安装部件之间的距离。

[0026] 根据该结构,与层叠体的第一主面侧接近于上述安装部件而配置的情况相比,线圈部与安装部件之间的距离变大,能够抑制在线圈部与安装部件之间产生的不需要的电容。

[0027] 本实用新型的一实施方式的电子设备的特征在于,

[0028] 具备上述多层基板,

[0029] 所述多层基板在所述布线部具有弯曲部,

[0030] 在从所述层叠方向观察时,所述线圈部的至少一部分与所述第一端子导体重叠,

[0031] 所述线圈部与所述第一端子导体重叠的部分处的所述第一主面与所述第一端子导体之间的距离大于所述线圈部与所述第一端子导体重叠的部分处的所述第二主面与所述第一端子导体之间的距离。

[0032] 根据该结构,与层叠体的第一主面侧接近于上述第一端子导体而配置的情况相比,线圈部与第一端子导体之间的距离变大,能够减小在线圈部与第一端子导体之间产生的不需要的电容。

[0033] 实用新型效果

[0034] 根据本实用新型的一实施方式,即使第一端子导体及第二端子导体配置于分离的位置,因为线圈的两端位置与电容器的两端位置大致一致,所以也能够更加准确地实现所希望的LC并联电路。

#### 附图说明

[0035] 图1是本实用新型的第一实施方式的多层基板10的分解立体图。

[0036] 图2是本实用新型的第一实施方式的多层基板10的分解俯视图。

[0037] 图3是本实用新型的第一实施方式的多层基板10的等效电路图。

[0038] 图4是本实用新型的第二实施方式的多层基板10A的分解立体图。

[0039] 图5是本实用新型的第三实施方式的多层基板10B的分解立体图。

[0040] 图6是本实用新型的第四实施方式的多层基板10C的分解立体图。

[0041] 图7(A)是本实用新型的第五实施方式的多层基板10D的外观立体图,图7(B)是多层基板10D的分解立体图。

[0042] 图8是示出第五实施方式的电子设备305的主要部分的剖视图。

[0043] 图9是示出本实用新型的第六实施方式的电子设备306的主要部分的剖视图。

[0044] 图10是示出本实用新型的第七实施方式的电子设备307的主要部分的剖视图。

#### 具体实施方式

[0045] 《第一实施方式》

[0046] 参照附图对本实用新型的第一实施方式的多层基板进行说明。图1是本实用新型的第一实施方式的多层基板的分解立体图。图2是本实用新型的第一实施方式的多层基板的分解俯视图。图3是本实用新型的第一实施方式的多层基板的等效电路图。

[0047] (多层基板10的电路)

[0048] 如图3所示,多层基板10具备线圈L、电容器C及输入输出端子P1、P2。线圈L与电容器C并联连接。该并联电路连接在输入输出端子P1与输入输出端子P2之间。根据该结构,多层基板10作为由LC并联谐振电路构成的滤波器发挥功能。

[0049] (多层基板10的构造)

[0050] 如图1、图2的(A)、(B)、(C)所示,多层基板10具备层叠体20、线圈导体图案31、32、连接导体图案33、端子导体41及端子导体42。线圈导体图案31对应于本实用新型的第一线圈导体图案,线圈导体图案32对应于本实用新型的第二线圈导体图案。

[0051] 层叠体20为长方体形状,具备绝缘体层21、绝缘体层22、绝缘体层23。绝缘体层21、绝缘体层22、绝缘体层23依次层叠。绝缘体层21、绝缘体层22、绝缘体层23例如由液晶聚合物等绝缘性树脂构成。绝缘体层21为层叠体20的表层的绝缘体层。

[0052] 线圈导体图案31、32形成在绝缘体层21的表面、即层叠体20的表面。线圈导体图案31、32由铜等高导电率且加工性高的材料构成。

[0053] 线圈导体图案31是线状导体,是由多匝的卷绕形构成的螺旋形状。线圈导体图案31在延伸方向的一端具备外端部311,在另一端具备内端部312。外端部311是在螺旋形状的最外周具有的端部,内端部312是在螺旋形状的最内周具有的端部。外端部311对应于本实

用新型的“第一端部”，内端部312对应于本实用新型的“第二端部”。

[0054] 线圈导体图案32是线状导体。线圈导体图案32在延伸方向的一端具备端部321，在另一端具备端部322。端部321对应于本实用新型的“第三端部”，端部322对应于本实用新型的“第四端部”。线圈导体图案32沿着线圈导体图案31的外周并行。更具体而言，如图1、图2的(A)、(B)、(C)所示，端部321接近于线圈导体图案31的外端部311而配置。线圈导体图案32沿着线圈导体图案31中的从外端部311延伸的最外周的部分并行。端部322接近于线圈导体图案31中的最外周的部分的中途位置而配置。

[0055] 根据该结构，线圈导体图案31与线圈导体图案32在线圈导体图案31的外端部311的附近以规定的长度对置。该部分成为图3所示的电容器C。

[0056] 连接导体图案33形成于绝缘体层22中的绝缘体层21侧的面。连接导体图案33是线状导体，由与线圈导体图案31、32相同的材料构成。连接导体图案33在延伸方向的一端具备端部331，在另一端具备端部332。

[0057] 端部331在层叠方向上与线圈导体图案31的内端部312重叠。端部331与内端部312通过在层叠方向上延伸的形状的层间连接导体52而连接。

[0058] 端部332在层叠方向上与线圈导体图案32的端部321重叠。端部332与端部321通过在层叠方向上延伸的形状的层间连接导体53而连接。

[0059] 根据该结构，线圈导体图案31的内端部312与线圈导体图案32的端部321通过连接导体图案33及层间连接导体52、53而连接。因此，实现了将线圈导体图案31与线圈导体图案32连接而成的线圈。该线圈成为图3所示的线圈L。

[0060] 端子导体41、42形成在绝缘体层23中的与绝缘体层22侧相反的一侧的面(层叠体20的背面)。端子导体41对应于本实用新型的“第一端子导体”，端子导体42对应于本实用新型的“第二端子导体”。端子导体41、42为具有规定面积的矩形。端子导体41对应于图3的输入输出端子P1，端子导体42对应于图3的输入输出端子P2。

[0061] 端子导体41在层叠方向上与线圈导体图案31的外端部311重叠。端子导体41与外端部311通过在层叠方向上延伸的形状的层间连接导体51而连接。

[0062] 端子导体42在层叠方向上与线圈导体图案32的端部322重叠。端子导体42与端部322通过在层叠方向上延伸的形状的层间连接导体54而连接。

[0063] 根据该结构，实现了图3所示的电路。而且，通过采用该结构，线圈导体图案31与线圈导体图案32的对置部中的电流的方向成为相同的方向。

[0064] 而且，在该结构中，电容器C通过形成于层叠体20的表面的线圈导体图案31与线圈导体图案32的对置部来实现，因此，形成电容器C的导体部分相对于外部的电路要素及导体图案等难以形成电容。另外，多层基板10的端子导体41、42仅形成于层叠体20的背面。而且，端子导体41、42优选在沿Z方向观察多层基板10时不与线圈导体图案31的开口重叠，此外，优选除了由层间连接导体51、54连接的部分之外，尽量不与线圈导体图案31、32重叠。需要说明的是，端子导体41、42也可以不形成于层叠体20的背面，而形成于表面。

[0065] 在多层基板10中，在电路方面线圈L中的输入输出端子P1侧的规定长度的部分(线圈导体图案31中的接近于端子导体41的规定长度的部分)与在电路方面线圈L中的输入输出端子P2侧的规定长度的部分(线圈导体图案32)形成电容。因此，在等效电路方面，线圈L的输入输出端子P1侧的端部与电容器C的输入输出端子P1侧的端部大致一致。此外，线圈L的输

入输出端子P2侧的端部与电容器C的输入输出端子P2侧的端部一致。

[0066] 因此,多层基板10能够实现具有大电容的LC并联谐振电路,并且能够可靠地实现所希望的电容。由此,多层基板10能够可靠地实现所希望的滤波器特性。

[0067] 另外,在多层基板10中,对置部中的线圈导体图案31的电流的方向与线圈导体图案32的电流的方向相同,因此,彼此的磁场不相互抵消,能够利用小型的层叠体20来实现大电感。

[0068] 需要说明的是,通过使连接导体图案33尽可能地短,从而基于线圈导体图案31、32实现的线圈L的电感的设计变得容易。然而,也可以考虑连接导体图案33的长度来设计线圈L的电感。在该情况下,根据线圈L的电感来决定连接导体图案33的长度即可。另外,优选缩短连接导体图案33与线圈导体图案31重叠的部分的长度。此外,优选重叠的部分处的线圈导体图案31的延伸方向与连接导体图案33的延伸方向正交。由此,能够抑制线圈导体图案31与连接导体图案33的耦合,能够可靠地实现所希望的滤波器特性。

[0069] 《第二实施方式》

[0070] 接下来,参照附图对本实用新型的第二实施方式的多层基板进行说明。图4是本实用新型的第二实施方式的多层基板的分解立体图。

[0071] 本实施方式的多层基板10A与第一实施方式的多层基板10的不同之处在于,具备分离距离调整部60。多层基板10A的其他结构与多层基板10相同,省略相同部位的说明。

[0072] 分离距离调整部60是在线圈导体图案31与线圈导体图案32的对置部中使线圈导体图案31与线圈导体图案32的距离局部地不同的部分。具体而言,将线圈导体图案32中的对应于分离距离调整部60的部分设为窄幅部323。

[0073] 在这样的结构中,能够调整电容器C的电容。因此,能够更加可靠地实现所希望的滤波器特性。

[0074] 《第三实施方式》

[0075] 接下来,参照附图对本实用新型的第三实施方式的多层基板进行说明。图5是本实用新型的第三实施方式的多层基板的分解立体图。

[0076] 本实施方式的多层基板10B与第一实施方式的多层基板10的不同之处在于,追加了电介质层70。多层基板10B的其他结构与多层基板10相同,省略相同部位的说明。

[0077] 多层基板10B具备电介质层70。电介质层70配置于层叠体20的表面。电介质层70覆盖线圈导体图案31及线圈导体图案32。需要说明的是,电介质层70优选未形成导体图案。由此,能够防止形成对于线圈导体图案31、32的不需要的电容。另外,若是具有绝缘性,则电介质层70也可以使用具有磁性的层。由此,能够增大电感。

[0078] 在这样的结构中,电容器C的电容还依赖于电介质层70的相对介电常数。因此,通过将电介质层70的相对介电常数设为所希望的相对介电常数,从而能够使电容器C的电容成为所希望的电容。由此,能够更加可靠地实现所希望的滤波器特性。

[0079] 需要说明的是,电介质层70的相对介电常数优选大于绝缘体层21、22、23的相对介电常数。由此,能够容易地实现大电容,例如能够扩宽可实现滤波器特性的范围。

[0080] 《第四实施方式》

[0081] 接下来,参照附图对本实用新型的第四实施方式的多层基板进行说明。图6是本实用新型的第四实施方式的多层基板的分解立体图。

[0082] 本实施方式的多层基板10C与第一实施方式的多层基板10的不同之处在于,螺旋形状的线圈导体图案形成为多层。多层基板10C的其他结构与多层基板10相同,省略相同部位的说明。

[0083] 多层基板10C具备层叠体20C、线圈导体图案31、32、34、35、36、以及连接导体图案33C。层叠体20C具备绝缘体层21、23、24、25、26。绝缘体层21、23、24、25、26从层叠体20的表面侧朝向背面侧按照绝缘体层21、绝缘体层24、绝缘体层25、绝缘体层26及绝缘体层23的顺序层叠。

[0084] 线圈导体图案31、32与第一实施方式的线圈导体图案31、32相同。线圈导体图案34、35、36为螺旋形状。线圈导体图案34形成于绝缘体层24中的绝缘体层21侧的面。线圈导体图案35形成于绝缘体层25中的绝缘体层24侧的面。线圈导体图案36及连接导体图案33C形成于绝缘体层26中的绝缘体层25侧的面。

[0085] 线圈导体图案31的内端部312经由层间连接导体551而与线圈导体图案34的内端部342连接。线圈导体图案34的外端部341经由层间连接导体552而与线圈导体图案35的外端部351连接。线圈导体图案35的内端部352经由层间连接导体553而与线圈导体图案36的内端部362连接。线圈导体图案36的外端部361经由连接导体图案33C及层间连接导体53而与线圈导体图案32的端部321连接。

[0086] 在该结构中,与第一实施方式同样地,通过线圈导体图案31与线圈导体图案32的对置部来形成电容器C。另外,通过线圈导体图案31、34、35、36、32来形成线圈L。这样,即便是将螺旋形状的线圈导体图案31、34、35、36、32形成多层的结构,也与第一实施方式同样地,能够抑制不需要的电容的形成,能够可靠地实现所希望的滤波器特性。另外,在本实施方式的结构中,形成线圈L的线圈导体图案的长度变长,因此,能够增大电感。此时,几乎不使电容器C的电容发生变化。即,几乎不使LC并联谐振电路的电容发生变化,能够增大电感。

[0087] 《第五实施方式》

[0088] 接下来,参照附图对本实用新型的第五实施方式的多层基板进行说明。图7(A)是本实用新型的第五实施方式的多层基板10D的外观立体图,图7(B)是多层基板10D的分解立体图。需要说明的是,在图7(B)中省略了连接器81、82的图示。

[0089] 本实施方式的多层基板10D与第一实施方式的多层基板10的不同之处在于层叠体的形状。另外,多层基板10D与第一实施方式的多层基板10的不同之处在于具备连接器81、82、电介质层70及保护层1。多层基板10D的其他结构与多层基板10相同,省略相同部位的说明。

[0090] 多层基板10D具备层叠体20D、线圈导体图案31、32、布线导体图案37、38、保护层1、电介质层70、连接器81、82、线圈部CP、布线部LP1、LP2、端子导体41及端子导体42等。

[0091] 层叠体20D是具有可挠性的长方形状的平板,具备绝缘体层21、绝缘体层22、绝缘体层23。绝缘体层21、绝缘体层22、绝缘体层23依次层叠。层叠体20D具有相互对置的第一主面VS1及第二主面VS2。绝缘体层21是层叠体20D的表层的绝缘体层,图7(B)所示的绝缘体层21的表面为层叠体20D的第一主面VS1。另外,图7(B)所示的绝缘体层23的背面为层叠体20D的第二主面VS2。

[0092] 线圈导体图案31、32及布线导体图案37、38形成于绝缘体层21的表面,即层叠体20D的第一主面VS1。线圈导体图案31、32配置在从绝缘体层21的中央靠一端(图7(B)中的绝

绝缘体层21的左端)的位置。布线导体图案37、38是在绝缘体层21的长边方向(X轴方向)上延伸的线状导体。布线导体图案37的一端与线圈导体图案31的外端部311连接。布线导体图案38的一端与线圈导体图案32的端部322连接。

[0093] 连接导体图案33形成于绝缘体层22中的绝缘体层21侧的面。连接导体图案33配置在从绝缘体层22的中央靠一端(图7(B)中的绝缘体层22的左端)的位置。

[0094] 端子导体41、42形成于绝缘体层23中的与绝缘体层22侧相反的一侧的面(层叠体20D的背面,即,层叠体20D的第二主面VS2)。端子导体41配置在绝缘体层23的一端(图7(B)中的绝缘体层23的左端)侧。端子导体42配置在绝缘体层23的另一端(图7(B)中的绝缘体层23的右端)侧。

[0095] 端子导体41在层叠方向上与布线导体图案37的另一端重叠。端子导体41与布线导体图案37的另一端通过在层叠方向上延伸的形状的层间连接导体51而连接。这样,通过布线导体图案37及层间连接导体51将外端部311(第一端部)与端子导体41(第一端子导体)之间连接。

[0096] 端子导体42在层叠方向上与布线导体图案38的另一端重叠。端子导体42与布线导体图案38的另一端通过在层叠方向上延伸的形状的层间连接导体54而连接。这样,通过布线导体图案38及层间连接导体54将端部322(第四端部)与端子导体42(第二端子导体)之间连接。

[0097] 电介质层70配置于层叠体20D的表面(第一主面VS1)。电介质层70覆盖线圈导体图案31及线圈导体图案32。若是具有绝缘性,则电介质层70也可以使用具有磁性的层。由此,能够增大电感。

[0098] 保护层1配置于层叠体20D的背面(第二主面VS2)。保护层1在与端子导体41、42的位置相应的部分具有开口部AP1、AP2。因此,即便保护层1覆盖第二主面VS2,端子导体41、42也在第二主面VS2露出。保护层1例如为阻焊膜、覆盖膜等。需要说明的是,保护层1不是必须的。

[0099] 连接器81安装于层叠体20D的第二主面VS2,且配置在层叠体20D 的一端(图7(A)中的层叠体20D的左端)侧。连接器81经由焊料等导电性接合材料而与在第二主面VS2露出的端子导体41接合。

[0100] 连接器82安装于层叠体20D的第二主面VS2,且配置在层叠体20D 的另一端(图7(A)中的层叠体20D的右端)侧。连接器82经由焊料等导电性接合材料而与在第二主面VS2露出的端子导体42接合。

[0101] 线圈部CP是在从多个绝缘体层21、22、23的层叠方向观察多层基板 10D时配置有线圈导体图案31、32及连接导体图案33的部分。另外,布线部LP1、LP2是在从层叠方向观察多层基板10D时线圈部CP以外的部分,是配置有布线导体图案37、38的部分。

[0102] 这样,能够实现具备线圈部CP和布线部LP1、LP2(传输线路)的多层基板。

[0103] 在本实施方式的多层基板10D中,电容器(参照图3所示的电容器C)的电容也依赖于电介质层70的相对介电常数。因此,通过将电介质层70的相对介电常数设为所希望的相对介电常数,能够使电容器的电容成为所希望的电容。由此,能够更加可靠地实现所希望的滤波器特性。

[0104] 需要说明的是,电介质层70的相对介电常数优选大于绝缘体层21、22、23的相对

介电常数。由此,能够容易地实现大电容,例如能够扩宽可实现滤波器特性的范围。

[0105] 接下来,参照附图对使用了本实用新型的多层基板的电子设备进行说明。图8是示出第五实施方式的电子设备305的主要部分的剖视图。

[0106] 电子设备305具备多层基板10E、电路基板201、202、203等。电路基板201、202、203例如是印刷布线基板。

[0107] 多层基板10E与上述的多层基板10D的不同之处在于,在层叠体20D的第二主面VS2安装有连接器82。另外,多层基板10E与多层基板10D的不同之处在于:具备线圈导体图案34;在布线部具有弯曲部CR。多层基板10E的其他结构与多层基板10D实质上相同。

[0108] 线圈导体图案34为螺旋形状。在多层基板10E中,与第三实施方式同样地是将螺旋形状的线圈导体图案31、34形成多层的结构。即,螺旋形状的线圈导体图案31、34分别形成于不同的绝缘体层。

[0109] 虽然省略图示,但线圈导体图案31的内端部经由层间连接导体而与线圈导体图案34的内端部连接。线圈导体图案34的外端部经由连接导体图案及层间连接导体而与线圈导体图案32的端部连接。

[0110] 如图8所示,多层基板10E在沿着电路基板203的外形弯曲的状态下分别与电路基板201、202连接。具体而言,多层基板10E的连接器81与安装于电路基板202的插座(省略图示)连接。另外,连接器82与安装于电路基板201的插座(省略图示)连接。在该电路基板201的内部形成有导体图案61。

[0111] 如图8所示,在从层叠方向(线圈轴AX或者Z轴方向)观察时,线圈部CP的至少一部分与电路基板201的导体图案61重叠。在线圈部CP与导体图案61重叠的部分处,第一主面VS1与导体图案61之间的距离 $L1$ 大于第二主面VS2与导体图案61之间的距离 $L2$  ( $L1 > L2$ )。

[0112] 在本实施方式的电子设备305中,在线圈部CP与导体图案61重叠的部分处,形成于电路基板201的导体图案61配置为比第二主面VS2更远离形成有线圈导体图案31、32的第一主面VS1。因此,与上述导体图案61配置为接近于层叠体20D的第一主面VS1侧的情况相比,线圈部CP与导体图案61之间的距离变大,能够减小在线圈部CP与导体图案61之间产生的不需要的电容(杂散电容)。

[0113] 另外,即便在如电子设备305那样将螺旋形状的线圈导体图案31、34形成多层的结构的情况下,也优选将上述导体图案61配置为比第二主面VS2更远离第一主面VS1。形成于第一主面VS1的线圈导体图案(线圈导体图案31、32)与形成于其他层的线圈导体图案(线圈导体图案34)相比,导体面积较大。因此,通过将导体图案61配置为比第二主面VS2更远离导体面积相对大的第一主面VS1,能够减小在线圈部CP与导体图案61之间产生的不需要的电容(杂散电容)。

[0114] 尤其是在第一主面VS1配置有电介质层70的情况下,优选将上述导体图案61配置为比第二主面VS2更远离第一主面VS1。

[0115] 需要说明的是,在多层基板具有弯曲部的情况下,产生线圈导体图案的位置偏移、变形等,在线圈部CP与导体图案61之间产生的不需要的电容(杂散电容)容易发生变化。因此,将导体图案61配置为比第二主面VS2更远离导体面积相对大的第一主面VS1,能够减小与多层基板的弯曲相伴的不需要的电容(杂散电容)的变化量。

[0116] 另外,根据以下所示的理由,优选如多层基板10E那样,弯曲部CR处于布线部。通

常,导体图案与由树脂材料构成的绝缘体层相比,刚性相对高。因此,与导体比率高的线圈部CP相比,布线部具有较高的可挠性,容易发生变形。另外,在线圈部CP发生了变形的情况下,多层基板所具备的线圈(参照图3所示的线圈L)的线圈特性(电感器特性)可能会变动。

[0117] 《第六实施方式》

[0118] 接下来,参照附图对本实用新型的第六实施方式的电子设备进行说明。图9是示出本实用新型的第六实施方式的电子设备306的主要部分的剖视图。

[0119] 电子设备306具备多层基板10F、电路基板201、202、安装部件83 等。

[0120] 多层基板10F与第五实施方式的多层基板10D的不同之处在于,在层叠体20D的第二主面VS2安装有连接器82。另外,多层基板10F与多层基板10D的不同之处在于:在布线部LP1、LP2分别具有弯曲部CR1、CR2;具备线圈导体图案34。多层基板10F的其他结构与多层基板10D实质上相同。

[0121] 线圈导体图案34为螺旋形状。在多层基板10F中,与第三实施方式同样地是将螺旋形状的线圈导体图案31、34形成多层的结构。即,螺旋形状线圈导体图案31、34分别形成于不同的绝缘体层。

[0122] 虽然省略图示,但线圈导体图案31的内端部经由层间连接导体而与线圈导体图案34的内端部连接。线圈导体图案34的外端部经由连接导体图案及层间连接导体而与线圈导体图案32的端部连接。

[0123] 在电路基板201的内部形成有导体图案61,在电路基板202的内部形成有导体图案62。在电路基板202的表面(图9中的电路基板202的上表面)安装有安装部件83。

[0124] 如图9所示,多层基板10F在沿着安装部件83的外形弯曲的状态下与电路基板201、202分别连接。具体而言,多层基板10F的连接器81与安装于电路基板202的插座(省略图示)连接。另外,连接器82与安装于电路基板201的插座(省略图示)连接。

[0125] 如图9所示,在从层叠方向(线圈轴AX或X轴方向)观察时,线圈部CP的至少一部分与安装部件83重叠。在线圈部CP与安装部件83重叠的部分处,第一主面VS1与安装部件83之间的距离L1A大于第二主面VS2与安装部件83之间的距离L2A ( $L1A > L2A$ )。

[0126] 在本实施方式的电子设备306中,在线圈部CP与安装部件83重叠的部分处,安装部件83配置为比第二主面VS2更远离形成有线圈导体图案31、32的第一主面VS1。因此,与将上述安装部件83配置为接近于层叠体20D的第一主面VS1侧的情况相比,线圈部CP与安装部件83之间的距离变大,能够抑制在线圈部CP与安装部件83之间产生的不需要的电容(杂散电容)。

[0127] 另外,即便在如电子设备306那样将螺旋形状的线圈导体图案31、34形成多层的结构的情况下,也优选将上述安装部件83配置为比第二主面VS2更远离第一主面VS1。形成于第一主面VS1的线圈导体图案(线圈导体图案31、32)与形成于其他层的线圈导体图案(线圈导体图案34)相比,导体面积较大。因此,通过将安装部件83配置为比第二主面VS2更远离导体面积相对大的第一主面VS1,能够减小在线圈部CP与安装部件83之间产生的不需要的电容(杂散电容)。

[0128] 需要说明的是,在多层基板具有弯曲部的情况下,产生线圈导体图案的位置偏移、变形等,在线圈部CP与安装部件83之间产生的不需要的电容(杂散电容)容易发生变化。因此,通过将安装部件83配置为比第二主面VS2更远离导体面积相对大的第一主面VS1,能够

减小与多层基板的弯曲相伴的不需要的电容(杂散电容)的变化量。

[0129] 《第七实施方式》

[0130] 接下来,参照附图对本实用新型的第七实施方式的电子设备进行说明。图10是示出本实用新型的第七实施方式的电子设备307的主要部分的剖视图。

[0131] 电子设备307具备多层基板10G、电路基板201、202等。

[0132] 多层基板10G与第五实施方式的多层基板10D同样地,在层叠体20D的第一主面VS1安装有连接器81、82。多层基板10G与多层基板10D的不同之处在于:在布线部具有弯曲部;具备线圈导体图案34。多层基板10G的其他结构与多层基板10D相同。

[0133] 线圈导体图案34为螺旋形状。在多层基板10G中,与第三实施方式同样地是将螺旋形状的线圈导体图案31、34形成多层的结构。即,螺旋形状的线圈导体图案31、34分别形成于不同的绝缘体层。

[0134] 虽然省略图示,但线圈导体图案31的内端部经由层间连接导体而与线圈导体图案34的内端部连接。线圈导体图案34的外端部经由连接导体图案及层间连接导体而与线圈导体图案32的端部连接。

[0135] 在电路基板201的内部形成有导体图案61,在电路基板202的内部形成有导体图案62。

[0136] 多层基板10G在布线部具有弯曲部CR。如图10所示,多层基板10G在弯曲成U字形使得布线部的第二主面VS2侧成为内侧的状态下与电路基板201、202分别连接。具体而言,多层基板10G的连接器81与安装于电路基板201的插座(省略图示)连接。另外,连接器82与安装于电路基板202的插座(省略图示)连接。

[0137] 如图10所示,在从层叠方向(线圈轴AX或Z轴方向)观察时,线圈部CP的至少一部分与端子导体41(第一端子导体)重叠。在线圈部CP与端子导体41重叠的部分处,第一主面VS1与端子导体41之间的距离L1B大于第二主面VS2与端子导体41之间的距离L2B( $L1B > L2B$ )。

[0138] 在本实施方式的电子设备307中,在线圈部CP与端子导体41重叠的部分处,端子导体41配置为比第二主面VS2更远离形成有线圈导体图案31、32的第一主面VS1。因此,与上述端子导体41配置为接近于层叠体20D的第一主面VS1侧的情况相比,线圈部CP与端子导体41之间的距离变大,能够减小在线圈部CP与端子导体41之间产生的不需要的电容(杂散电容)。

[0139] 另外,即便在如电子设备307那样将螺旋形状的线圈导体图案31、34形成多层的结构的情况下,也优选将上述端子导体41配置为比第二主面VS2更远离第一主面VS1。形成于第一主面VS1的线圈导体图案(线圈导体图案31、32)与形成于其他层的线圈导体图案(线圈导体图案34)相比,导体面积较大。因此,通过将上述端子导体41配置为使导体面积相对大的第一主面VS1比第二主面VS2更远离端子导体41,能够减小在线圈部CP与端子导体41之间产生的不需要的电容(杂散电容)。

[0140] 需要说明的是,在多层基板具有弯曲部的情况下,产生线圈导体图案的位置偏移、变形等,在线圈部CP与端子导体41之间产生的不需要的电容(杂散电容)容易发生变化。因此,通过将端子导体41配置为比第二主面VS2更远离导体面积相对大的第一主面VS1,能够减小与多层基板的弯曲相伴的不需要的电容(杂散电容)的变化量。

[0141] 另外,大多情况下,为了提高端子导体与连接器等的连接可靠性而将端子导体的面积形成得比较大(例如,将宽度形成得比布线导体图案的线宽更宽),有时在端子导体与线圈部CP之间产生的不需要的电容变大。但是,根据该结构,能够有效地减小在线圈部CP与端子导体之间产生的不需要的电容。

[0142] 需要说明的是,在本实施方式中,示出了在从层叠方向观察时,线圈部CP的至少一部分与端子导体41(第一端子导体)重叠的例子,但不局限于该结构。即便在从层叠方向观察时线圈部CP的至少一部分与端子导体42(第二端子导体)重叠的情况下,根据上述结构,也能够减小在线圈部CP与端子导体42之间产生的不需要的电容。即,在线圈部CP与端子导体42重叠的部分处,通过使第一主面VS1与端子导体42之间的距离大于第二主面VS2与端子导体42之间的距离,能够减小在线圈部CP与端子导体42之间产生的不需要的电容。

[0143] 《其他实施方式》

[0144] 在以上所示的各实施方式中,示出了层叠体为长方体或者长方形的平板的例子,但不局限于该结构。层叠体的形状在实现本实用新型的作用、效果的范围内能够适当变更。层叠体的平面形状例如也可以为圆形、椭圆形、多边形、T字形、Y字形、L字形等。

[0145] 另外,在以上所示的各实施方式中,示出了布线导体图案37、38及布线部(传输线路)在层叠体的长边方向(X轴方向)上呈直线状延伸的结构例,但不局限于该结构。关于布线导体图案的形状、根数、布线路径等,在实现本实用新型的作用、效果的范围内能够适当变更。即,布线部也可以为多芯,布线部(布线导体图案)还可以弯曲。另外,在布线部为多芯的情况下(具备多个布线导体图案的情况下),布线部也可以具有分支的部分。

[0146] 在以上所示的第五实施方式、第六实施方式、第七实施方式中,示出了形成有布线导体图案37的布线部LP1和形成有布线导体图案38的布线部LP2的例子,但布线部的结构不局限于此。布线部例如也可以构成带状线构造、微带状线构造、或者共面线路等。

[0147] 需要说明的是,在以上所示的第五实施方式、第六实施方式、第七实施方式中,示出了使用连接器将多层基板与电路基板连接的例子,但不局限于该结构。连接器不是必须的结构。也可以经由焊料等导电性接合材料将多层基板的端子导体与电路基板直接接合。

[0148] 另外,在以上所示的第五实施方式、第六实施方式、第七实施方式中,示出了具备两个连接器81、82的多层基板的例子,但不局限于该结构。连接器的个数能够根据多层基板具有的电路结构而适当变更。即,多层基板也可以具备三个以上的连接器。

[0149] 同样地,在第一实施方式、第二实施方式、第三实施方式、第四实施方式中,示出了矩形状的两个端子导体41、42形成于层叠体的背面的例子,但不局限于该结构。端子导体的形状、个数能够根据多层基板具有的电路结构而适当变更。即,多层基板也可以具备三个以上的端子导体。另外,端子导体的形状例如也可以为圆形、椭圆形、多边形、T字形、L字形等。

[0150] 需要说明的是,各实施方式的结构能够分别组合,能够根据这些组合来实现各实施方式所示的作用效果。

[0151] 最后,上述的实施方式的说明是在所有方面进行了例示,并非限制性的内容。对本领域技术人员来说能够适当变形及变更。本实用新型的范围由权利要求书示出而非上述的实施方式。此外,本实用新型的范围包含与权利要求书等同的范围内的从实施方式的变更。

[0152] 附图标记说明

[0153] AP1、AP2:开口;

- [0154] LP:线圈部;
- [0155] CP1、CP2:布线部;
- [0156] VS1:第一主面;
- [0157] VS2:第二主面;
- [0158] 1:保护层;
- [0159] 10、10A、10B、10C:多层基板;
- [0160] 20、20C、20D、20E、20F、20G:层叠体;
- [0161] 21、22、23、24、25、26:绝缘体层;
- [0162] 31、32、34、35、36:线圈导体图案;
- [0163] 33、33C:连接导体图案;
- [0164] 37、38:布线导体图案;
- [0165] 41、42:端子导体;
- [0166] 51、52、53、54、55、552、553:层间连接导体;
- [0167] 60:分离距离调整部;
- [0168] 61、62:导体图案;
- [0169] 70:电介质层;
- [0170] 81、82:连接器;
- [0171] 83:表面安装部件;
- [0172] 201、202、203:电路基板;
- [0173] 311、341、351、361:外端部;
- [0174] 312、342、352、362:内端部;
- [0175] 321、322、331、332:端部;
- [0176] 323:窄幅部;
- [0177] C:电容器;
- [0178] L:线圈;
- [0179] P1:输入输出端子;
- [0180] P2:输入输出端子。

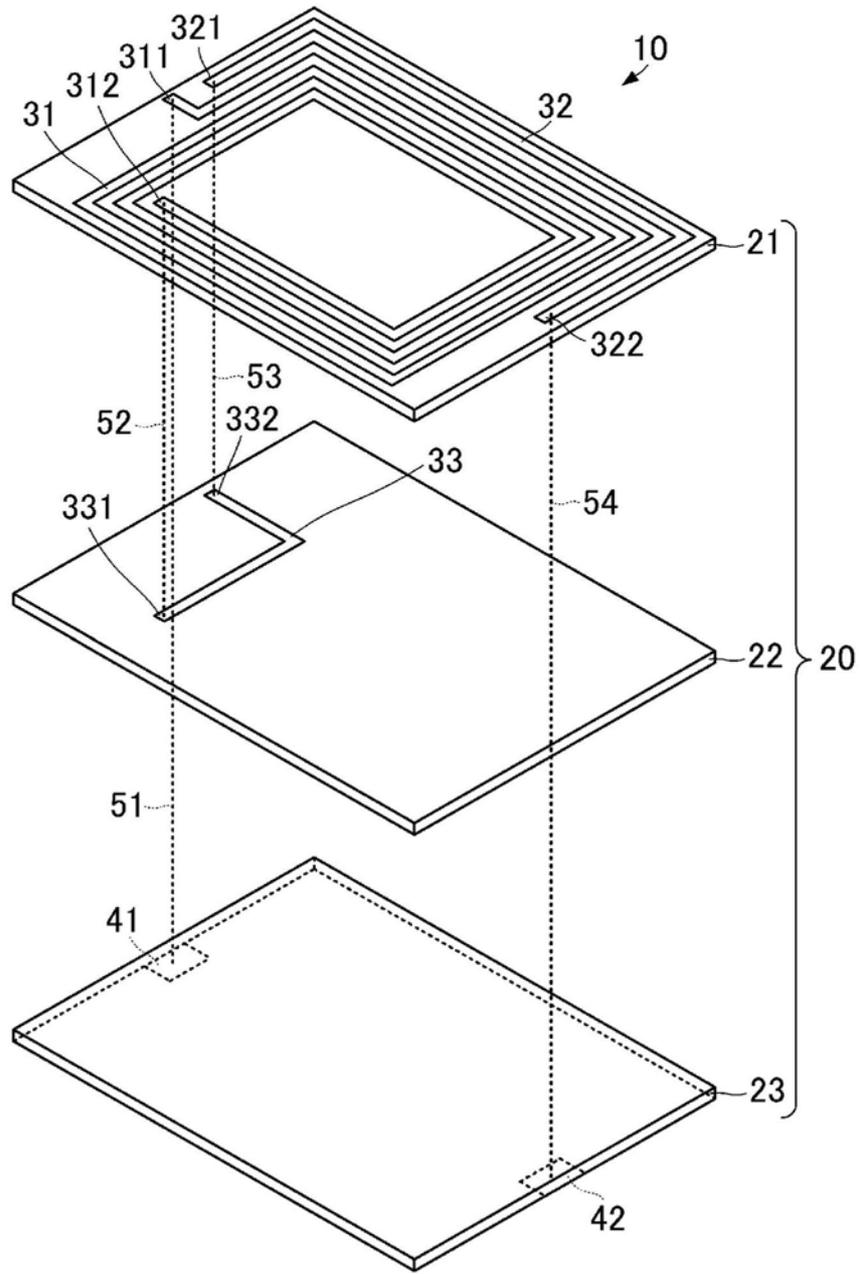


图1

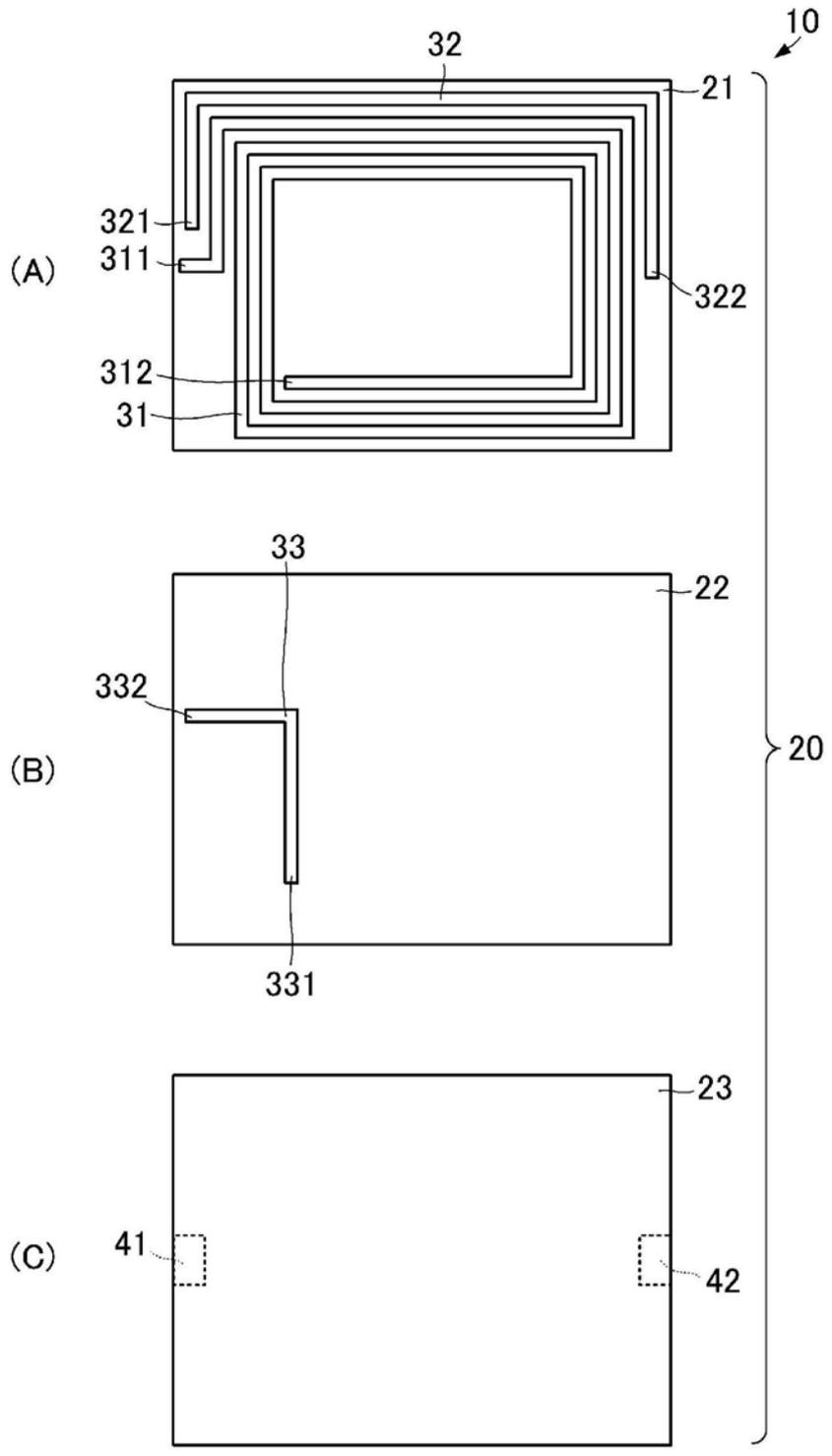


图2

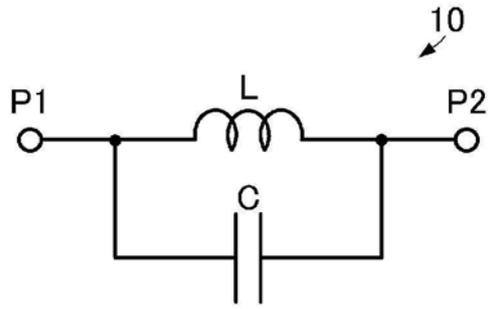


图3

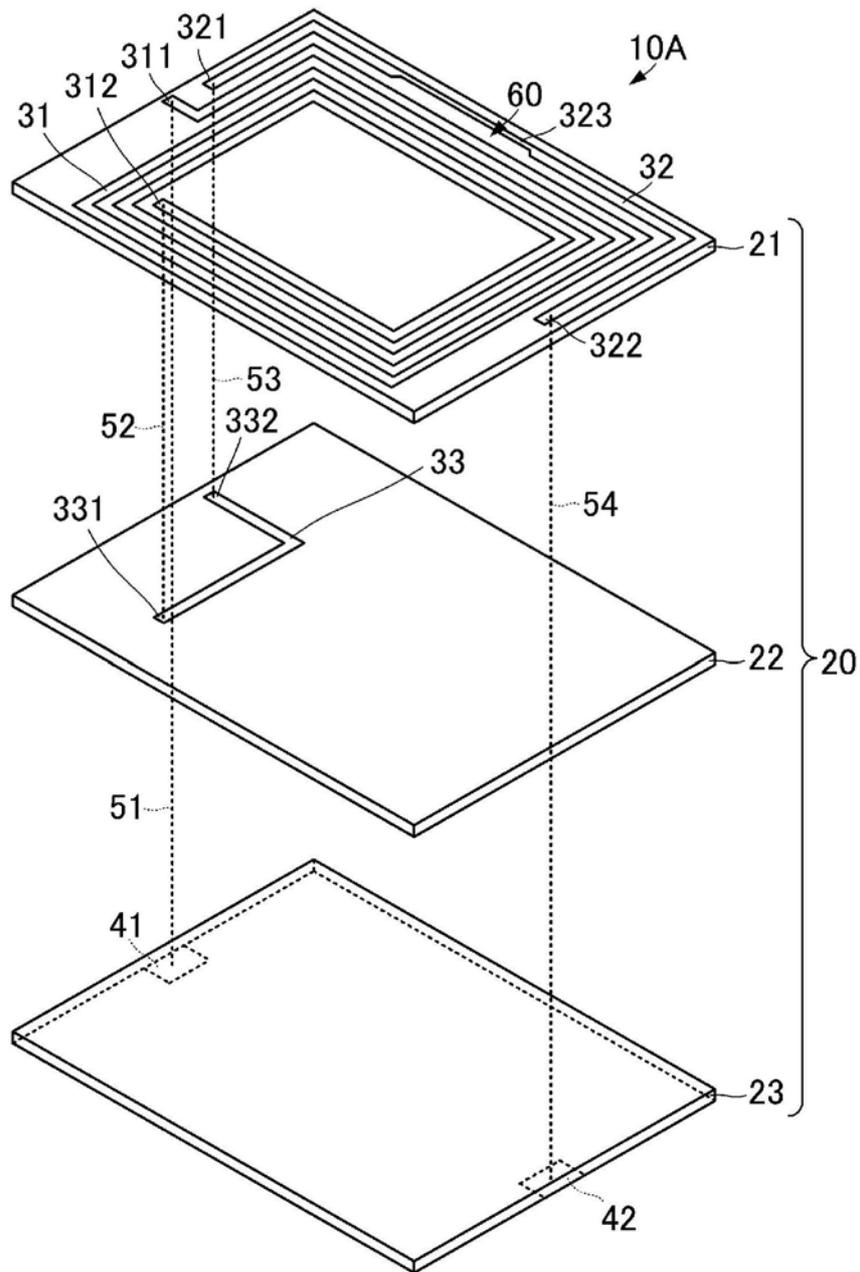


图4

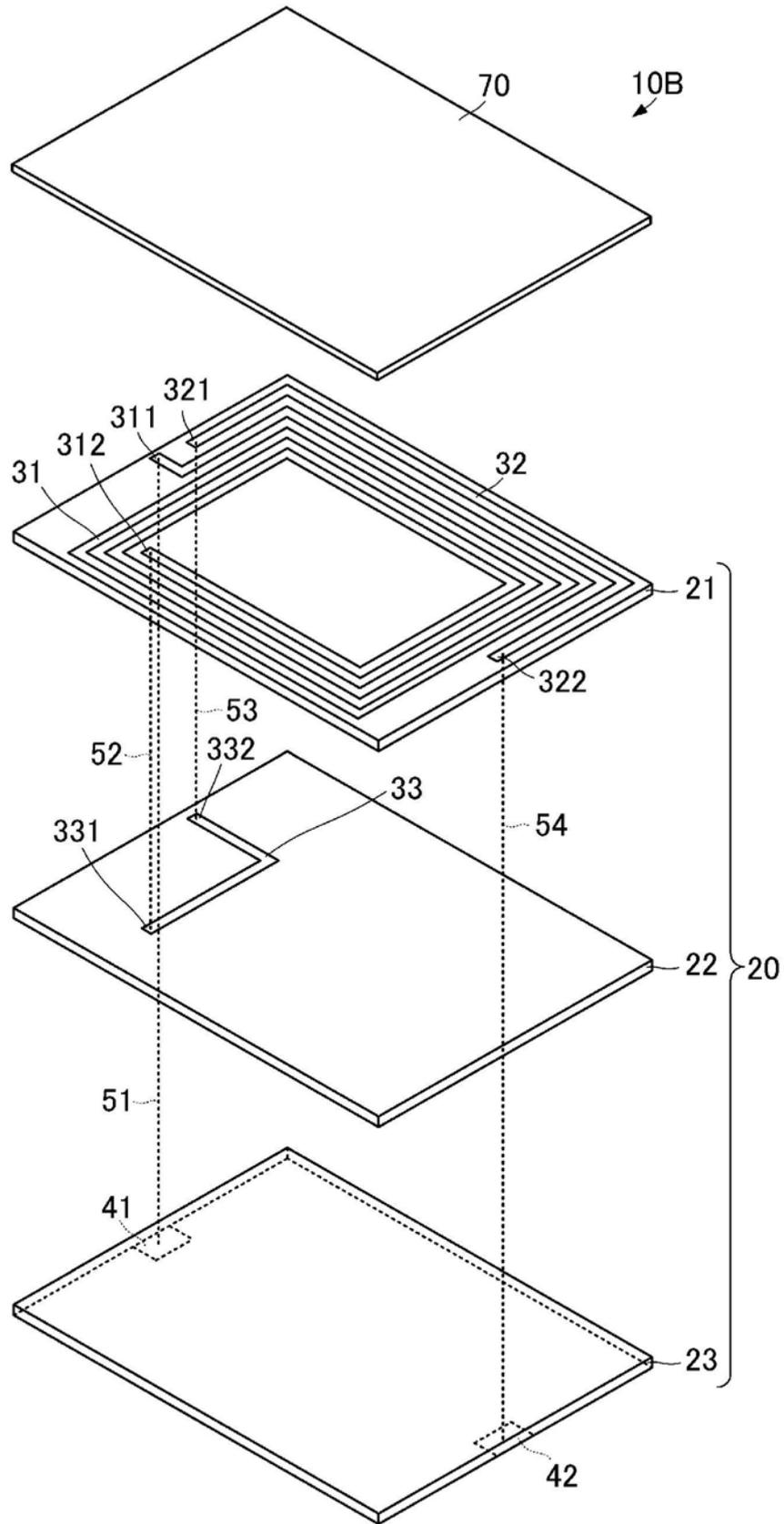


图5

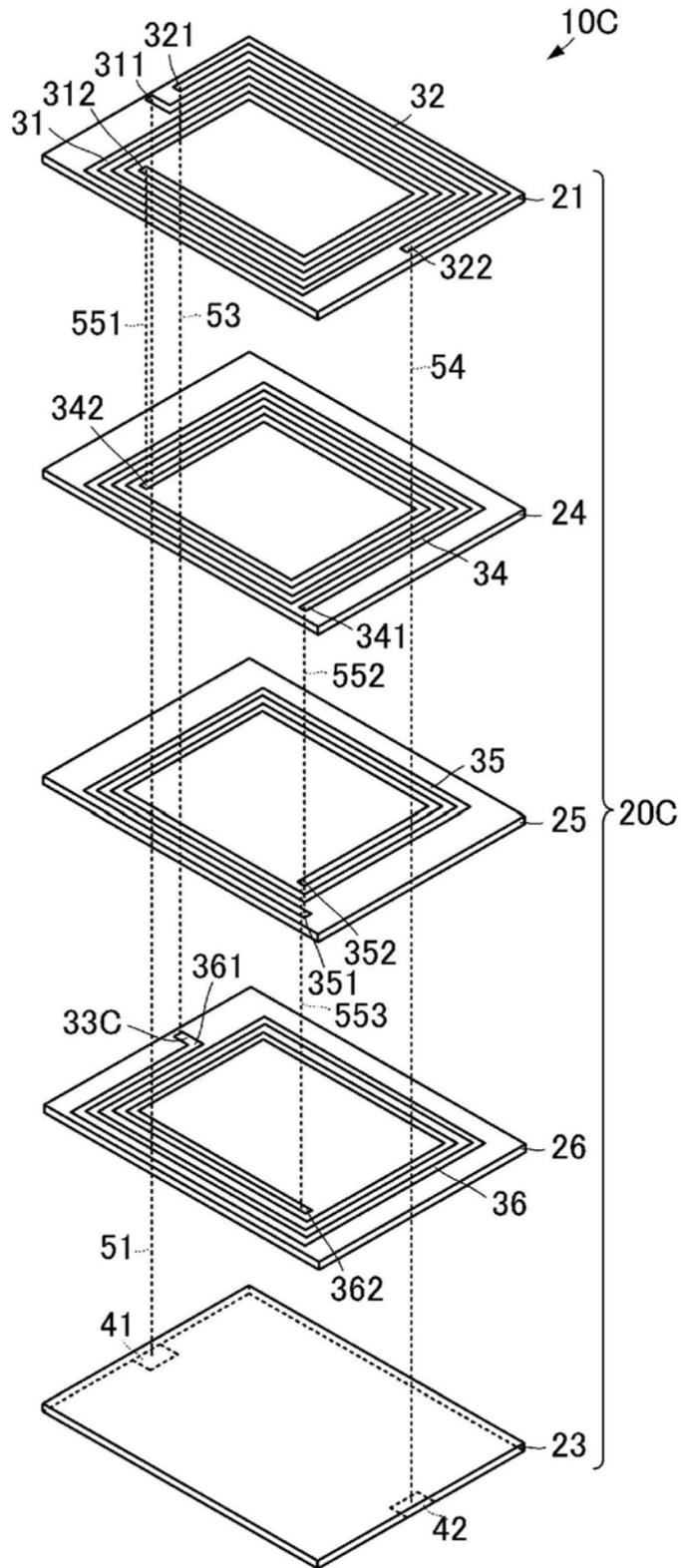


图6

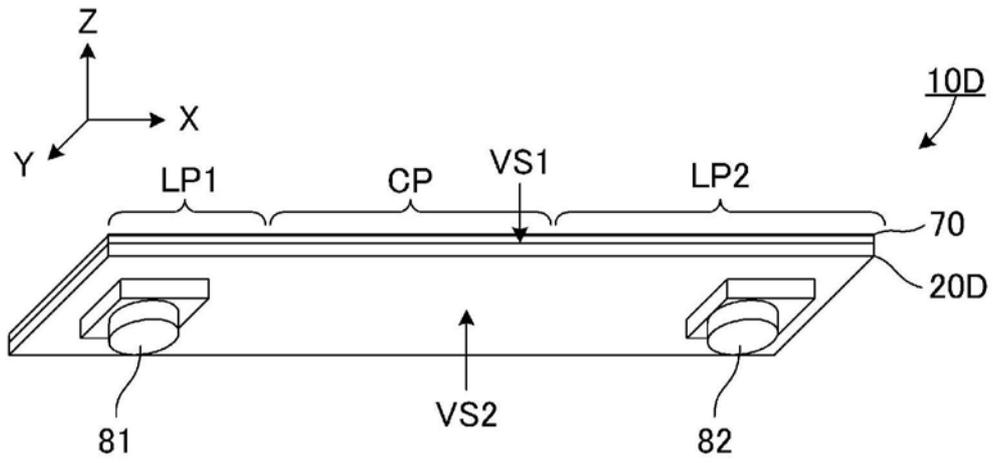


图7 (A)

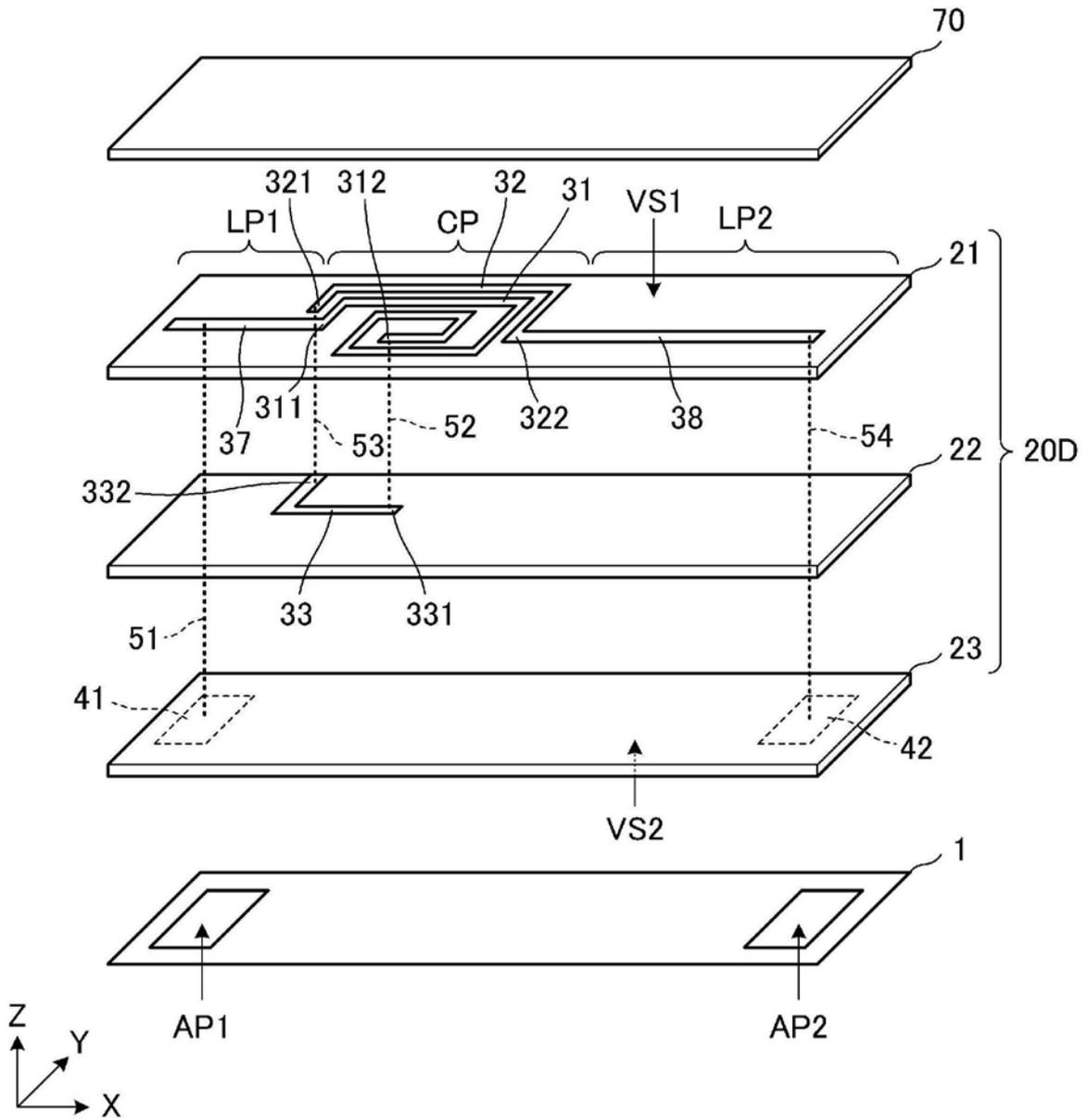


图7 (B)

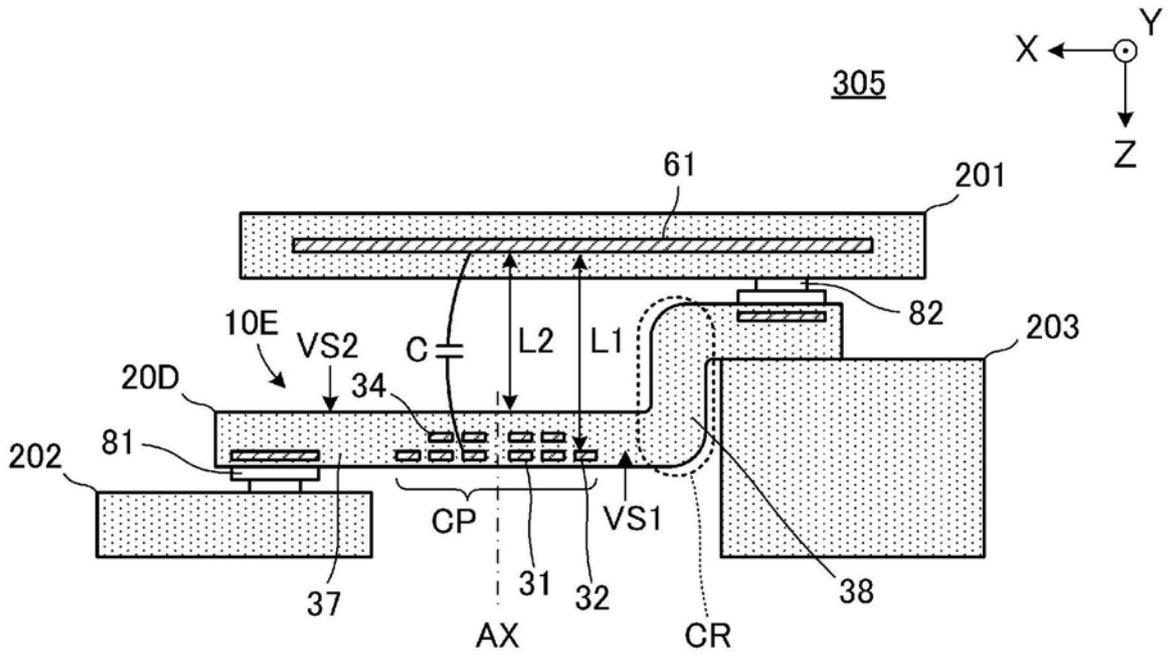


图8

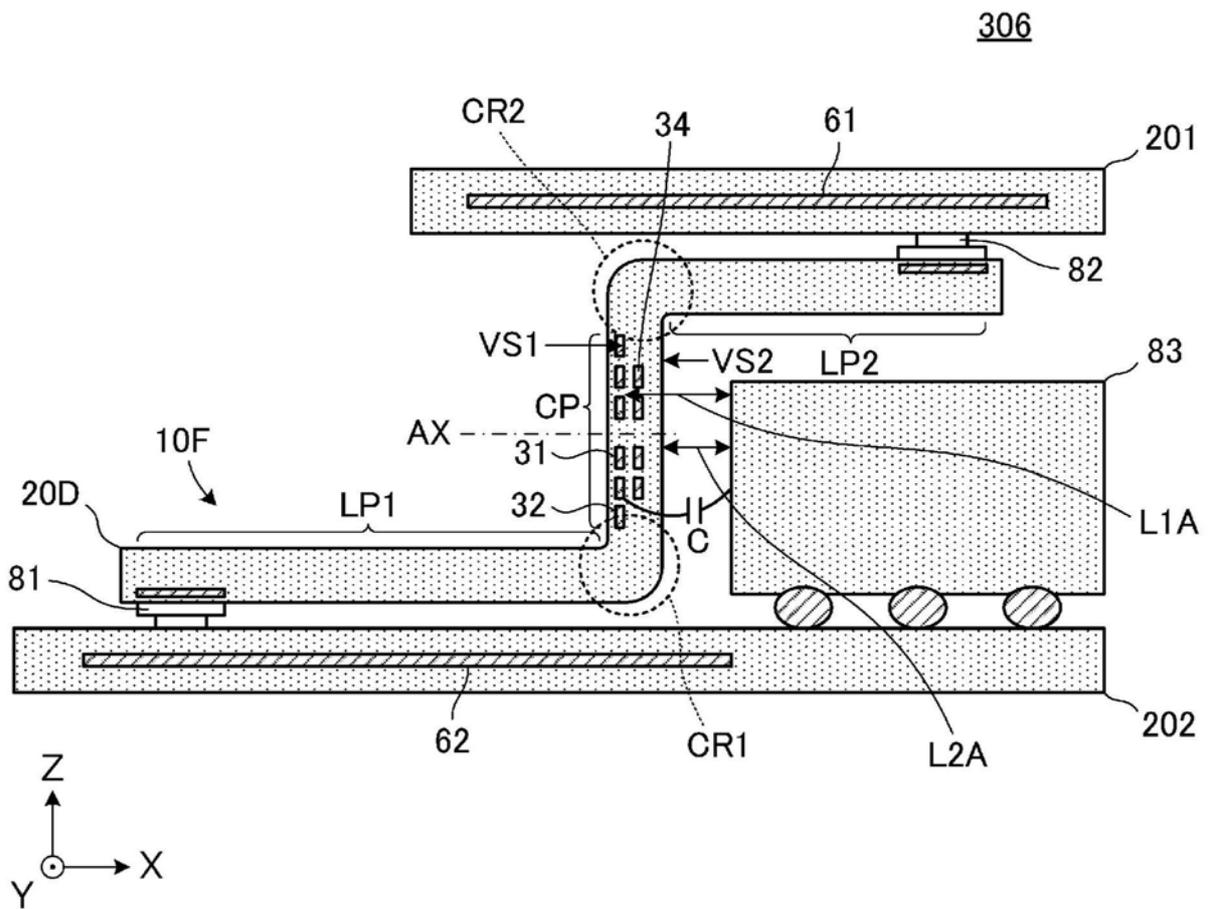


图9

307

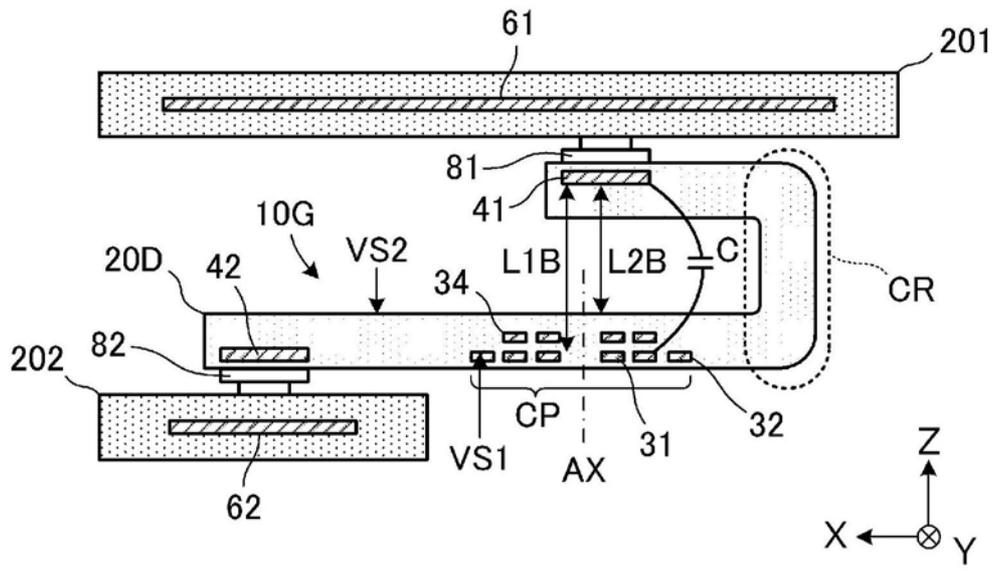


图10