



(12)发明专利

(10)授权公告号 CN 104124142 B

(45)授权公告日 2018.08.21

(21)申请号 201310143239.X

H01L 29/423(2006.01)

(22)申请日 2013.04.23

(56)对比文件

(65)同一申请的已公布的文献号  
申请公布号 CN 104124142 A

US 2007/0048988 A1,2007.03.01,  
CN 1983532 A,2007.06.20,  
CN 1992341 A,2007.07.04,  
TW 200428537 A,2004.12.16,  
US 2007/0004126 A1,2007.01.04,  
US 6133606 A,2000.10.17,

(43)申请公布日 2014.10.29

(73)专利权人 中芯国际集成电路制造(上海)有限公司  
地址 201203 上海市浦东新区张江路18号

审查员 周辉辉

(72)发明人 刘金华

(74)专利代理机构 北京市磐华律师事务所  
11336

代理人 董巍 高伟

(51)Int.Cl.

H01L 21/28(2006.01)

H01L 21/336(2006.01)

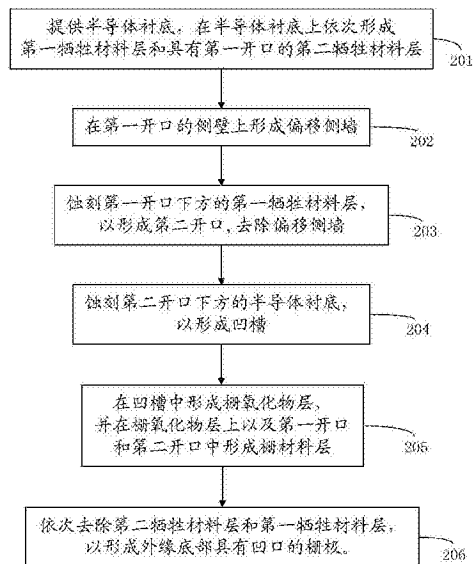
权利要求书1页 说明书5页 附图6页

(54)发明名称

一种半导体器件及其制造方法

(57)摘要

本发明提供一种半导体器件及其制造方法,所述方法包括:提供半导体衬底,在半导体衬底上依次形成第一牺牲材料层和具有第一开口的第二牺牲材料层;在第一开口的侧壁上形成偏移侧墙;蚀刻第一开口下方的第一牺牲材料层,以形成第二开口;蚀刻第二开口下方的半导体衬底,以形成沟槽;在沟槽中形成栅氧化物层,并在栅氧化物层上以及第一开口和第二开口中形成栅材料层;依次去除第二牺牲材料层和第一牺牲材料层,以形成外缘底部具有凹口的栅极。根据本发明,可以减小栅极与衬底中的源/漏区之间的叠加电容,降低栅极两侧偏移侧墙的有效宽度,增强覆盖栅极的高应力接触孔蚀刻停止层作用于栅极下方的沟道区的应力,提升沟道载流子迁移率。



1. 一种半导体器件的制造方法,包括:  
提供半导体衬底,在所述半导体衬底上依次形成第一牺牲材料层和具有第一开口的第二牺牲材料层;  
在所述第一开口的侧壁上形成偏移侧墙;  
蚀刻所述第一开口下方的所述第一牺牲材料层,以形成第二开口的同时去除所述偏移侧墙;  
蚀刻所述第二开口下方的所述半导体衬底,以形成凹槽;  
在所述凹槽中形成栅氧化物层,并在所述栅氧化物层上以及所述第一开口和所述第二开口中形成栅材料层;  
依次去除所述第二牺牲材料层和所述第一牺牲材料层,以形成外缘底部具有凹口的栅极。
2. 根据权利要求1所述的方法,其特征在于,在形成所述栅极之后,还包括形成包围所述栅极且覆盖所述半导体衬底的遮蔽层的步骤。
3. 根据权利要求2所述的方法,其特征在于,在形成所述遮蔽层之后,还包括在所述栅极的两侧形成间隙壁的步骤。
4. 根据权利要求3所述的方法,其特征在于,在形成所述间隙壁之前,还包括执行轻掺杂离子注入并退火的步骤,以在所述栅极两侧的半导体衬底中形成轻掺杂源/漏区。
5. 根据权利要求4所述的方法,其特征在于,在形成所述间隙壁之后,还包括执行重掺杂离子注入并退火的步骤,以在所述栅极两侧的半导体衬底中形成重掺杂源/漏区。
6. 根据权利要求1所述的方法,其特征在于,所述第一牺牲材料层为氧化物层;所述第二牺牲材料层为氮化物层。
7. 根据权利要求1所述的方法,其特征在于,形成所述具有第一开口的第二牺牲材料层的步骤包括:在所述第一牺牲材料层上形成第二牺牲材料层;在所述第二牺牲材料层上形成具有所述第一开口的图形的光刻胶层;以所述光刻胶层为掩膜,蚀刻所述第二牺牲材料层,直至露出所述第一牺牲材料层为止;采用灰化工艺去除所述光刻胶层。
8. 根据权利要求1所述的方法,其特征在于,形成所述偏移侧墙的步骤包括:沉积偏移侧墙材料层以覆盖所述第二牺牲材料层的表面和所述第一开口的侧壁及底部;蚀刻所述偏移侧墙材料层以形成所述偏移侧墙。
9. 根据权利要求8所述的方法,其特征在于,所述偏移侧墙材料层的材料与所述第一牺牲材料层的材料相同。
10. 根据权利要求2所述的方法,其特征在于,采用热氧化工艺形成所述栅氧化物层和所述遮蔽层。
11. 根据权利要求1所述的方法,其特征在于,采用湿法蚀刻工艺去除所述第二牺牲材料层。
12. 根据权利要求1所述的方法,其特征在于,去除所述第一牺牲材料层的步骤包括:先采用各向异性的干法蚀刻工艺实施对所述第一牺牲材料层的蚀刻,直至露出所述半导体衬底为止;再采用湿法蚀刻工艺去除所述栅材料层下方的第一牺牲材料层。

## 一种半导体器件及其制造方法

### 技术领域

[0001] 本发明涉及半导体制造工艺,具体而言涉及一种形成外缘底部具有凹口的栅极的方法。

### 背景技术

[0002] 当CMOS器件的制造工艺节点达到90nm及以下时,低沟道迁移率、短沟道效应以及栅极与衬底的源/漏区之间的叠加电容成为使该类器件的性能下降的主要因素。为此,本领域的技术人员采用各种应力技术来提升器件的沟道迁移率。对于NMOS而言,最为广泛应用的应力技术之一是在衬底上形成具有高拉应力的接触孔蚀刻停止层(CESL)以覆盖形成于所述衬底上的栅极。该应力技术与传统的半导体制造工艺相兼容,不需增加额外的工序,例如额外的外延生长或光刻工序。

[0003] 为了进一步增强所述接触孔蚀刻停止层作用于CMOS器件的沟道区的应力,本领域的技术人员通常采用应力近临技术,即减小形成在栅极两侧的侧壁的厚度。该应力技术需要采用蚀刻工艺来实现形成在栅极两侧的侧壁的厚度的降低,该蚀刻在一定程度上会对栅极造成损伤;由于侧壁厚度的降低,后续形成接触孔所采用的蚀刻对衬底造成损伤的几率变大;同时,短沟道效应以及叠加电容的问题并未得到解决。

[0004] 因此,需要提出一种方法,以解决上述问题。

### 发明内容

[0005] 针对现有技术的不足,本发明提供一种半导体器件的制造方法,包括:提供半导体衬底,在所述半导体衬底上依次形成第一牺牲材料层和具有第一开口的第二牺牲材料层;在所述第一开口的侧壁上形成偏移侧墙;蚀刻所述第一开口下方的所述第一牺牲材料层,以形成第二开口,去除所述偏移侧墙;蚀刻所述第二开口下方的所述半导体衬底,以形成凹槽;在所述凹槽中形成栅氧化物层,并在所述栅氧化物层上以及所述第一开口和所述第二开口中形成栅材料层;依次去除所述第二牺牲材料层和所述第一牺牲材料层,以形成外缘底部具有凹口的栅极。

[0006] 进一步,在形成所述栅极之后,还包括形成包围所述栅极且覆盖所述半导体衬底的遮蔽层的步骤。

[0007] 进一步,在形成所述遮蔽层之后,还包括在所述栅极的两侧形成间隙壁的步骤。

[0008] 进一步,在形成所述间隙壁之前,还包括执行轻掺杂离子注入并退火的步骤,以在所述栅极两侧的半导体衬底中形成轻掺杂源/漏区。

[0009] 进一步,在形成所述间隙壁之后,还包括执行重掺杂离子注入并退火的步骤,以在所述栅极两侧的半导体衬底中形成重掺杂源/漏区。

[0010] 进一步,所述第一牺牲材料层为氧化物层;所述第二牺牲材料层为氮化物层。

[0011] 进一步,形成所述具有第一开口的第二牺牲材料层的步骤包括:在所述第一牺牲材料层上形成第二牺牲材料层;在所述第二牺牲材料层上形成具有所述第一开口的图形的

光刻胶层;以所述光刻胶层为掩膜,蚀刻所述第二牺牲材料层,直至露出所述第一牺牲材料层为止;采用灰化工艺去除所述光刻胶层。

[0012] 进一步,形成所述偏移侧墙的步骤包括:沉积偏移侧墙材料层以覆盖所述第二牺牲材料层的表面和所述第一开口的侧壁及底部;蚀刻所述偏移侧墙材料层以形成所述偏移侧墙。

[0013] 进一步,所述偏移侧墙材料层的材料与所述第一牺牲材料层的材料相同,在蚀刻形成所述第二开口的步骤中,所述偏移侧墙被同时去除。

[0014] 进一步,采用热氧化工艺形成所述栅氧化物层和所述遮蔽层。

[0015] 进一步,采用湿法蚀刻工艺去除所述第二牺牲材料层。

[0016] 进一步,去除所述第一牺牲材料层的步骤包括:先采用各向异性的干法蚀刻工艺实施对所述第一牺牲材料层的蚀刻,直至露出所述半导体衬底为止;再采用湿法蚀刻工艺去除所述栅材料层下方的第一牺牲材料层。

[0017] 本发明还提供一种半导体器件,包括:半导体衬底;形成在所述半导体衬底中的凹槽;位于所述凹槽中的栅氧化物层;形成在所述栅氧化物层上的栅材料层,所述栅材料层的外缘底部与所述半导体衬底之间具有凹口。

[0018] 进一步,所述半导体器件还包括:包围所述栅材料层且覆盖所述半导体衬底的遮蔽层以及位于所述栅材料层两侧的间隙壁。

[0019] 进一步,沿着所述凹口的上端到所述凹口的下端,所述栅材料层的宽度逐步减小。

[0020] 进一步,所述栅材料层的底部宽度与所述栅氧化物层的宽度相同。

[0021] 根据本发明,可以在半导体衬底上形成外缘底部具有凹口的栅极,从而减小栅极与衬底中的源/漏区之间的叠加电容,降低栅极两侧的偏移侧墙的有效宽度,增强覆盖栅极的高应力接触孔蚀刻停止层作用于栅极下方的沟道区的应力,提升沟道载流子迁移率。

## 附图说明

[0022] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。

[0023] 附图中:

[0024] 图1A-图1M为根据本发明示例性实施例的方法依次实施的步骤所分别获得的器件的示意性剖面图;

[0025] 图2为本发明示例性实施例的方法形成外缘底部具有凹口的栅极的流程图。

## 具体实施方式

[0026] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0027] 为了彻底理解本发明,将在下列的描述中提出详细的步骤,以便阐释本发明提出的形成外缘底部具有凹口的栅极的方法。显然,本发明的施行并不限于半导体领域的技术人员所熟习的特殊细节。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,

本发明还可以具有其他实施方式。

[0028] 应当理解的是,当在本说明书中使用术语“包含”和/或“包括”时,其指明存在所述特征、整体、步骤、操作、元件和/或组件,但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和/或它们的组合。

[0029] [示例性实施例]

[0030] 下面,参照图1A-图1M和图2来描述根据本发明示例性实施例的方法形成外缘底部具有凹口的栅极的详细步骤。

[0031] 参照图1A-图1M,其中示出了根据本发明示例性实施例的方法依次实施的步骤所分别获得的器件的示意性剖面图。

[0032] 首先,如图1A所示,提供半导体衬底100,半导体衬底100的构成材料可以采用未掺杂的单晶硅、掺杂有杂质的单晶硅、绝缘体上硅(SOI)等。作为示例,在本实施例中,半导体衬底100的构成材料选用单晶硅。半导体衬底100中形成有隔离结构、各种阱(well)结构等,为了简化,图示中予以省略。

[0033] 接下来,在半导体衬底100上依次形成第一牺牲材料层101和第二牺牲材料层102。第一牺牲材料层101和第二牺牲材料层102的形成可以采用本领域技术人员所熟习的各种适宜的工艺,例如化学气相沉积工艺。第一牺牲材料层101为氧化物层,优选氧化硅层;第二牺牲材料层102为氮化物层,优选氮化硅层。

[0034] 接着,如图1B所示,在第二牺牲材料层102中形成第一开口103,以露出第一牺牲材料层101。形成第一开口103的工艺步骤包括:在第二牺牲材料层102上形成具有第一开口103的图形的光刻胶层;以所述光刻胶层为掩膜,蚀刻第二牺牲材料层102,直至露出第一牺牲材料层101为止;采用灰化工艺去除所述光刻胶层。对第二牺牲材料层102蚀刻的蚀刻气体包括 $CF_4$ 、 $CHF_3$ 、 $CH_2F_2$ 、 $CH_3F$ 等。

[0035] 接着,如图1C所示,在第一开口103的侧壁上形成偏移侧墙104。形成偏移侧墙104的工艺步骤包括:沉积偏移侧墙材料层以覆盖第二牺牲材料层102的表面和第一开口103的侧壁及底部;蚀刻所述偏移侧墙材料层以形成偏移侧墙104。所述偏移侧墙材料层的材料优选与第一牺牲材料层101的材料相同,在本实施例中,所述偏移侧墙材料层的材料为氧化硅。对所述偏移侧墙材料层蚀刻的蚀刻气体包括 $CF_4$ 、 $CHF_3$ 、 $C_2F_6$ 、 $C_4F_8$ 、 $C_5F_8$ 等。

[0036] 接着,如图1D所示,蚀刻第一开口103下方的第一牺牲材料层101,以在第一牺牲材料层101中形成第二开口105。所述蚀刻直至露出半导体衬底100时终止,偏移侧墙104被同时去除,形成的第二开口105的顶部宽度与第一开口103的宽度相同,形成的第二开口105的底部宽度小于第一开口103的宽度。对第一开口103下方的第一牺牲材料层101蚀刻的蚀刻气体包括 $CF_4$ 、 $CHF_3$ 、 $C_2F_6$ 、 $C_4F_8$ 、 $C_5F_8$ 等。

[0037] 接着,如图1E所示,蚀刻第二开口105下方的半导体衬底100,以在半导体衬底100中形成凹槽107'。对第二开口105下方的半导体衬底100蚀刻的蚀刻气体包括 $CF_4$ 、 $HBr$ 、 $Cl_2$ 、 $CHF_3$ 、 $O_2$ 等。

[0038] 接着,如图1F所示,在凹槽107'中形成栅氧化物层107。栅氧化物层107的形成可以采用本领域技术人员所熟习的各种适宜的工艺,例如热氧化工艺。

[0039] 接下来,在栅氧化物层107上以及第一开口103和第二开口105中形成栅材料层106。栅材料层106的形成可以采用本领域技术人员所熟习的各种适宜的工艺,例如化学气

相沉积工艺以及随后实施的化学机械研磨工艺。栅材料层106优选多晶硅层。

[0040] 接着,如图1G所示,去除第二牺牲材料层102。第二牺牲材料层102的去除可以采用本领域技术人员所熟习的各种适宜的工艺,例如湿法蚀刻工艺。

[0041] 接着,如图1H所示,蚀刻第一牺牲材料层101,直至露出半导体衬底100为止。采用各向异性的干法蚀刻工艺实施对第一牺牲材料层101的蚀刻,所述蚀刻结束之后,位于栅材料层106下方的第一牺牲材料层101未被去除。

[0042] 接着,如图1I所示,去除栅材料层106下方的第一牺牲材料层101,以在栅材料层106靠近外缘的底部形成凹口108'。采用湿法蚀刻工艺实施对栅材料层106下方的第一牺牲材料层101的去除。至此,在半导体衬底100上形成外缘底部具有凹口的栅极106'。

[0043] 需要说明的是,上述对第一牺牲材料层101的去除也可以通过一步完成的湿法蚀刻工艺来实施。

[0044] 接着,如图1J所示,形成包围栅极106'且覆盖半导体衬底100的遮蔽层108。采用热氧化工艺形成遮蔽层108。

[0045] 接着,如图1K所示,执行轻掺杂离子注入并退火,以在栅极106'两侧的半导体衬底100中形成轻掺杂源/漏区109。对于NMOS晶体管,所述轻掺杂离子注入的掺杂离子可以是磷离子或者砷离子等;对于PMOS晶体管,所述轻掺杂离子注入的掺杂离子可以是硼离子或者铟离子等。

[0046] 接着,如图1L所示,在栅极106'的两侧形成间隙壁110。间隙壁110的材料优选氮化硅。

[0047] 接着,如图1M所示,执行重掺杂离子注入并退火,以在栅极106'两侧的半导体衬底100中形成重掺杂源/漏区111。

[0048] 至此,完成了根据本发明示例性实施例的方法实施的全部工艺步骤,接下来,可以通过后续工艺完成整个半导体器件的制作。根据本发明,可以在半导体衬底上形成外缘底部具有凹口的栅极,从而减小栅极与衬底中的源/漏区之间的叠加电容,降低栅极两侧的偏移侧墙的有效宽度,增强覆盖栅极的高应力接触孔蚀刻停止层作用于栅极下方的沟道区的应力,提升沟道载流子迁移率。

[0049] 参照图2,其中示出了根据本发明示例性实施例的方法形成外缘底部具有凹口的栅极的流程图,用于简要示出整个制造工艺的流程。

[0050] 在步骤201中,提供半导体衬底,在半导体衬底上依次形成第一牺牲材料层和具有第一开口的第二牺牲材料层;

[0051] 在步骤202中,在第一开口的侧壁上形成偏移侧墙;

[0052] 在步骤203中,蚀刻第一开口下方的第一牺牲材料层,以形成第二开口,去除偏移侧墙;

[0053] 在步骤204中,蚀刻第二开口下方的半导体衬底,以形成凹槽;

[0054] 在步骤205中,在凹槽中形成栅氧化物层,并在栅氧化物层上以及第一开口和第二开口中形成栅材料层;

[0055] 在步骤206中,依次去除第二牺牲材料层和第一牺牲材料层,以形成外缘底部具有凹口的栅极。

[0056] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于

举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

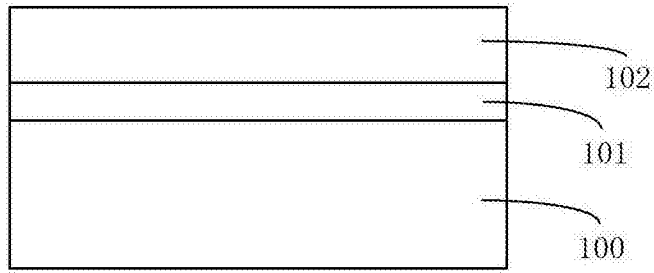


图1A

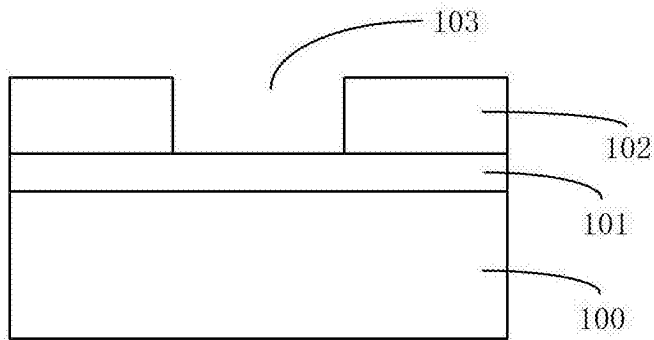


图1B

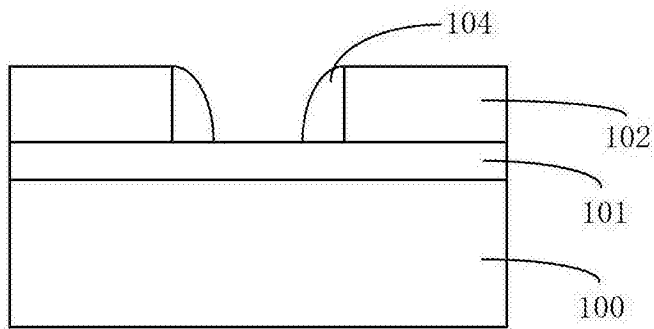


图1C



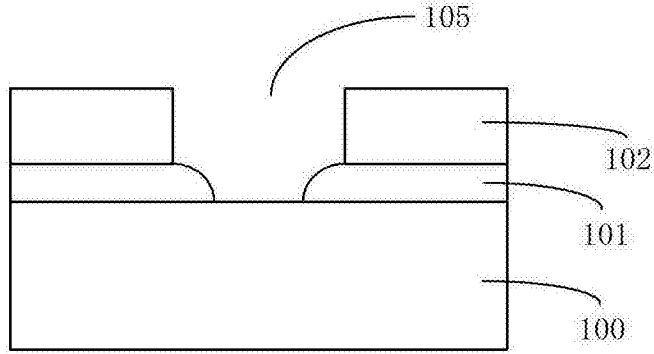


图1D

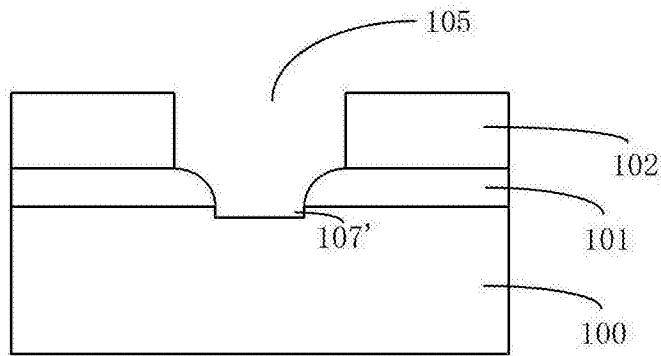


图1E

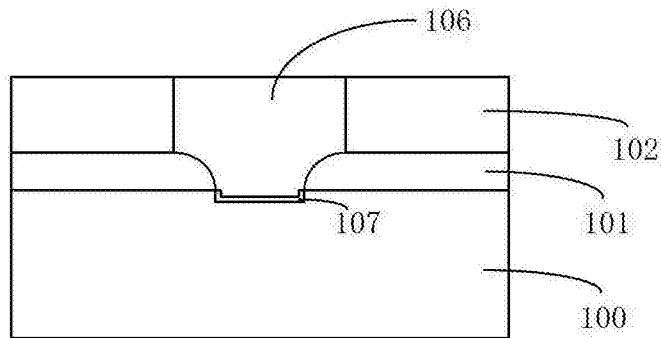


图1F

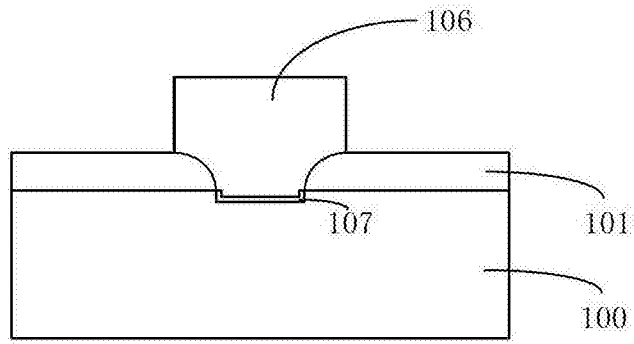


图1G

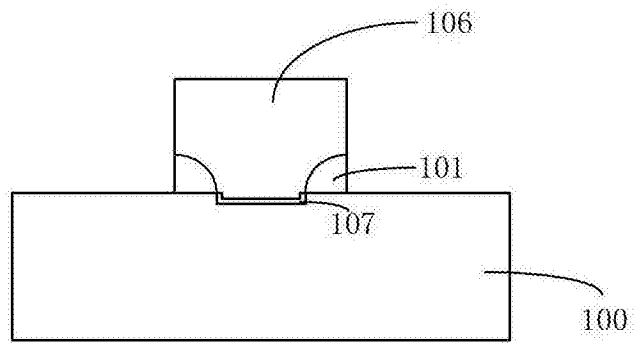


图1H

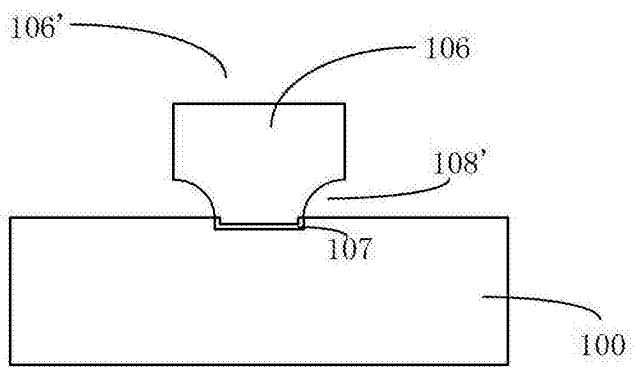


图1I

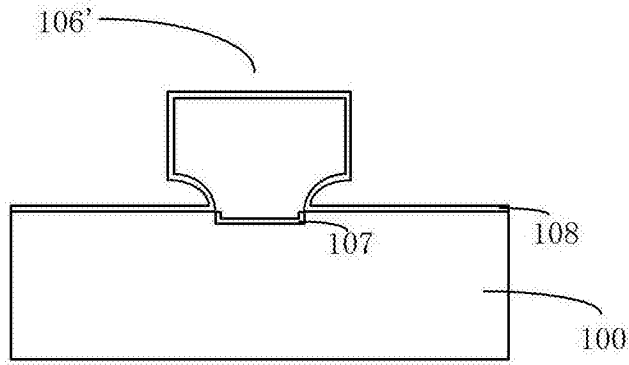


图1J

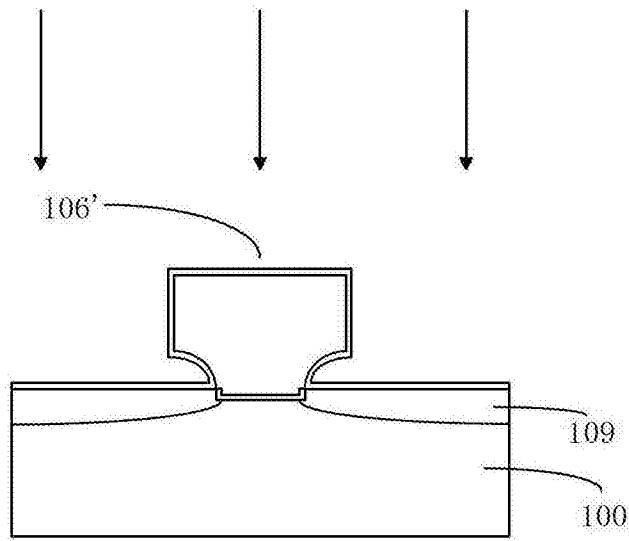


图1K

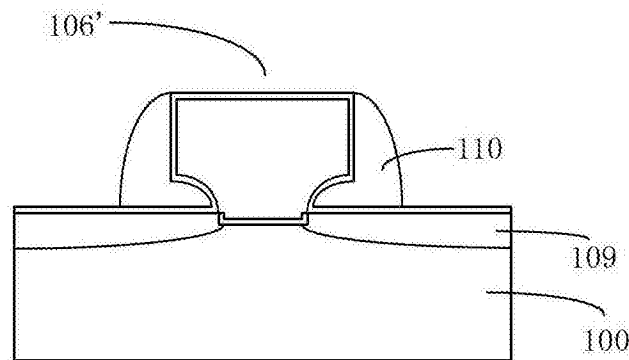


图1L

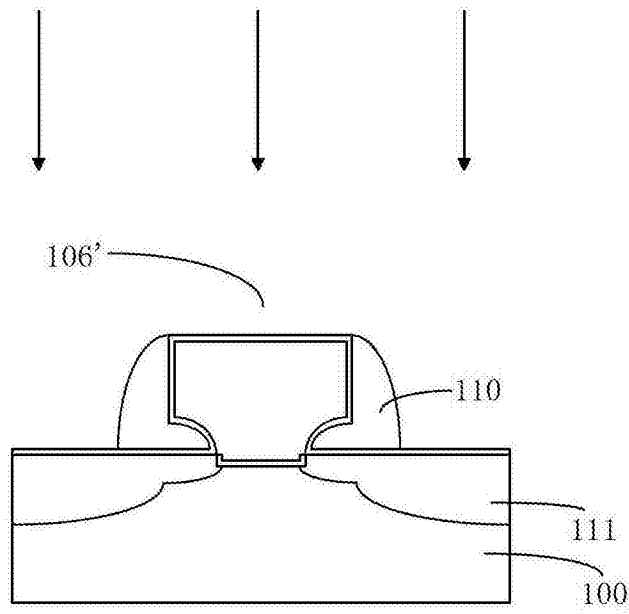


图1M

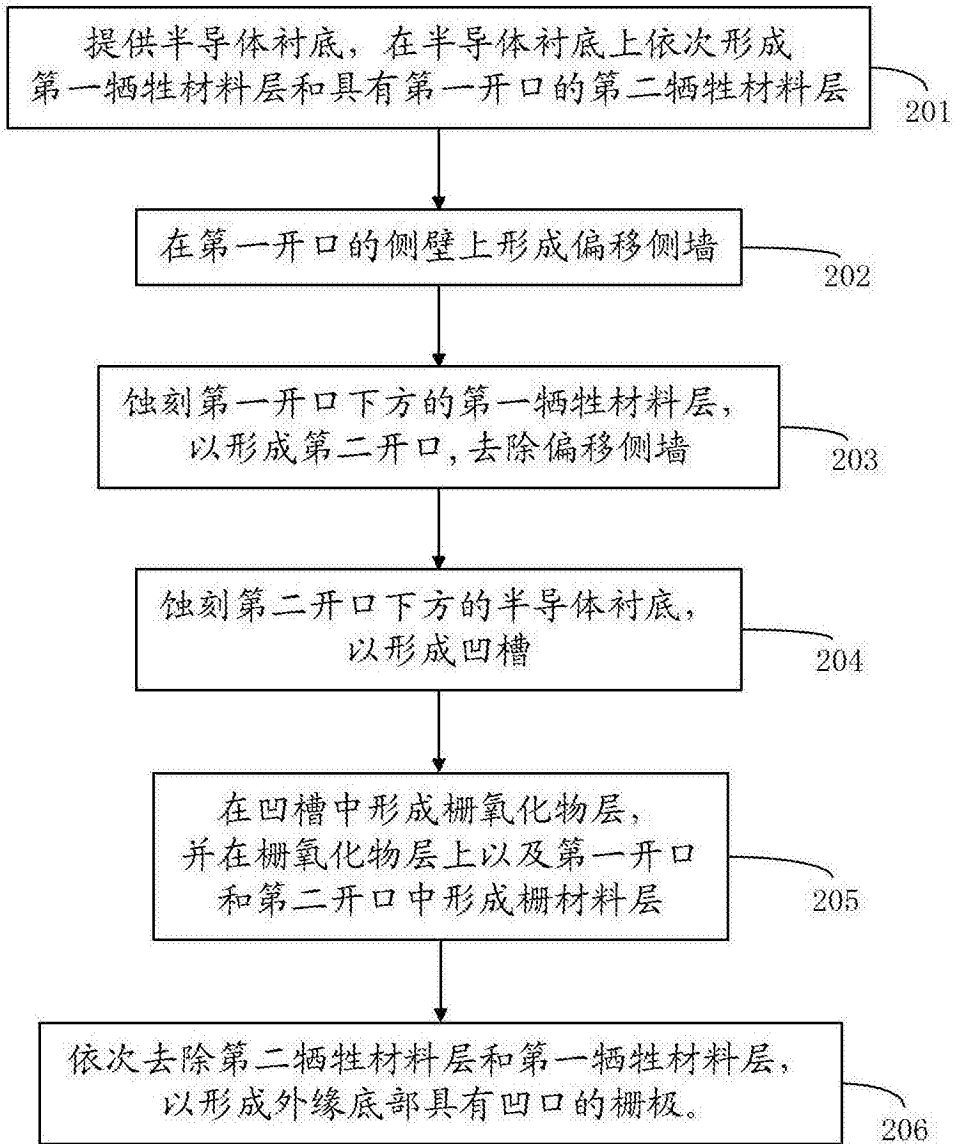


图2