

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 23/28

(45) 공고일자 1999년03월20일

(11) 등록번호 특0179832

(24) 등록일자 1998년11월28일

(21) 출원번호 특1995-022835
(22) 출원일자 1995년07월28일

(65) 공개번호 특1997-008634
(43) 공개일자 1997년02월24일

(73) 특허권자 엘지반도체주식회사 문정환
충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자 허기록
충청북도 청주시 상당구 금천동 77-7 뉴타운아파트 101동 601호
(74) 대리인 박장원

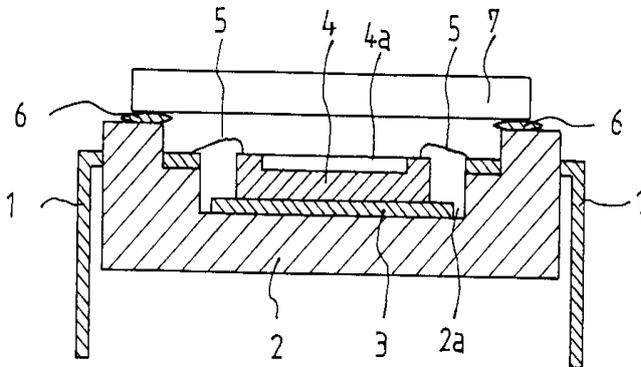
심사관 : 유기혁

(54) 적층형 시시디 패키지 및 그 제조방법

요약

본 발명은 적층형 시시디(CCD:CHARGE COUPLED DEVICE)패키지 및 그 제조방법에 관한 것으로, 일반적인 시시디 패키지는 응용분야의 다양화에 따라 요구되는 패키지의 박형화와 집적도 향상을 이루는데 한계가 있는 문제점이 있었던 바, 본 발명의 적층형 시시디 패키지는 와이어 본딩을 배제하고 솔더(14)를 이용하여 반도체 칩(11)의 본드 패드(도시되어 있지 않음)와 리드(15)를 연결하여 외부로의 전기적인 연결단자가 되도록 함으로써 패키지를 박형화 시키고, 접착부재(10)의 상,하에 제1 및 제2 반도체 칩(11)(11')을 적층형으로 부착하여 하나의 패키지로 사용할 수 있도록 함으로써 패키지의 집적도 향상에 기여하는 효과가 있는 것이다.

대표도



명세서

[발명의 명칭]

적층형 시시디 패키지 및 그 제조방법

[도면의 간단한 설명]

제1도는 일반적인 시시디 패키지의 구성을 보인 종단면도.

제2도는 본 발명 적층형 시시디 패키지의 구성을 보인 종단면도.

제3도는 본 발명 적층형 시시디 패키지의 제조공정을 설명하기 위한 도면으로,

(a)는 반도체 칩의 상면에 솔더와 피아이큐가 설치된 상태를 보인 종단면도.

(b)는 솔더에 리드를 부착하는 상태를 보인 종단면도.

(c)는 반도체 칩의 상부에 글래스 리드를 설치하는 상태를 보인 종단면도.

(d)는 접착부재의 상,하부에 제1 및 제2 반도체 칩을 적층하는 상태를 보인 종단면도.

(e)는 제1 및 제2 반도체 칩을 몰딩하는 상태를 보인 종단면도.

성된 솔더(14)에 리드(15)를 연결하여 전기적인 접속을 실시하는 단계와, 상기 반도체 칩(11)에 형성된 수광 영역부(11a)상부에 글래스 리드(12)를 부착하고, 그와 같이 제작된 다른 반도체 칩(11')을 절연부재(10)의 상,하부에 부착하는 단계와, 이와 같이 부착된 제1 및 제2 반도체 칩(11)(11')과 리드(12)(12')를 포함하여 에폭시로 인캡슐레이션시키는 몰딩단계의 순서로 진행하는 것이다.

상기 몰딩단계의 진행시는 글래스 리드(12)의 표면과 몰딩부(16)의 표면이 일치하도록 하는 것이 바람직하며, 이와 같이 몰딩단계가 끝난 후에는 각각의 리드(12)(12')를 분리하기 위하여 엠바 커팅을 하는 트림공정을 진행하고, 기판에 실장을 하기 위한 솔더링을 실시함으로써 최종 패키지가 완성되는 것이다.

상기 실시례에서는 패키지의 상부에 설치되는 제1 반도체 칩(11)을 먼저 제조하는 것을 설명하였으나, 그 순서는 패키지의 하부에 설치되는 제2 반도체 칩(11')을 먼저 제조하여도 무방하다.

또한, 상기 반도체 칩(11)에 형성된 본드 패드(도시되어 있지 않음)에 솔더(14)를 형성하는 방법은 시브이디(CVD), 피브이디(PVD), 일렉트로플래팅(ELECTRO-PLATING)등의 방법이 사용될 수 있다.

상기와 같은 적층형 시시디 패키지의 제조를 위하여 별도의 몰딩장비는 필요없고, 기존의 에폭시를 이용하여 트랜스퍼 몰딩방식으로 패키지를 제조하면 되는 것이다.

이상에서 상세히 설명한 바와 같이 본 발명의 적층형 시시디 패키지는 와이어 본딩을 배제하고 솔더를 이용하여 반도체 칩의 본드 패드와 리드를 연결하여 외부로의 전기적인 연결단자가 되도록 함으로써 패키지를 박형화 시키고, 접착부재의 상,하에 제1 및 제2 반도체 칩을 적층형으로 부착하여 하나의 패키지로 사용할 수 있도록 함으로써 패키지의 집적도 향상에 기여하는 효과가 있는 것이다.

(57) 청구의 범위

청구항 1

절연부재의 상,하부에 부착되어 있는 제1,제2 반도체 칩과, 그 제1 및 제2 반도체칩의 상,하부에 피아이큐로 부착되어 있는 상,하부 글래스 리드와, 상기 제1,제2 반도체 칩의 본드 패드에 솔더로 연결되어 외부로의 전기적인 연결단자가 되는 수개의 상,하부 리드와, 그 상,하부 리드 사이에 설치되는 상,하부 절연 테이프 및 상기 제1,제2 반도체 칩, 상,하부 리드의 일정부분을 감싸도록 몰딩한 몰딩부로 구성되는 적층형 시시디 패키지.

청구항 2

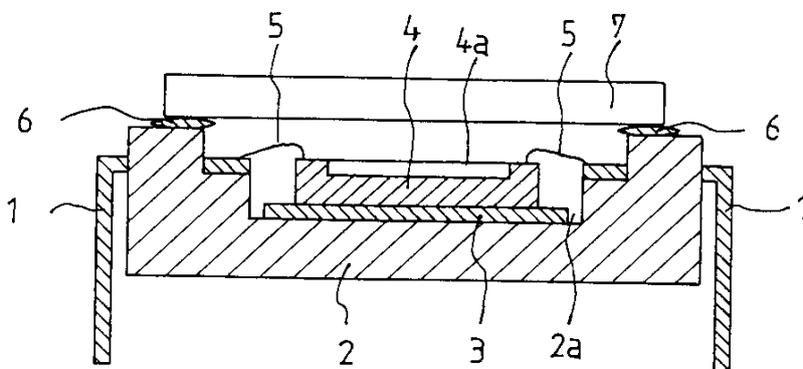
웨이퍼 상태의 반도체 칩에 형성되어 있는 본드 패드에 솔더를 형성하고, 그 반도체 칩의 수광 영역부 주변에 피아이큐로 코팅하는 단계와, 상기 웨이퍼 상태의 반도체 칩을 개개의 반도체 칩으로 분리한 후, 그 반도체 칩의 상부에 형성된 솔더에 리드를 연결하여 전기적인 접속을 실시하는 단계와, 상기 반도체 칩에 형성된 수광 영역부 상부에 글래스 리드를 부착하고, 그와 같이 제작된 다른 반도체 칩을 절연부재의 상,하부에 부착하는 단계와, 이와 같이 부착된 제1 및 제2 반도체 칩과 리드를 포함하여 에폭시로 인캡슐레이션시키는 몰딩단계의 순서로 진행하는 적층형 시시디 패키지의 제조방법.

청구항 3

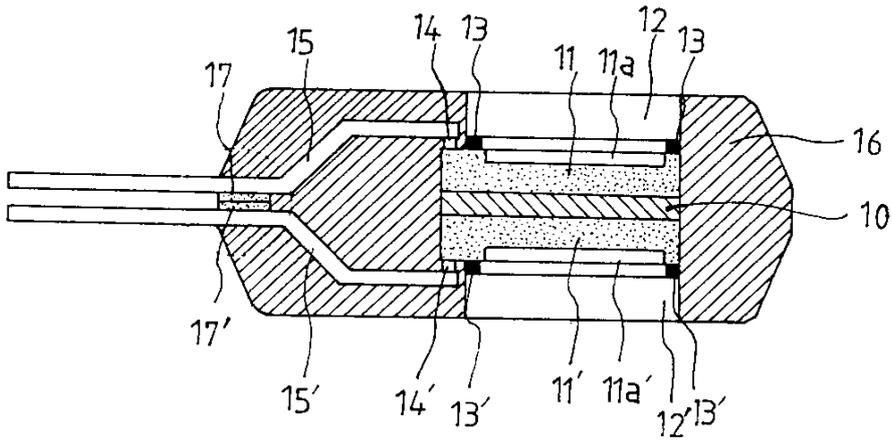
제2항에 있어서, 상기 반도체 칩에 형성된 본드 패드에 솔더를 형성하는 방법은 시브이디(CVD), 피브이디(PVD), 일렉트로 플래팅(ELECTRO-PLATING)방법 중 어느 하나인 것을 특징으로 하는 적층형 시시디 패키지의 제조방법.

도면

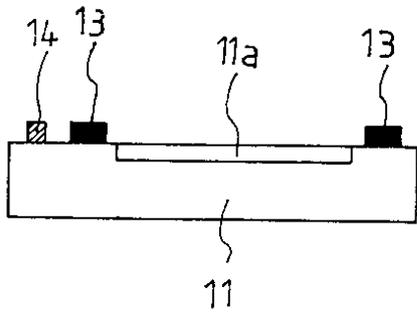
도면1



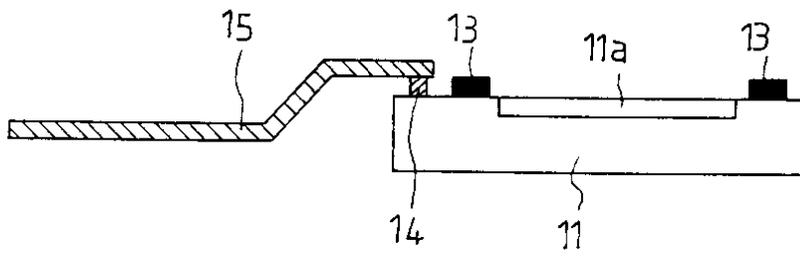
도면2



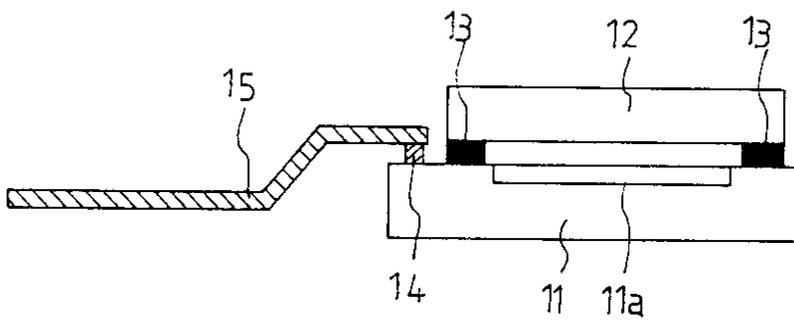
도면3a



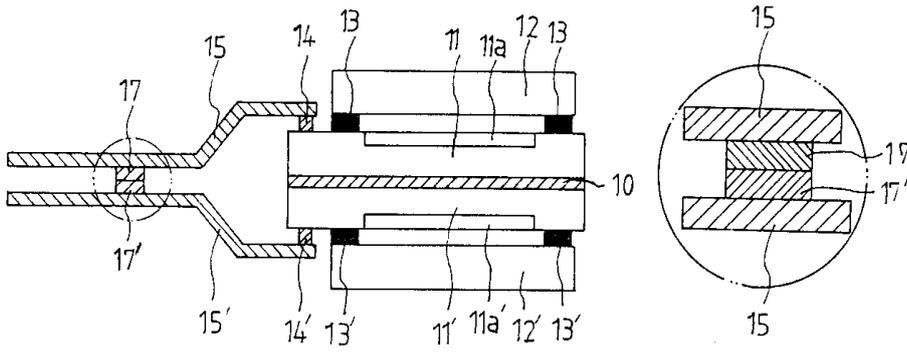
도면3b



도면3c



도면3d



도면3e

