

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-147438

(P2008-147438A)

(43) 公開日 平成20年6月26日(2008.6.26)

(51) Int.Cl. F I テーマコード (参考)
 HO 1 L 25/04 (2006.01) HO 1 L 25/04 Z
 HO 1 L 25/18 (2006.01)

審査請求 未請求 請求項の数 9 O L (全 13 頁)

(21) 出願番号 特願2006-333200 (P2006-333200)
 (22) 出願日 平成18年12月11日(2006.12.11)

(71) 出願人 302062931
 NECエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 柴田 大彦
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内

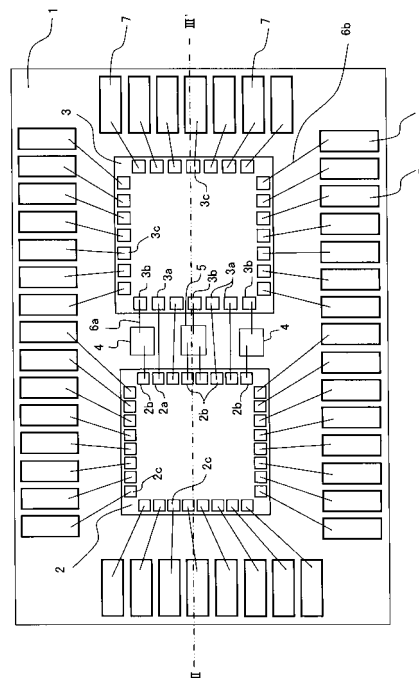
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】パッドピッチが異なるチップ同士の接続を容易に行うことができる半導体装置を提供する。

【解決手段】本発明にかかる半導体装置は、第1接続パッド2aが第1の間隔で配置された第1の半導体チップ2と、第2接続パッド3aが第1の間隔より大きい間隔である第2の間隔で配置された第2の半導体チップ3とを有し、第1の半導体チップ2は、第1接続パッド2aのうち第2接続パッド3aと接続されない第3のパッド2bを有し、第3のパッド2bは、第1接続パッド2aと第2接続パッド3aとを接続するボンディングワイヤ6aの傾きを調整する傾き調整パッドを有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 のパッドが第 1 の間隔で配置された第 1 の半導体チップと、
 第 2 のパッドが前記第 1 の間隔より大きい間隔である第 2 の間隔で配置された第 2 の半導体チップとを有し、
 前記第 1 の半導体チップは、前記第 1 のパッドのうち前記第 2 のパッドと接続されない第 3 のパッドを有し、
 前記第 3 のパッドは、前記第 1 のパッドと前記第 2 のパッドとを接続する配線の傾きを調整する傾き調整パッドを有する半導体装置。

【請求項 2】

前記第 1 のパッドに対して前記第 2 のパッドが前記第 1 の半導体チップと前記第 2 の半導体チップとが対向する辺と直交する方向から一定量傾いた位置に配置されている場合、前記第 3 のパッドを前記傾き調整パッドとすることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 の半導体チップと前記第 2 の半導体チップとの間に配置され、第 1 の電源に接続された第 1 の電源パッド又は第 2 の電源に接続された第 2 の電源パッドを有し、前記第 3 のパッドは、前記第 1 の電源パッド又は第 2 の電源パッドに接続されることを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】

第 1 の電源に接続されているチップ搭載基板上に形成された、前記第 1 の半導体チップ及び前記第 2 の半導体チップとを有し、前記第 3 のパッドは前記チップ搭載基板に接続されることを特徴とする請求項 1 乃至 3 のいずれか 1 項記載の半導体装置。

【請求項 5】

前記チップ搭載基板は複数の開口を有し、第 2 の電源に接続された第 2 の電源パッドを前記開口に形成し、前記第 3 のパッドを前記チップ搭載基板又は前記第 2 の電源パッドに接続することを特徴とする請求項 4 記載の半導体装置。

【請求項 6】

前記第 1 のパッドは前記第 1 の半導体チップの辺に沿って複数列配置され、前記第 1 のパッド列のそれぞれの前記第 1 のパッドが交互に千鳥状に配置されることを特徴とする請求項 1 乃至 5 のいずれか 1 項記載の半導体装置。

【請求項 7】

前記第 2 の半導体チップと対向する辺に配置された前記第 1 のパッドにおいて、前記第 2 の半導体チップと対向する側に配置された第 1 のパッドは前記第 3 のパッドを有することを特徴とする請求項 6 記載の半導体装置。

【請求項 8】

前記第 2 の半導体チップは、前記第 2 のパッドのうち前記第 1 のパッドと接続されない第 4 のパッドを有することを特徴とする請求項 1 乃至 7 のいずれか 1 項記載の半導体装置。

【請求項 9】

前記第 3 のパッドは前記第 4 のパッドより多く前記第 1 の電源パッド又は第 2 の電源パッドに接続されることを特徴とする請求項 8 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に複数のチップを 1 パッケージ化した SiP (System In Package) を構成する半導体装置に関する。

10

20

30

40

50

【背景技術】

【0002】

複数の異なる機能の半導体チップを単一の基板上に形成し単一パッケージ化したSiPがある。このSiPは、複数の半導体チップを半導体パッケージ内に搭載し、これらの半導体チップ間の信号の送受信を行うための配線接続や、搭載される半導体チップへの電源供給をSiP内部で行う。そして、SiP外部に接続される機器等との信号の送受信を行う端子がSiP外部に引き出されている。これにより、SiPを用いたモバイル機器等の高機能化、薄型化、及び軽量化を同時に実現している。

【0003】

このようなSiPを用いた半導体システムが特許文献1に記載されている。特許文献1に記載の半導体システムを図10に示す。図10に示す半導体システム90は、パッケージ91にロジックチップ92及びメモリチップ93が配置されている。このロジックチップ92とメモリチップ93は一辺が対向するように隣接して配置されている。パッケージ91は、ロジックチップ92及びメモリチップ93と接続される接続端子94と、接続端子94を介して外部から電源電圧Vccとグランド電圧Vssが供給されるI/O回路電源用端子95と、電源電圧Vccとグランド電圧Vssを伝送するI/O回路電源線96とを有している。このI/O回路電源線96上に端子97が形成されている。接続端子94はロジックチップ92又はメモリチップ93上に配置された接続端子98等にワイヤボンディング等で接続される。

10

【0004】

ロジックチップ92及びメモリチップ93上には、それぞれ高速I/O回路99、I/O端子100、及びI/O電源端子101が配置されている。このI/O端子100及びI/O電源端子101は、ロジックチップ92とメモリチップ93が対向して隣接する辺に配置されている。対向して配置されているロジックチップ92とロジックチップ93のI/O端子100同士がボンディングワイヤ102で電氣的に接続されている。I/O電源端子101はI/O回路電源線96上に形成された端子97にワイヤボンディング等で接続され、電源が供給されている。

20

【特許文献1】特開平11-086546号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0005】

しかしながら、従来は、SiPに搭載されるチップ同士を電氣的に接続するパッドであるI/O端子100のパッド間距離(以下、パッドピッチという。)が一定の場合のみが想定されていた。このため、例えば、ロジックチップ92とロジックチップ93のパッドピッチが異なる場合、I/O端子100同士を接続するボンディングワイヤが、平面上においてロジックチップ92とロジックチップ93が対向する辺に対して直交して接続されず、ボンディングワイヤ同士が略平行となるように接続されないという問題点があった。ここで、それぞれのロジックチップ上に配置されたI/O端子100が配置されているパッド列の同一端側から順にそれぞれのI/O端子100を接続する場合を考える。例えば、パッドピッチの短いロジックチップのパッド列の端から5番目のI/O端子100と、パッドピッチの長いロジックチップのパッド列の端から5番目のI/O端子100とを接続する場合、ロジックチップのパッドピッチが異なるため、平面上においてワイヤボンディングが、ロジックチップが対向する辺に対して直交して接続されず、パッド列方向に傾いてしまうという問題点があった。

40

【0006】

以下に、パッドピッチが一定でない場合について説明する。例えば、高性能の中央演算処理装置(CPU)が組み込まれたチップと、周辺回路等が組み込まれたチップとを1つのSiPに搭載する場合がある。この場合、CPUが組み込まれたチップと周辺回路等が組み込まれたチップとでは製造プロセスが異なるためパッドピッチが異なる場合がある。これは、例えば、CPUが組み込まれたチップは性能を優先しチップ単価が高く高速動作

50

が可能な微細な最新の製造プロセスで設計製造される。一方、周辺回路が組み込まれたチップはチップ単価の安い従来から用いられている製造プロセスで製造される。すなわち、チップごとに製造プロセスが異なるため、チップのパッドピッチが異なる場合がある。

【0007】

また、単一のSiP内に搭載されるチップは、全て新しく設計されたチップではなく、何世代か前のチップと新しい機能を有する最新のチップが使用される場合がある。これは、全てのチップを新たに設計開発することにより、チップ等の開発及び製造にかかる一連の工程に必要な時間であるTAT (Turn Around Time) が長くなるためである。このため、機能を変更したいチップのみを新たに設計し直す。ここで、チップ毎に製造プロセスが異なる。そして、この新たに設計されたチップと何世代か前のチップとを単一のSiP内に搭載する。これにより、SiP内に搭載するチップ毎にパッドピッチが異なってしまう場合がある。

10

【0008】

このような場合に、異なるパッドピッチを有するチップのパッド列の同一端側からそれぞれのパッドを順次接続する際、接続に用いられるボンディングワイヤがチップ平面上において、チップが対向する辺に対して直交して接続されないという問題点があった。すなわち、ボンディングワイヤ毎に配線長が異なり、これらのボンディングワイヤが略平行に接続されないという問題点があった。そのため、ボンディングワイヤが、平面上においてチップが対向する辺に対して略直交して接続されず、パッド列方向に傾く場合であって、ボンディングワイヤ上を樹脂等によって封止する場合、ボンディングワイヤがショート等

20

【課題を解決するための手段】

【0009】

上述した課題を解決するために、本発明に係る半導体装置は、第1のパッドが第1の間隔で配置された第1の半導体チップと、第2のパッドが前記第1の間隔より大きい間隔である第2の間隔で配置された第2の半導体チップとを有し、前記第1の半導体チップは、前記第1のパッドのうち前記第2のパッドと接続されない第3のパッドを有し、前記第3のパッドは、前記第1のパッドと前記第2のパッドとを接続する配線の傾きを調整する傾き調整パッドを有するものである。

【0010】

本発明においては、第1のパッドが第1の間隔で配置された第1の半導体チップと、第2のチップが第1の間隔より大きい間隔である第2の間隔で配置された第2の半導体チップにおいて、第1のパッドのうち第2のパッドと接続されない第3のパッドは第1のパッドと第2のパッドとを接続する配線の傾きを調整する傾き調整パッドとすることにより、第1のパッドと第2のパッドとを接続する配線の傾きを調整して、配線同士を略平行にすることができる。

30

【発明の効果】

【0011】

本発明によれば、パッドピッチが異なるチップ同士の接続を容易に行うことができる。

【発明を実施するための最良の形態】

40

【0012】

実施の形態1.

以下、本実施の形態について、図を参照しながら詳細に説明する。本実施の形態は、本発明をSiPに適用したものである。図1に本実施の形態にかかるSiPの平面図を示す。図1に示すように、SiP内において複数層で形成されている基板1上に第1の半導体チップ(以下、第1チップという。)2、第2の半導体チップ(以下、第2チップ)3、複数の電源パッド4、複数のグランドパッド5、複数の周辺パッド7が形成されている。

【0013】

第1チップ2は、第1チップ2と第2チップ3が対向している辺(以下、対向辺という。)に沿って略一列に配置された複数の第1接続パッド2aを有している。また、対向辺

50

以外の辺に沿って配置された複数の第1接続パッド2cを有している。そして、第2チップ3は、対向辺に沿って略一列に配置された複数の第2接続パッド3aを有している。また、対向辺以外の辺に沿って配置された複数の第2接続パッド3cを有している。電源パッド4は、後述するように、基板1内に形成された電源層に接続されていて電源電圧が供給されている。また、グランドパッド5は、後述するように、基板1内に形成されたグランド層(GND層)に接続されていてグランド電圧が供給されている。この電源パッド4及びグランドパッド5は第1チップ2と第2チップ3の間の基板1上に形成されている。複数の周辺パッド7は、それぞれ接続される第1接続パッド2c又は第2接続パッド3cの機能に応じて電源用、グランド用、又は信号用のパッドとして設定され、基板1の内層の配線又はプレーンを介して基板1の裏面に形成された半田ボールに接続される。また、これらの周辺パッド7は、第1接続パッド2c又は第2接続パッド3cとボンディングワイヤ6bを介して接続される。すなわち、周辺パッド7は、SiP内部の半導体チップに電源電圧又はグランド電圧を供給すると共に、SiP内部の半導体チップと外部との信号の接続を行っている。

10

20

30

40

50

【0014】

ここで、対向辺に沿って第1接続パッド2a及び第2接続パッド3aが略一列に配置されている方向をパッド列方向ということとする。本実施の形態においては、第1接続パッド2aのうち第2チップ3上に形成された第2接続パッド3aと接続されない第3のパッド2bを設ける。また、第2接続パッド3aのうち第1接続パッド2aと接続されない第4のパッド3bを設けてもよい。そして、ボンディングワイヤ6aの傾きを調整する傾き調整を行う場合は、この第3のパッド2bを傾き調整パッドとして使用する。傾き調整パッドとは、ボンディングワイヤ6aが平面上で対向辺に直交する方向から一定量傾いた場合の傾きを調整するパッドであって、第2接続パッド3aと接続されない未接続パッドである。また、後述するように、ボンディングワイヤ6aの傾きが大きい場合及びより正確に傾きを調整する場合等は、第4のパッド3bを傾き調整パッドとして使用してもよい。換言すれば、第3のパッド2bは、第2接続パッド3aと接続されない冗長なパッドである。同じく第4のパッド3bは第1接続パッド2aと接続されない冗長なパッドであるが、後述するように、これらの第3のパッド2b、第4のパッド3bを上述の傾き調整に使用するのみならず、電源パッド又はグランドパッドと接続することで、第1チップ2及び第2チップ3の電位を安定させることができる。

【0015】

次に、図2に図1で示したSiPの一部であって、説明のために第1接続パッド2a及び第3のパッド2b並びに第2接続パッド3a及び第4のパッド3bの数を変更した図を示す。この図2を用いて本実施の形態の第1チップ2と第2チップ3の構成について詳細に説明する。図2に示すように、基板1上に第1チップ2と第2チップ3が形成されている。第1チップ2と第2チップ3の対向辺に沿って、それぞれ第1チップ2は複数の第1接続パッド2aを有し、第2チップ3は複数の第2接続パッド3aを有している。本実施の形態では、第1チップ2上に形成される第1接続パッド2aと第2チップ3上に形成される第2接続パッド3aのパッドピッチが異なるため、第1接続パッド2aに第3のパッド2bを設ける。また、第1チップ2は、対向辺以外の辺に第1接続パッド2cを有し、第2チップ3は対向辺以外の辺に第2接続パッド3cを有している。第1接続パッド2c及び第2接続パッド3cはそれぞれ図示せぬ周辺パッド7にボンディングワイヤ6bを介して接続されている。第1接続パッド2aのパッドピッチは例えば、100 μm であり、第2接続パッド3aのパッドピッチは120 μm である。そして、第1チップ2と第2チップ3の間に、電源層に接続されている電源パッド4とグランド層に接続されているグランドパッド5とを有する。

【0016】

ここで、第1接続パッド2aと第2接続パッド3aのパッドピッチが異なる場合に、例えば、対向辺に沿ってそれぞれのチップ上に略一列に配置された第1接続パッド2aと第2接続パッド3aのパッド列の同一端の接続パッドから順に接続する。このとき、第1パ

ッド2 aと第2パッド3 aのパッドピッチが異なるため、第1接続パッド2 aと第2接続パッド3 aを接続するボンディングワイヤ6 aが、平面上において、対向辺に直交する方向から傾く。

【0017】

このため、本実施の形態では、ボンディングワイヤ6 aが、対向辺に直交する方向から一定量以上傾く場合、第3のパッド2 bをボンディングワイヤ6 aの傾きを調整するための傾き調整パッドとする。ボンディングワイヤ6 aの傾きが大きい場合は、連続して複数個の傾き調整パッドとすればよい。このとき、ボンディングワイヤ6 aの傾きをより正確に調整するため等の目的で第4のパッド3 bを傾き調整パッドとして使用してもよい。そして、ボンディングワイヤ6 aの傾きが一定量以下になるように第1接続パッド2 aと第2接続パッド3 aとを接続する。ここで、本実施の形態では、第1接続パッド2 aのパッドピッチは第2接続パッド3 aのパッドピッチより短いため第3のパッド2 bを第4のパッド3 bより多く設けることが好ましい。

10

【0018】

これにより、第1接続パッド2 aと第2接続パッド3 aとを接続するボンディングワイヤ6 aを平面上において対向辺に対して略直交するように接続することができる。すなわち、ボンディングワイヤ長を略最短長とすることができるため、ボンディングワイヤ6 aを介して送受信される信号のノイズを抑制することができる。また、ボンディングワイヤ6 aを対向辺に対して略直交するように設けることにより、平面上においてボンディングワイヤ6 aの配線長が長くなることを防止することができる。これにより、ボンディングワイヤ6 aを樹脂等によって封入する場合にボンディングワイヤ6 aがショートすることを防止することができる。

20

【0019】

そして、本実施の形態においては、第1チップ2と第2チップ3の間の基板1上に電源パッド4及びグランドパッド5を配置する。また、第3のパッド2 bと第4のパッド3 bを電源パッド4又はグランドパッド5に接続する。すなわち、第1チップ2及び第2チップ3に電源電圧及びグランド電圧を供給するパッドを設けることにより、第1チップ2及び第2チップ3の電位を安定させることができる。

【0020】

ここで、図3に本実施の形態に係るS i Pの断面図であって、図1のI I I - I I I '線における断面図を示す。図3に示すように、基板1は、複数の配線層を積層して形成されている。例えば、1層目に電源層、2層目にグランド層、3層目に配線引き回し層が形成されている。そして、基板1上に形成された複数の周辺パッド7は、例えば、基板1裏面に形成された半田ボール8に接続されていて、半田ボール8を介してS i Pに出入力される信号の送受信を行う送受信パッドである。また、例えば、電源層に接続されていて、電源電圧を供給する電源パッド等である。

30

【0021】

本実施の形態は、第1チップ2上に配置される第1接続パッド2 aのパッドピッチと、第2チップ3上に配置される第2接続パッド3 aのパッドピッチが異なる場合において、第1接続パッド2 aのうち、第2接続パッド3 aと接続されない第3のパッド2 bを設ける。また、第2接続パッド3 aのうち、第1接続パッド2 aと接続されない第4のパッド3 bを設けてもよい。そして、第1接続パッド2 aと第2接続パッド3 aを接続するボンディングワイヤ6 aが平面上において対向辺に対して略直交方向から一定量傾いた場合には、第3のパッド2 bを傾き調整パッドとして使用する。このとき、第4のパッド3 bを傾き調整パッドとして使用してもよい。すなわち、第1接続パッド2 aと第2接続パッド3 aとを相互に接続しない第3のパッド2 b又は第4のパッド3 bを配置し、ボンディングワイヤ6 aが一定量傾いた場合に傾き調整等を行う場合は、第3のパッド2 bを傾き調整パッドとする。また、第4のパッド3 bを傾き調整パッドとしてもよい。このとき、パッドピッチが短い第3のパッド2 bは第4のパッド3 bより多く設ける。そして、第3のパッド2 b及び第4のパッド3 bはそれぞれ、基板1上であって第1チップ2と第2チッ

40

50

ブ 3 の間に形成された電源パッド 4 又はグランドパッド 5 に接続する。これにより、平面上においてボンディングワイヤ 6 a を第 1 チップ 2 と第 2 チップ 3 が対向する辺に対して略直交して形成することができ、ボンディングワイヤ長を略最短長とすることができる。このため、例えば、第 1 チップ 2 及び第 2 チップ 3 等をボンディングワイヤ 6 a の上から樹脂等で封止する場合に、ボンディングワイヤ 6 a がショートすることを防止することができる。また、第 3 のパッド 2 b 及び第 4 のパッド 3 b を電源パッド 4 又はグランドパッド 5 に接続することにより、第 1 チップ 2 及び第 2 チップ 3 に供給される電源電圧又はグランド電圧を供給する基板の面積を増大させることができるため、第 1 チップ 2 及び第 2 チップ 3 の電位を安定させることができる。

【 0 0 2 2 】

10

ここで、本実施の形態では、第 3 のパッド 2 b 及び第 4 のパッド 3 b は電源パッド 4 又はグランドパッド 5 と接続することとしたが、第 3 のパッド 2 b 及び第 4 のパッド 3 b には電源パッド 4 及びグランドパッド 5 以外のパッドを接続してもよい。又は、何も接続しないでもよい。また、必ずしも第 3 のパッド 2 b 又は第 4 のパッド 3 b の全てを電源パッド 4 又はグランドパッド 5 と接続しなくてもよい。

【 0 0 2 3 】

実施の形態 2 .

次に実施の形態 2 にかかる S i P について図 4 及び図 5 を用いて説明する。図 4 は、実施の形態 2 にかかる S i P の平面図である。図 4 及び後述する図 5 に示す実施の形態 2 にかかる S i P において、図 1 乃至図 3 に示す実施の形態 1 と同一構成要素には同一の符号を付し、その詳細な説明は省略する。

20

【 0 0 2 4 】

図 4 に示す S i P において、図 1 乃至図 3 に示す実施の形態 1 と異なる点は、基板 1 上にグランドに接続されているチップ搭載基板 9 を有する点である。このチップ搭載基板 9 は、後述するように、基板 1 内においてグランド層に接続されていて、グランド電圧が供給されている。すなわち、基板 1 上にチップ搭載基板 9 及び複数の周辺パッド 7 が形成され、チップ搭載基板 9 上に第 1 チップ 2 及び第 2 チップ 3 が形成されている。そして、第 1 チップ 2 上に形成されている第 3 のパッド 2 b 及び第 2 チップ 3 上に形成されている第 4 のパッド 3 b がそれぞれ、チップ搭載基板 9 に接続される。また、図 3 に示すように、チップ搭載基板 9 は、基板 1 内においてグランド層に接続されていて、グランド電圧が供給されている。そして、このグランド層 9 上に第 1 チップ 2 及び第 2 チップ 3 が形成されている。

30

【 0 0 2 5 】

ここで、図 5 に図 4 で示す S i P の V - V ' 線の断面図を示す。図 5 に示すように、複数の配線層を積層して形成されている基板 1 上にチップ搭載基板 9 及び複数の周辺パッド 7 が形成されている。そして、チップ搭載基板 9 上に第 1 チップ 2 及び第 2 チップ 3 が形成されている。第 1 チップ 2 上に形成されている第 3 のパッド 2 b は、ボンディングワイヤ 6 a を介してチップ搭載基板 9 に接続されている。また、第 4 のパッド 3 b はボンディングワイヤ 6 a を介してチップ搭載基板 9 に接続されている。そして、第 1 接続パッド 2 c 及び第 2 接続パッド 3 c はそれぞれボンディングワイヤ 6 b を介して周辺パッド 7 と接続されている。

40

【 0 0 2 6 】

このように構成された本実施の形態においては、第 1 チップ 2、第 2 チップ 3、第 3 のパッド 2 b、及び第 4 のパッド 3 b をグランド電圧が供給されているチップ搭載基板 9 に接続する構造にする。すなわち、第 1 チップ 2 及び第 2 チップ 3 に供給されるグランド電圧を供給する基板を設ける。これにより、第 1 チップ 2 及び第 2 チップ 3 に供給される電位をより安定させることができる。

【 0 0 2 7 】

実施の形態 3 .

実施の形態 3 にかかる S i P について図 6 及び図 7 を参照して説明する。図 6 は実施の

50

形態 3 にかかる S i P の平面図である。図 6 及び後述する図 7 に示す実施の形態 3 にかかる S i P において、図 1 乃至図 3 に示す実施の形態 1 と同一構成要素には同一の符号を付し、その詳細な説明は省略する。

【 0 0 2 8 】

図 6 に示す S i P において、図 1 乃至図 3 に示す実施の形態 1 と異なる点は、基板 1 上にグランドに接続されているチップ搭載基板 9 を有し、さらに、チップ搭載基板 9 に電源パッド 4 を露出させるための開口 9 a を有する点である。すなわち、基板 1 上に電源に接続されている電源パッド 4 及び、基板 1 の周囲に沿って、信号パッド等の複数の周辺パッド 7 が形成される。ここで、電源パッド 4 はチップ搭載基板 9 上に形成する第 1 チップ 2 及び第 2 チップ 3 の間に形成される。そして、基板 1 上であって、電源パッド 4 及び周辺パッド 7 以外を覆うように、チップ搭載基板 9 が形成される。すなわち、開口 9 a に電源パッド 4 をはめ込む。このチップ搭載基板 9 上に第 1 チップ 2 及び第 2 チップ 3 が形成される。この第 1 チップ 2 及び第 2 チップ 3 上にそれぞれ第 1 接続パッド 2 a 等が形成される。そして、第 1 チップ 2 上に形成された第 1 接続パッド 2 a と第 2 チップ 3 上に形成された第 2 接続パッド 3 a とを接続する。また、第 1 チップ 2 上に形成された第 3 のパッド 2 b 及び第 2 チップ 3 上に形成された第 4 のパッド 3 b を電源パッド 4 又はチップ搭載基板 9 に接続する。

【 0 0 2 9 】

本実施の形態においては、基板 1 上に電源パッド 4 を形成する。そして、チップ搭載基板 9 の開口 9 a 内に電源パッド 4 を形成し、チップ搭載基板 9 上に第 1 チップ 2 及び第 2 チップ 3 を形成する。そして、第 3 のパッド 2 b 及び第 4 のパッド 3 b を、基板 1 上に形成されたチップ搭載基板 9、又は第 1 チップ 2 と第 2 チップ 3 の間に形成された電源パッド 4 に接続する。すなわち、第 1 チップ 2 及び第 2 チップ 3 に電源電圧を供給する基板及びグランド電圧を供給する基板を設けることにより、第 1 チップ 2 及び第 2 チップ 3 の電位が安定する。また、本実施の形態では、チップ搭載基板 9 は開口 9 a を有し、この開口 9 a 内に電源パッド 4 を形成し、チップ搭載基板 9 上に第 1 チップ 2 及び第 2 チップ 3 を設けることとしたが、例えば、基板 1 上に 2 枚のチップ搭載基板を設け、それぞれのチップ搭載基板に第 1 チップ 2 又は第 2 チップ 3 を形成してもよい。

【 0 0 3 0 】

このように構成された実施の形態 3 にかかる S i P の V I I - V I I ' 線における断面図を図 7 に示す。図 7 に示すように、第 1 チップ 2 上に形成された第 1 冗長パッド 2 b はボンディングワイヤ 6 a を介して基板 1 上に形成された電源パッド 4 に接続されている。又はチップ搭載基板 9 に接続されている（図示せず）。また、第 2 チップ 3 上に形成された第 2 冗長パッド 3 b はボンディングワイヤ 6 a を介して基板 1 上に形成された電源パッド 4 に接続されている。又はチップ搭載基板 9 に接続されている（図示せず）。そして、第 1 接続パッド 2 c 及び第 2 接続パッド 3 c はそれぞれボンディングワイヤ 6 b を介して周辺パッド 7 に接続されている。これにより、第 1 チップ 2 及び第 2 チップ 3 の電位が安定する。

【 0 0 3 1 】

実施の形態 4 .

次に実施の形態 4 にかかる S i P について図 8 及び図 9 を用いて説明する。図 8 は、実施の形態 4 にかかる S i P の平面図である。図 8 及び後述する図 9 に示す実施の形態 4 にかかる S i P において、図 1 乃至図 3 に示す実施の形態 1 と同一構成要素には同一の符号を付し、その詳細な説明は省略する。

【 0 0 3 2 】

図 8 に示す S i P において、図 1 乃至図 3 に示す実施の形態 1 と異なる点は、基板 1 上にグランドに接続されていて、開口 9 a を有するチップ搭載基板 9 を有し、さらに、2 列に配置された第 1 接続パッド 2 a 及び 2 c を有する点である。ここで、開口 9 a には電源 4 が形成される。また、2 列に配置された第 1 接続パッド 2 a において、第 2 チップ 3 と対向する辺に沿って第 2 チップ 3 と対向する側に配置された第 1 接続パッド 2 a を第 3 の

パッド 2 b とする。これは、第 2 チップ 3 と対向する辺に沿って第 2 チップ 3 と対向する側でない第 1 接続パッド 2 a をチップ搭載基板 9 又は電源パッド 4 に接続する場合、ボンディングワイヤ 6 a が第 1 チップ 2 に接触等することによりボンディングワイヤ 6 a が破損等してしまう場合がある。このため、本実施の形態では、第 2 チップ 3 と対向する側の第 1 接続パッド 2 a を第 3 のパッド 2 b とし、電源パッド 4 又はチップ搭載基板 9 に接続する。

【 0 0 3 3 】

ここで、ボンディングワイヤ 6 a の接続を容易にするために、2 列に配置した第 1 接続パッド 2 a と第 3 のパッド 2 b を交互に配置することが好ましい。例えば、図 8 に示したように、第 1 接続パッド 2 a と第 4 のパッド 2 b を千鳥状にすることが好ましい。また、基板 1 上であって第 1 チップ 2 を取り囲むように電源に接続されている電源パッド 4 a を設けてもよい。そして、第 1 チップ 2 上において、対向辺以外に配置された第 1 接続パッド 2 c のうち、第 1 チップ 2 の端に沿って配置された第 1 接続パッド 2 c をチップ搭載基板 9 又は電源パッド 4 a に接続する。これにより、ボンディングワイヤ 6 b の破損等を防止する。そして、第 1 チップ 2 に電源電圧を供給する基板である電源パッド 4 a をさらに設けることにより、第 1 チップ 2 の電位を安定させることができる。

10

【 0 0 3 4 】

このように構成された実施の形態 4 にかかる S i P の I X - I X ' 線における断面図を図 9 に示す。図 9 に示すように、第 1 チップ 2 上に形成された第 3 のパッド 2 b はボンディングワイヤ 6 a を介して基板 1 上に形成された電源パッド 4 に接続されている。又はチップ搭載基板 9 に接続されている（図示せず）。また、第 1 接続パッド 2 a は第 2 接続パッド 3 a と接続されている。そして、第 1 接続パッド 2 c 及び第 2 接続パッド 3 c はそれぞれボンディングワイヤ 6 b を介して周辺パッド 7 又は電源パッド 4 等に接続されている。

20

【 0 0 3 5 】

本実施の形態においては、第 1 接続パッド 2 a 及び 2 c を 2 列に配置する。このとき、例えば、第 1 接続パッド 2 a 及び 2 c を千鳥状に配置することが好ましい。そして、第 2 チップ 3 と対向する辺に沿って第 2 チップ 3 と対向する側に配置された第 1 接続パッド 2 a を第 3 のパッド 2 b とする。そして、第 1 接続パッド 2 a を第 2 接続パッド 3 a と接続し、第 3 のパッド 2 b を電源 4 又はチップ搭載基板 9 に接続する。これにより、パッド間を接続するボンディングワイヤ 6 a の破損等を防止することができる。また、基板 1 上であって第 1 チップ 2 を取り囲むように電源パッド 4 a を設けてもよい。この場合、第 1 接続パッド 2 c のうち第 1 チップ 2 の端に沿って配置された第 1 接続パッド 2 c を電源パッド 4 a 又はチップ搭載基板 9 に接続することが好ましい。すなわち、第 1 チップ 2 に電源電圧を供給する電源パッド 4 a を形成し、第 1 チップ 2 及び第 2 チップ 3 にグランド電圧を供給するチップ搭載基板 9 を形成することにより、第 1 チップ 2 及び第 2 チップ 3 の電位がより安定する。

30

【 0 0 3 6 】

なお、本発明は上述した実施の形態のみに限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能であることは勿論である。

40

【 図面の簡単な説明 】

【 0 0 3 7 】

【 図 1 】 本実施の形態にかかる S i P の平面図である。

【 図 2 】 本実施の形態にかかる S i P であって、図 1 に示す平面図の一部を拡大した図である。

【 図 3 】 図 1 に示す S i P の I I I - I I I ' 線における断面図である。

【 図 4 】 本実施の形態にかかる S i P の平面図である。

【 図 5 】 図 4 に示す S i P の V - V ' 線における断面図である。

【 図 6 】 本実施の形態にかかる S i P の平面図である。

【 図 7 】 図 1 に示す S i P の V I I - V I I ' 線における断面図である。

50

【図 8】本実施の形態にかかる S i P の平面図である。

【図 9】図 8 に示す S i P の I X - I X ' 線における断面図である。

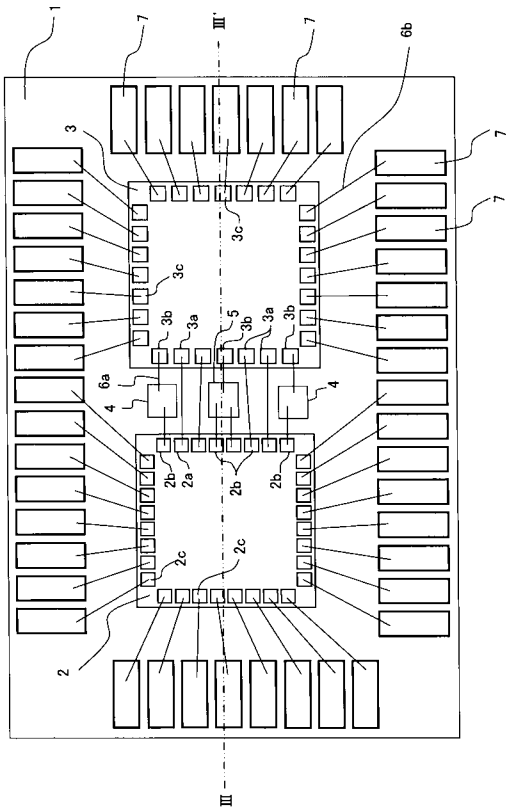
【図 10】従来の半導体システムの平面図の一部である。

【符号の説明】

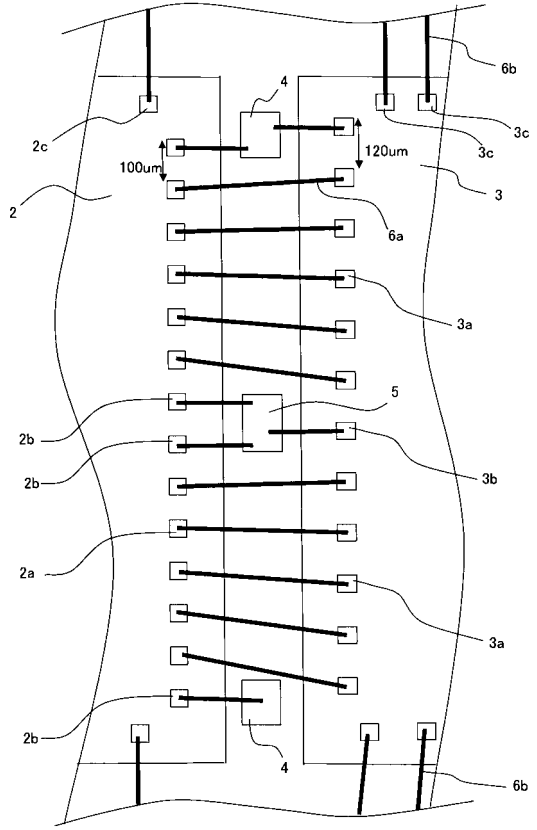
【 0 0 3 8 】

- | | | |
|---------------|---------------|----|
| 1 | 基板 | |
| 2 | 第 1 チップ | |
| 2 a、2 c | 第 1 接続パッド | |
| 2 b | 第 3 のパッド | |
| 3 | 第 2 チップ | 10 |
| 3 a、3 c | 第 2 接続パッド | |
| 3 b | 第 4 のパッド | |
| 4、4 a | 電源パッド | |
| 5 | グランドパッド | |
| 6 a、6 b、1 0 2 | ボンディングワイヤ | |
| 7 | 周辺パッド | |
| 8 | 半田ボール | |
| 9 | チップ搭載基板 | |
| 9 a | 開口 | |
| 9 0 | 半導体システム | 20 |
| 9 1 | パッケージ | |
| 9 2 | ロジックチップ | |
| 9 3 | メモリチップ | |
| 9 4、9 8 | 接続端子 | |
| 9 5 | I / O 回路電源用端子 | |
| 9 6 | I / O 回路電源線 | |
| 9 7 | 端子 | |
| 9 9 | 高速 I / O 回路 | |
| 1 0 0 | I / O 端子 | |
| 1 0 1 | I / O 電源端子 | 30 |

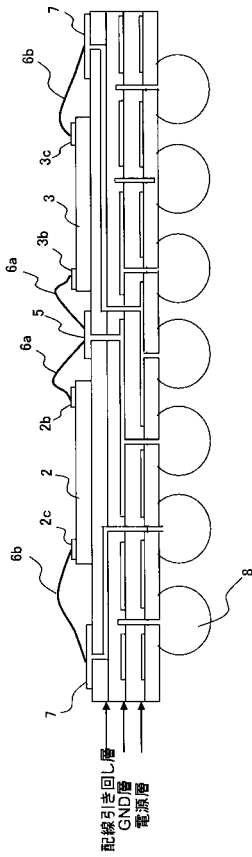
【 図 1 】



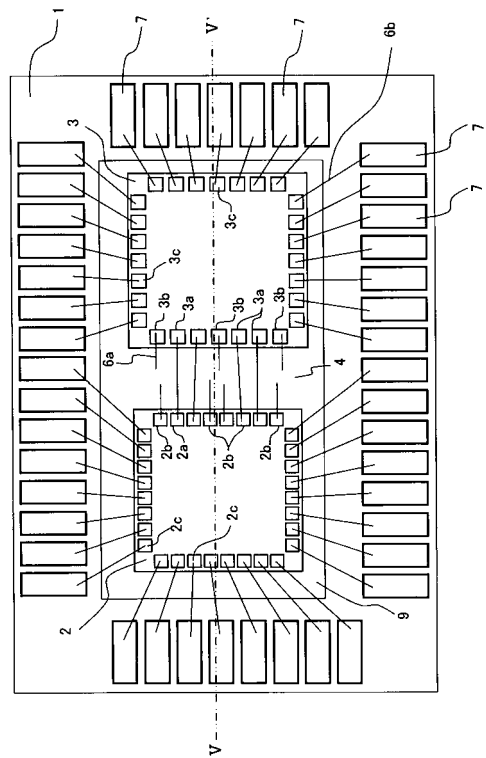
【 図 2 】



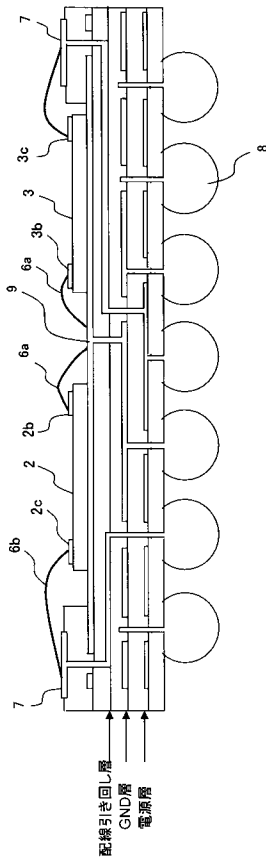
【 図 3 】



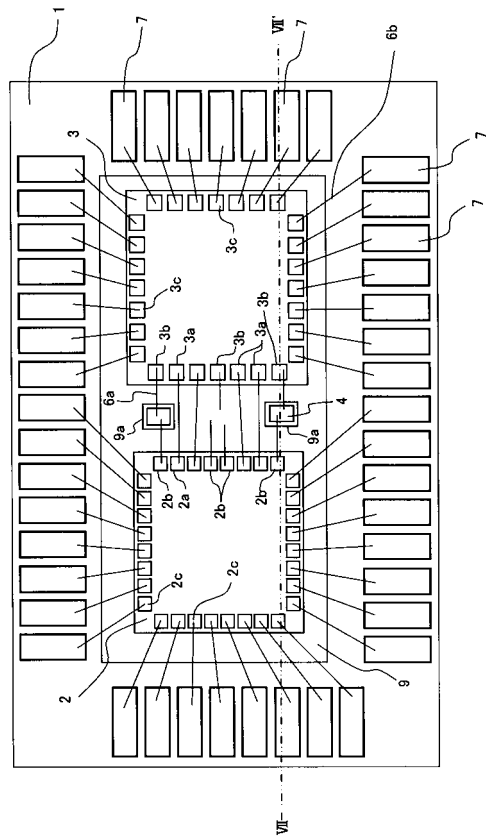
【 図 4 】



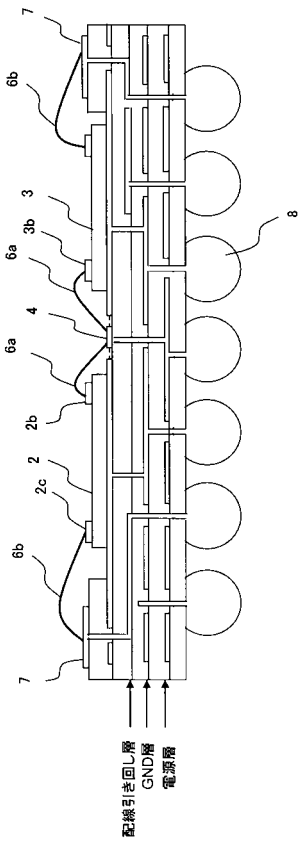
【 図 5 】



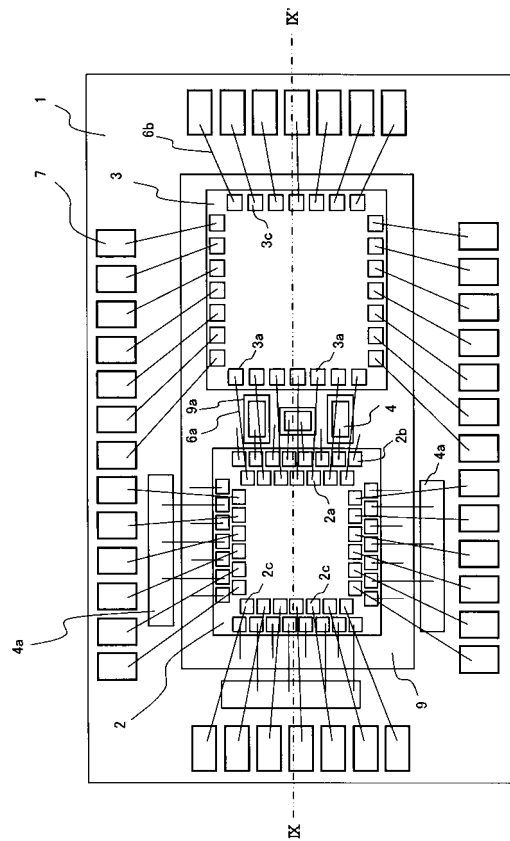
【 図 6 】



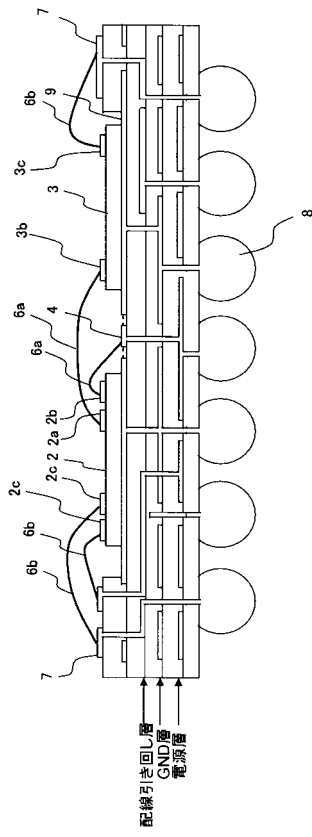
【 図 7 】



【 図 8 】



【 図 9 】



【 図 10 】

