

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3545590号
(P3545590)

(45) 発行日 平成16年7月21日(2004.7.21)

(24) 登録日 平成16年4月16日(2004.4.16)

(51) Int. Cl.⁷

F I

HO 1 L 29/78
HO 1 L 21/822
HO 1 L 27/04

HO 1 L 29/78 6 5 5 A
HO 1 L 29/78 6 5 2 C
HO 1 L 29/78 6 5 2 K
HO 1 L 29/78 6 5 3 C
HO 1 L 29/78 6 5 7 G

請求項の数 4 (全 40 頁) 最終頁に続く

(21) 出願番号 特願平10-61224
(22) 出願日 平成10年3月12日(1998.3.12)
(65) 公開番号 特開平10-321856
(43) 公開日 平成10年12月4日(1998.12.4)
審査請求日 平成13年10月2日(2001.10.2)
(31) 優先権主張番号 特願平9-61307
(32) 優先日 平成9年3月14日(1997.3.14)
(33) 優先権主張国 日本国(JP)

(73) 特許権者 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100058479
弁理士 鈴江 武彦
(74) 代理人 100084618
弁理士 村松 貞男
(74) 代理人 100068814
弁理士 坪井 淳
(74) 代理人 100092196
弁理士 橋本 良郎
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型ベース層と、
この第1導電型ベース層の表面に形成された第2導電型エミッタ層と、
この第2導電型エミッタ層に形成されたコレクタ電極と、
前記第1導電型ベース層における前記第2導電型エミッタ層とは反対側の表面に形成された第2導電型ベース層と、
この第2導電型ベース層の表面に形成された第1導電型ソース層と、
この第1導電型ソース層と前記第2導電型ベース層とに形成されたエミッタ電極と、
前記第1導電型ソース層の表面から前記第2導電型ベース層を貫通して前記第1導電型ベース層の途中の深さまで形成されたトレンチ内にゲート絶縁膜を介して埋込形成されたゲート電極とを備え、
前記コレクタ電極と前記エミッタ電極との間に電圧が印加されたとき、ゲート電圧の動作範囲内において、ゲートの容量は、常に正值又は零値であることを特徴とする半導体装置。

【請求項2】

請求項1に記載の半導体装置において、
ゲート容量が常に正值又は零値である条件は、前記ゲート電極、前記ゲート絶縁膜、前記第1導電型ベース層で構成される容量のうち正の容量をC₂₊とし、前記第1導電型ソース層、前記第2導電型ベース層、前記ゲート絶縁膜及び前記ゲート電極で構成される容量

10

20

を $C1$ としたとき、 $C1 / (C2 + C1)$ の値が $1/6$ 以上であることを特徴とする半導体装置。

【請求項 3】

請求項 2 に記載の半導体装置において、前記第 2 導電型ベース層の底部から前記第 2 導電型エミッタ層までの前記第 1 導電型ベース層の長さは $100 \mu\text{m}$ 以上であることを特徴とする半導体装置。

【請求項 4】

請求項 1 に記載の半導体装置において、前記ゲート電極とエミッタ電極との間に接続された容量をさらに具備することを特徴とする半導体装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電力制御用の半導体装置に係わり、特に、制御端子の容量の最適化により、安定性を向上し得る半導体装置に関する。

【0002】

【従来の技術】

一般に、電力制御用の半導体装置としては、MOS構造を有する制御端子（以下、ゲートという）により、大電力を制御可能な IGBT (Insulated Gate Bipolar Transistor) 又は IEGT (Injection Enhanced Gate Bipolar Transistor) 等が広く用いられている。

20

【0003】

図 6 4 はこの種の IGBT の構成を示す断面図である。この IGBT は、p 型エミッタ層 1 にコレクタ電極 2 が形成されており、p 型エミッタ層 1 におけるコレクタ電極 2 とは反対側の表面には n 型ベース層 3 が形成されている。n 型ベース層 3 の表面には p 型ベース層 4 が選択的に拡散形成されている。各 p 型ベース層 4 の表面には n 型ソース層 5 が選択的に形成されている。

【0004】

一方の n 型ソース層 5 から p 型ベース層 4 及び n 型ベース層 3 を介して他方の p 型ベース層 4 及び n 型ソース層 5 に至る領域上には、ゲート絶縁膜 6 を介して、ゲート電極 7 が設けられている。また、各 p 型ベース層 4 上及び n 型ソース層 5 上には共通のエミッタ電極 8 が設けられている。

30

【0005】

この IGBT をターンオンさせるためには、エミッタ電極 8 側に対して正となる電圧（主電圧）をコレクタ電極 2 側に印加した状態において、エミッタ電極 8 に対して正である電圧をゲート電極 7 に印加する。これにより、n 型ベース層 3 と n 型ソース層 5 とに挟まれた p 型ベース層 4 表面に n 型チャネルが形成され、電子電流が n 型ベース層 3 に流れ込む。一方、正孔電流が p 型エミッタ層 1 から n 型ベース層 3 に流れ込み、これによって n 型ベース層 3 に導電変調が起こり IGBT がターンオンする。

【0006】

一方、ターンオフさせるには、エミッタ電極 8 に対して 0 または負である電圧をゲート電極 7 に印加する。これにより、n 型チャネルが消失して n 型ベース層 3 への電子注入がなくなり、やがて IGBT はターンオフする。この状態でも主電圧は印加されている。

40

【0007】

なお、実際に製品化される IGBT は、このような個々の微細な IGBT がチップ内に集積されて製造される。すなわち、図 6 4 で述べた IGBT は、チップ内の全部の IGBT のうち、1 つのゲート電極 7 の両端の 2 つの IGBT からなるセルと呼ばれる単位領域のものである。これら各セルの IGBT が互いに並列に集積形成され、チップ状の IGBT が形成される。

【0008】

50

しかしながら以上のような IGBT の如き半導体装置は、チップ内又はセル内におけるオン電流（コレクタ電流）の不均一性やゲート電圧 V_G の不安定性などにより、電流制御が不可能となる恐れがあり、この場合、IGBT 自体が破壊される可能性に発展する。

【0009】

なお、このようなゲート電圧 V_G の不安定性は、ゲート回路に混入したノイズ、あるいは各ゲート抵抗の特性のバラつきや各 IGBT の僅かな不均一性などからなる攪乱要因により生じる。

【0010】

例えば、図 65 に示すように、オン状態の 2 つの IGBT 1 及び IGBT 2 において、一方の IGBT 1 のゲート抵抗 300 に一瞬（約 10 nsec）だけ 1V のノイズが混入すると、図 66 に示すように、ゲート電圧 V_G が他方の IGBT 2 に偏り、図 67 に示すように、オン電流が他方の IGBT 2 にのみ流れる現象が生じる。

10

【0011】

また、この現象は一例に過ぎず、この他、ゲート電圧 V_G の振動やセル内での電流集中などの現象が起こる可能性がある。なお、いずれの現象にしても IGBT が高電圧、高電流状態のときに発生すると、IGBT の破壊に至る可能性をもつため、半導体装置の信頼性を低下させている。

【0012】

一方、この種の半導体装置は、信頼性の向上を図るための短絡保護方式が知られている。図 68 は係る短絡保護方式を説明するための回路図であり、図 69 はこの半導体装置の外観を示す平面図である。

20

【0013】

この半導体装置は、主素子としての主 IGBT 素子 M1 と、電流検知用のセンス IGBT 素子 S1 とが電氣的に並列に接続され、同一チップ内に形成された構造を有する。但し、チップ内のデバイス領域の比は、センス IGBT 素子 S1 を「1」としたとき、主 IGBT 素子 M1 が「100～1000」の範囲内にある。

【0014】

ここで、主 IGBT 素子 M1 に流れる電流は、センス IGBT 素子 S1 のエミッタに接続された抵抗 R_s における電圧降下により、検知される。すなわち、短絡等に起因して大電流がセンス IGBT 素子 S1 に流れると、抵抗 R_s に電圧降下が生じる。この電圧は、図 68 に示すように、ゲート回路にコレクタが接続されたトランジスタ Tr1 のベースに電流を流す。これにより、トランジスタ Tr1 がオンし、主 IGBT 素子 M1 及びセンス IGBT 素子 S1 のゲート電圧を低下させる。

30

【0015】

しかしながら、この短絡保護方式は以下のような問題がある。ターンオン、ターンオフのように瞬時に動作モードが変化するとき、検知される電流は、IGBT チップ全体の電流に対応しない場合がある。このため、短絡時に、保護動作を生じない場合が多々ある。また、製造上のばらつきが大きいという問題がある。

【0016】

さらに、主 IGBT 素子 M1 と同一チップ内にセンス IGBT 素子 S1 を設けるので、主 IGBT 素子 M1 の有効面積を狭くする問題がある。また、大電流の検知からゲート電圧の低下に至るまでのフィードバックループが長いので、保護の遅れや不安定な発振などが生じ易い。また、一旦、センス IGBT S1 を形成すると、保護レベルの調整等が極めて困難である問題がある。さらに、半導体装置が、主 IGBT 素子 M1 のコレクタ、ゲート及びエミッタの 3 端子に加え、センス IGBT 素子 S1 のエミッタを有する 4 端子構造になる問題がある。すなわち、半導体装置が複雑な構造になり、コストを増大させてしまう問題がある。

40

【0017】

次に、ターンオフ時の半導体装置の保護に関して述べる。

図 70 の (a) は主 IGBT 素子 M1 のターンオフ時に、主 IGBT 素子 M1 に印加され

50

る電圧 V_{CE} と、主IGBT素子M1を流れる電流 I_{CE} との時間変化を示すタイムチャートである。図70の(b)は図70の(a)に示した電圧波形を微分したタイムチャートである。いずれの図も、MOSゲート回路に直列に接続されるゲート抵抗 R_g が小的时候を実線で示し、 R_g が大のときを破線で示している。

【0018】

主IGBT素子M1に限らず、パワー素子は、高周波信号で駆動する場合、ターンオフ時の損失(電圧と電流の積を時間で積分したもの)を低減させる必要があるため、ターンオフ速度を速くするためにゲート抵抗 R_g を小さくする必要がある。但し、 R_g が小の波形は、図70の(b)に示すように、ターンオフ時間が短い分、 dV/dt のピーク値が大きい。なお、目標の電圧 V_{CE} が一定のため、図70の(b)に示す2つの微分波形は、時間軸と形成する面積が互いに等しくなっている。

10

【0019】

さて、このようにゲート R_g を小にして主IGBT素子M1に印加される電圧 V_{CE} の上昇率 dV/dt を高くした場合、 dV/dt のピーク値が一定値を超えると、 dV/dt に比例して流れる変位電流により、主IGBT素子M1がターンオフに失敗して破壊される問題がある。

【0020】

一方、ゲート抵抗 R_g を大にして dV/dt による破壊から主IGBT素子M1を保護すると、ターンオフ速度が遅くなり、ターンオフ損失が増えてスイッチングの高速化が困難となる問題がある。

20

【0021】

【発明が解決しようとする課題】

以上説明したように従来の半導体装置は、ゲート電圧の V_G の不安定性などにより、電流制御が不可能となって素子自体が破壊される可能性がある。

【0022】

また、短絡保護に関しては、大電流の検知からゲート電圧の低下に至るまでのフィードバックループが長いので、保護の遅れや不安定な発振などが生じ易い問題がある。

【0024】

本発明は上記実情を考慮してなされたもので、高電圧、大電流時にもゲート電圧を安定させ、電流不均一や発振等を阻止でき、もって、装置を破壊から保護して信頼性を向上し得る半導体装置を提供することを目的とする。

30

【0026】

【課題を解決するための手段】

本発明は、高コレクタ電圧時にゲートが負の微分容量($C_G = dQ_G / dV_G$ 、但し Q_G はゲートに蓄積されている電荷)をもつことがIGBTの破壊の主な原因の一つであるという、本発明者等により見出された知見に基づいてなされている。すなわち、本発明の骨子は、常にゲートの負の微分容量を無くすことにより、装置の安定性を向上させ、もって、装置を破壊から保護することにある。

【0027】

次に、本発明の基となる知見について説明する。

40

【0028】

本発明者等は、図44に示すように、1200V用高耐圧IGBT(東芝製、商品名GT25Q101、n型ベース層3の長さ=約100 μm 以上で、不純物濃度=5 $\times 10^{13}$ cm $^{-3}$ 以下)に関し、ゲート電荷 Q_c のゲート電圧 V_G 依存性(の傾き=ゲート容量)を種々のコレクタ電圧 V_{CE} について実験により調べた。なお、ゲート電圧 V_G は、横軸で示す直流バイアスに約15V振幅の1パルスのサイン波が重畳されている。すなわち、測定では、測定中の素子の温度上昇を回避する観点から周知のC-V測定法が使えないため、1パルスのサイン波をゲートに与え、その間ゲートに流入する電荷を同時に計測し、オシロスコープの水平軸にゲート電圧、垂直軸に電荷量を入力することにより、図44の結果を得ている。なお、この時のサイン波の周波数は10~20kHzである。

50

【 0 0 2 9 】

図示するように、コレクタ電圧 V_{CE} が 881 V のとき、ゲート電圧 V_G の上昇とともにゲート電荷 Q_G が減少し、ゲートの負の微分容量が現れている。

【 0 0 3 0 】

図 4 5 及び図 4 6 は図 4 4 の実験内容をシミュレーションした結果であり、同様の結果が得られている。すなわち、シミュレーション結果より算出したゲート容量においては、図 4 6 に示すように、高コレクタ電圧 V_{CE} 時に、ゲートしきい値 V_{th} 以上で負の容量が現れている。

【 0 0 3 1 】

この負の容量は、次の (M1) ~ (M3) のメカニズムにより現れて (M4) の作用効果を引き起こす、と考えられる。 10

【 0 0 3 2 】

(M1) 高コレクタ電圧時に、p型エミッタ層 1 から注入された正孔が n型ベース層 3 中の高電界により加速されて、n型ベース層 3 とゲート絶縁膜 6 との界面に到達する。(M2) 高コレクタ電圧時には、n型ベース層 3 の電位はゲート電圧 V_G よりも高いため、n型ベース層 3 の界面に正孔のチャネル(蓄積層)が形成される。(M3) この正孔のチャネルの正電荷により、ゲート電極 7 内に負の電荷が誘起され、ゲートの負容量が引き起こされる。

【 0 0 3 3 】

(M4) このようなゲートの負の容量は、ゲート抵抗をゲート電極 7 に接続した時、負の $C \cdot R$ 時定数により、ゲート電圧 V_G の不安定性を生じさせ、図 6 6 に示した如き、ゲート電圧 V_G の上昇又は下降を生じさせ、さらにはゲート電圧 V_G を振動させてゲート回路を制御不能にする可能性がある。 20

【 0 0 3 4 】

このような負の容量は、以下に述べるように数式を用いても表現可能である。図 4 7 は上述した (M1) ~ (M3) の現象をより詳しく示している。この図 4 7 は、図 4 8 に示す等価回路に置換可能である。但し、容量と各部電圧との関係は図 4 9 に示す等価回路となる。

【 0 0 3 5 】

図 4 8 に示す等価回路より、p型ベース層 4 界面の nチャネルを通して n型ベース層 3 に注入される電子電流 I_e は、次の (1) 式で示される。 30

【 0 0 3 6 】

$$I_e = g_m^{n-c_h} (V_{G_E} - V_{t_h}^{n-c_h}) \dots (1)$$

但し、 $g_m^{n-c_h}$ は相互コンダクタンスを示し、 $V_{t_h}^{n-c_h}$ は nチャネルのしきい値電圧を示す。

【 0 0 3 7 】

一方、p型エミッタ層 1 から注入されるホール電流 I_h は、IGBT (IEGT) の npトランジスタ部分の電流増幅率 β を用い、次の (2) 式のように示される。

【 0 0 3 8 】

$$I_h = I_e \beta \dots (2)$$

ホール電流 I_h は、全て n型ベース層 3 界面の pチャネルを通して p型ベース層 4 に流れると考えると、次の (3) 式で表すことができる。 40

【 0 0 3 9 】

$$I_h = g_m^{p-c_h} (V_{p-c_h} - V_{G_E} - V_{t_h}^{p-c_h}) \dots (3)$$

このとき (1) 式及び (3) 式を夫々 (2) 式に代入すると、各部電圧の関係式が次の (4) 式に示すように得られる。

【 0 0 4 0 】

$$g_m^{p-c_h} (V_{p-c_h} - V_{G_E} - V_{t_h}^{p-c_h}) = \beta g_m^{n-c_h} (V_{G_E} - V_{t_h}^{n-c_h}) \dots (4)$$

一方、図 4 9 に示す等価回路より、ゲートに蓄えられる電荷 Q_G は、次式で示される 50

。 $Q_G = C_{G-s} V_{GE} + C_{G-pch} (V_{GE} - V_{pch})$
 なお、(4)式より、 $(V_{GE} - V_{pch}) = - (g_m^{nch} / g_m^{pch}) V_{GE}$ となるので、ゲート容量 C_G は、次の(5)式で示すことができる。

【0041】

$$C_G = Q_G / V_{GE} = C_{G-s} - C_{G-pch} \cdot g_m^{nch} / g_m^{pch} \dots (5)$$

ここで、右辺の第2項は、負の値であり、これが負の容量を引き起こす。

【0042】

以上の負の(微分)容量に関する知見は、本発明者等の研究により始めて得られたものである。

10

【0043】

続いて、この知見に基づく本発明の骨子について詳しく説明する。

【0044】

図50及び図51は図46に示した負の容量を模式的に示した図である。ゲート容量 C_G は、n型ベース層3 / ゲート絶縁膜6 / ゲート電極7で構成される容量 C_2 と、(n型ソース層5・p型ベース層4) / ゲート絶縁膜6 / ゲート電極7で構成される容量 C_1 との並列合成容量と考えられる。

【0045】

ここで、容量 C_1 は、図52に示すように、ゲート電圧 V_G とは無関係にほぼ一定値をとる。容量 C_2 は、図53に示すように、ゲート電圧 V_G に対して階段状に減少する。容量 C_2 においては、図46から推測可能なように、正の容量 C_2^+ と負の容量 C_2^- との比が約2:1である。

20

【0046】

本発明では、積極的に C_1 を増加させることにより、図54に示すように、容量 C_2 を底上げし、 C_2^- による負の容量を打ち消している。具体的には、 $C_1 = C_2^- = (1/2) C_2^+$ とする。すなわち、次の(6)式を満足するとき、ゲート容量 C_G が常に零又は正の値になり、負の値をもたない。

【0047】

【数1】

$$\frac{C_1}{C_2^+ + C_1} \geq \frac{1}{3} \dots (6)$$

30

【0048】

なお、(6)式は、例えばn型ベース層3を含むMOS構造の面積(容量 C_2 に対応)と、n型ソース層5・p型ベース層4を含むMOS構造の面積(容量 C_1 に対応)とを用いてマスクパターンを設計することにより、容易に実現可能である。また、(6)式の実現方法は、MOS構造の面積に限らず、MOS構造におけるゲート絶縁膜の厚さや材質(誘電率)を容量 C_1 、 C_2 に対応させて設計してもよい。さらに、(6)式は、本質的に等価な置換であれば、「MOS構造の面積」の如き別の表現、あるいは「容量 C_2 の面積 / ゲートの全面積 = 2 / 3 以下」の如き別の関係式を用いて示してもよい。

40

【0049】

上の知見は、以下に示すように実験的にも確認され、かつn型ベース層3の長さの如き、素子設計上のパラメータとの関連性も確認されている。なお、ここにいうn型ベース層3の長さ(以下、Nベース長ともいう)は、p型エミッタ層1とp型ベース層4の底部との間のn型ベース層3の距離に相当する。

【0050】

図55は、実際に4つのIGBTを用い、n型ベース層3の長さ L と $C_1 / (C_2^+ + C_1)$ との関係を確認したグラフである。n型ベース層3の長さが $100 \mu m$ のとき、 $C_1 / (C_2^+ + C_1)$ の値が 0.33 から 0.2 に ($1/3$ から $1/5$) に低下している

50

【 0 0 5 1 】

これは、Nベース長が長くなるに従い、n型ベース層3中のキャリア蓄積量を多くする必要があるので、ゲート長L_Gを長くするという従来の考え方に起因している。すなわち、ゲート長L_Gを長くすることにより、電子のMOSチャネルからの注入を促進し、より低オン電圧を実現するという従来の設計方法から来ている。そのため、C₂₊の値を増大させ、C₁ / (C₂₊ + C₁)の値を小さくしている。その結果、C₂₋も大きくなり、負のゲート容量を生じさせ易い状況になっている。

【 0 0 5 2 】

そこで、図55上に示す如き、C₁ / (C₂₊ + C₁) = 0.33のIGBT(Nベース長 = 約63 μm; 以下、IGBT素子Aという)と、C₁ / (C₂₊ + C₁) = 0.2のIGBT(Nベース長 = 100 μm; 以下、IGBT素子Bという)について、前述同様にノイズパルスにより、ゲートの不安定性を調べた。

【 0 0 5 3 】

具体的には、図56に示すように、2つのIGBT素子A₁, A₂を並列接続し、一方のIGBT素子A₂のゲートにノイズパルスを与え、ゲート電圧の挙動を観察する実験を行なった。また同様の実験を2つのIGBT素子B₁, B₂についても行なった。

【 0 0 5 4 】

その結果、IGBT素子A₁, A₂を並列接続した場合には、ノイズパルスにより一時的なゲート電圧の変動はあるものの、直ぐにゲートバイアス電圧(ゲート信号で与えている電圧)に安定的に収束する。

【 0 0 5 5 】

一方、IGBT素子B₁, B₂では、図57に示すように、ノイズパルスを与えた後、ゲート電圧V_{G1}, V_{G2}の振動が収束せず、逆に大きくなっている。しかも、IGBT素子B₂にノイズパルスを与えたので、他方のIGBT素子B₁のゲート電圧V_{G1}も大きく振動し、並列素子B₁, B₂間で負の容量による不安定による発振が起こっている。

【 0 0 5 6 】

この実験結果より、C₁ / (C₂₊ + C₁) = 0.33では確実に不安定性は生ぜず、C₁ / (C₂₊ + C₁) = 0.2では、発振、電流不均一等の不安定性を生じる。そのため、不安定性を考慮すると、C₁ / (C₂₊ + C₁)の値は少なくとも、0.2 (= 1/5)より大きいことが必要で、0.33 (= 1/3)以上であることが望ましい。

【 0 0 5 7 】

また、Nベース長が100 μm以上の素子では、従来の設計方法に従えば、C₁ / (C₂₊ + C₁)が0.2程度に下がるので、本発明は特にNベース長が100 μm以上の素子で有効である。

【 0 0 5 8 】

Nベース長が300 μm以上の素子では、C₁ / (C₂₊ + C₁)の値が(1/10) = 0.1程度と、0.2を下回るので、Nベース長が300 μm以上の素子では少なくとも値を1/5 = 0.2まで引き上げることが不安定性の改善のために有効である。

【 0 0 5 9 】

以上はプレーナ型素子に関する説明であるが、トレンチ型素子の場合にも同様の負のゲート容量を生じることを発明者等の研究により確認した。但し、トレンチ型素子では、C₂₊ : C₂₋の比がプレーナ型素子とは若干異なっている。

【 0 0 6 0 】

図58はゲートのとばし無しのトレンチ型IEGT素子の構成を示す図であり、図59はゲートのとばし有りのトレンチ型IEGT素子の構成を示す図であって、図60はこれら2種類のIEGT素子に関し、ゲート容量におけるゲート電圧依存性の計算結果を示す図である。なお、本明細書中、「とばし」の語は、n型ソース層5の省略を意味している。

【 0 0 6 1 】

すなわち、とばし無しのIEGT素子TAは、図58に示すようにプレーナ型のゲート絶

10

20

30

40

50

縁膜 6 及びゲート電極 7 に代えて、n 型ソース層 5 の表面には p 型ベース層 4 を介して n 型ベース層 3 に達する深さまで溝 (トレンチ) が掘られている。溝内は、n 型ベース層 3 と n 型ソース層 5 とに挟まれた p 型ベース層 4 側面に設けられたゲート絶縁膜 6 t に囲まれて埋込み型のゲート電極 7 t が配置されている。このゲート電極 7 t は、図示しないゲート端子に接続されている。

【0062】

一方、とばし有りの IEGT 素子 TB は、図 59 に示すように、図 58 に示す構成とは異なり、n 型ソース層 5 を有する p 型ベース層 4 と、n 型ソース層 5 の省略された p 型ベース層 4 とが溝間で交互に配置されている。

【0063】

ここで、とばし無しの IEGT 素子 TA は、図 60 に示すように、ゲート容量が負の値になる部分が若干ある。また、とばし有りの IEGT 素子 TB では、大きな負のゲート容量 CG が生じている。

【0064】

この種のトレンチ型素子の場合、ゲート容量 C_G の変化が複雑であるが、 $C_{2+} : C_{2-}$ の比は概ね、とばし無しの構成で、 $C_{2+} : C_{2-} = 5 : 1$ であり、とばし有りの構成で、 $C_{2+} : C_{2-} = 4 : 1$ となっている。

【0065】

このため、とばし無しの構成では、 $C_1 / (C_{2+} + C_1)$ の値を $1/6$ 以上とすることが好ましい。同様に、とばし有りの構成では、 $C_1 / (C_{2+} + C_1)$ の値を $1/5$ 以上とすることが好ましい。

【0066】

なお、図 60 中、ゲート電圧が 4.5 V 付近に負のピークが生じるが、この負のピークは、コレクタ電流が小さい値の小電流領域に生じるため、破壊の影響が少ないので、考慮しない。

【0067】

また、次に本発明者らの研究による半導体装置の制御方法について説明する。この制御方法は、主に短絡時の保護に関係する。

【0068】

本発明者らの研究により、図 61 及び図 62 (a) ~ (b) に示すように、IGBT が短絡状態になると、通常動作に比べ、ゲートに蓄積される電荷が減少する知見が得られた。すなわち、ゲートに蓄積される電荷が通常動作よりも減少した状態を短絡状態として検知する。また、短絡状態を検知したとき、ゲート電圧を低下させることにより、IGBT を短絡から保護できる。

【0069】

図 63 はこの知見に基づき試作された保護回路のブロック図である。主 IGBT 素子 M1 のゲート回路に直列に電荷検出回路 (charge counter) CC が接続される。

【0070】

一方、ゲート回路とアースとの間にはトランジスタ Tr1 が接続されている。

【0071】

ここで、差動アンプ AM1 は、ゲート電圧を参照しつつ、電荷検出回路 CC に検出されたゲートの電荷量について所定値 (図 61 に示す prohibited area) 以下か否かを判定する。差動アンプ AM1 は、電荷量が所定値以下のとき、トランジスタ Tr1 にベース電流を与えて Tr1 をオン状態に制御し、ゲート電圧を低下させる。

【0072】

なお、ゲートの電荷量の検知方式としては、任意の回路による電圧又は電流の検知などが適宜使用可能となっている。

【0073】

またさらに、 dV/dt の検出に関する半導体装置の制御方法についても説明する。この

10

20

30

40

50

半導体装置は、主スイッチング素子に電氣的に並列に dV/dt の検出素子を有し、この検出素子の検出結果に基づいてゲート抵抗の抵抗値を制御するものである。

【0074】

これにより、主スイッチング素子が破壊しない範囲でターンオフを速くできるので、オフ損失を低減でき、素子特性を向上できる。

【0075】

さて、上述した本発明に関する知見及び骨子に基づいて、具体的には以下のような解決手段が実現される。

【0076】

請求項1に対応する発明は、第1導電型ベース層と、この第1導電型ベース層の表面に形成された第2導電型エミッタ層と、この第2導電型エミッタ層に形成されたコレクタ電極と、前記第1導電型ベース層における前記第2導電型エミッタ層とは反対側の表面に形成された第2導電型ベース層と、この第2導電型ベース層の表面に形成された第1導電型ソース層と、この第1導電型ソース層と前記第2導電型ベース層とに形成されたエミッタ電極と、前記第1導電型ソース層の表面から前記第2導電型ベース層を貫通して前記第1導電型ベース層の途中の深さまで形成されたトレンチ内にゲート絶縁膜を介して埋込形成されたゲート電極とを備え、前記コレクタ電極と前記エミッタ電極との間に電圧が印加されたとき、ゲート電圧の動作範囲内において、ゲートの容量は、常に正值又は零値であることを特徴とする半導体装置である。

10

【0078】

また、請求項2に対応する発明は、請求項1に対応する発明において、ゲート容量が常に正值又は零値である条件は、ゲート電極、ゲート絶縁膜、第1導電型ベース層で構成される容量のうち正の容量を C_2 とし、第1導電型ソース層、第2導電型ベース層、ゲート絶縁膜及びゲート電極で構成される容量を C_1 としたとき、 $C_1 / (C_2 + C_1)$ の値が $1/6$ 以上であることを特徴とする半導体装置。

20

【0079】

さらに、請求項3に対応する発明は、請求項2に対応する発明において、第2導電型ベース層の底部から第2導電型エミッタ層までの第1導電型ベース層の長さは $100\mu\text{m}$ 以上であることを半導体装置である。

また、請求項4に対応する発明は、請求項1に対応する発明において、ゲート電極とエミッタ電極との間に接続された容量をさらに具備する半導体装置である。

30

【0087】

(作用)

従って、請求項1に対応する発明は以上のような手段を講じたことにより、コレクタ電極とエミッタ電極との間に電圧が印加されたとき、ゲート電極からみた容量が常に正值又は零値であるので、高コレクタ電圧時のゲートの負の微分容量を無くしたことにより、高電圧、高電流時にもゲート電圧を安定させ、電流不均一や発振等を阻止でき、もって、装置を破壊から保護して信頼性を向上させることができる。

【0089】

さらに、請求項2に対応する発明は、ゲート容量が常に正值又は零値である条件を、ゲート電極、ゲート絶縁膜、第1導電型ベース層で構成される容量のうち正の容量を C_2 とし、第1導電型ソース層、第2導電型ベース層、ゲート絶縁膜及びゲート電極で構成される容量を C_1 としたとき、 $C_1 / (C_2 + C_1)$ の値を $1/6$ 以上としたので、請求項1に対応する作用を容易且つ確実に奏することができる。

40

【0090】

また、請求項3に対応する発明は、第2導電型ベース層の底部から第2導電型エミッタ層までの第1導電型ベース層の長さを $100\mu\text{m}$ 以上としたので、請求項1に対応する作用を例えばコレクタ電圧 1200V 程度以上の高耐圧の半導体装置に実現させることができる。

【0091】

50

さらに、請求項4に対応する発明は、ゲート電極とエミッタ電極の間に容量を接続することにより、ゲートの負の容量の発生を阻止できる。

【0096】

【発明の実施の形態】

以下、本発明の実施形態について図面を参照しながら説明する。

【0097】

(第1の実施形態)

図1は、第1の実施形態に係るIGBTの構成を示す平面図であり、図2は図1のIIA-IIA線及びIIB-IIB線矢視断面図であって、図64と同一部分については同一符号を付してその詳しい説明は省略し、ここでは異なる部分についてのみ述べる。なお、

10

【0098】

すなわち、本実施形態に係る半導体装置は、ゲートの負の容量を無くした構成により、ゲート電圧の安定化を図るものであって、図1及び図2に示すように、p型ベース層4が部分的にゲート絶縁膜6の全幅にわたってn型ベース層3上に形成されている。このため、n型ベース層3とゲート絶縁膜6とが接する界面部分の面積が従来よりも小さくされた構成となっている。

【0099】

具体的には、ゲート電極7とゲート絶縁膜6界面の面積SG（いわゆる、ゲート電極7の面積）と、ゲート絶縁膜6を介してゲート電極7とn型ベース層3とが重なり合う部分

20

【0100】

【数2】

$$\frac{S_{NB}}{S_G} \leq \frac{2}{3} \quad \dots (7)$$

【0101】

なお、この(7)式は前述した(6)式と等価な関係を示している。すなわち、(7)式は、(6)式における容量C1が全ゲート容量の1/3以上との規定を逆方向から述べたものであり、容量C2に対応する面積SNBを全ゲート容量に対応する面積の2/3以下

30

【0102】

また、テラスゲート等、ゲート絶縁膜6の厚さt_{ox}が部分的に異なる場合は、次の(8)式を満たすように、IGBTが設計される。

【0103】

【数3】

$$\frac{\int_{\text{n型ベース層界面}} \frac{1}{t_{ox}} ds}{\int_{\text{全ゲート領域}} \frac{1}{t_{ox}} ds} \leq \frac{2}{3} \quad \dots (8)$$

40

【0104】

次に、このようなIGBTの動作について説明する。

【0105】

前述同様にIGBTがターンオンする際に、高コレクタ電圧時には、p型エミッタ層1か

50

ら注入された正孔が n 型ベース層 3 中の高電界により加速されて、n 型ベース層 3 とゲート絶縁膜 6 との界面に到達する。

【0106】

高コレクタ電圧時には、n 型ベース層 3 の電位はゲート電圧よりも高いため、n 型ベース層 3 の界面に正孔のチャンネル（蓄積層）が形成される。

【0107】

この正孔のチャンネルの正電荷により、I I A - I I A 断面に沿ってゲート電極 7 内に負電荷が誘起される。

【0108】

しかしながら、この I G B T は、従来とは異なり、I I B - I I B 断面に示す部分で、p 型ベース層 4 中のゲート絶縁膜 6 との界面に n チャンネルが生成され、この n チャンネルによりゲート電極 7 中の負電荷が打ち消されてゲート電極 7 に正電荷が誘起され、負の容量が生じない。また、高コレクタ電圧時に正孔がエミッタ電極 8 に排出されるために、さらに負の容量を生じにくくしている。よって、ゲート電圧の安定を確保することができる。

【0109】

上述したように第 1 の実施形態によれば、コレクタ電極 1 とエミッタ電極 8 との間に電圧が印加されたとき、ゲート電極 7 からみた容量が常に正值又は零値であるので、高コレクタ電圧時のゲートの負の微分容量を無くしたことにより、高電圧、高電流時にもゲート電圧を安定させ、電流不均一や発振等を阻止でき、もって、装置を破壊から保護して信頼性を向上させることができる。

【0110】

また、コレクタ電極 1 とエミッタ電極 8 との間の電流がしゃ断状態のとき、ゲート電極 7 からみた容量の最小値を当該容量の最高値の $1/3$ 以上とするため、ゲート絶縁膜 6 のうちの n 型ベース層 3 に接する部分の面積 S_{NB} をゲート電極 7 の全面積 S_G の $2/3$ 以下に制限したので、前述した作用効果を容易且つ確実に奏することができる。

【0111】

また、n 型ベース層 3 の長さを $100 \mu m$ 以上としたので、前述した作用効果を $1200 V$ 以上の高耐圧の I G B T に実現させることができる。

【0112】

（第 2 の実施形態）

次に、本発明の第 2 の実施形態に係る I G B T について説明する。

【0113】

図 3 はこの I G B T の構成を示す平面図である。本実施形態は、第 1 の実施形態の変形構成であり、p 型ベース層 4 の平面形状を変形させたものであって、具体的には図 6 6 に示すように、部分的にゲート絶縁膜 6 の全幅にわたって n 型ベース層 3 上に形成される p 型ベース層 4 を梯子形の平面形状としている。

【0114】

以上のような構成としても、第 1 の実施形態と同様の効果を得ることができ、また、p 型ベース層 4 のパターンが図 1 に示す構成よりも均一的に形成されるので、より一層ゲート電圧の安定性の向上を期待することができる。

【0115】

（第 3 の実施形態）

次に、本発明の第 3 の実施形態に係る I G B T について説明する。

【0116】

図 4 はこの I G B T の構成を示す断面図である。本実施形態は、第 1 の実施形態の変形構成であり、p 型ベース層 4 の変形構成であって、具体的には図 4 に示すように、ゲート電極 7 の中央部直下の n 型ベース層 3 表面に選択的に p 型層 10 が形成されている。

【0117】

ここで、p 型層 10 は、図示しないが、エミッタ電極 8 直下の各 p 型ベース層 4 に接続されている。

10

20

30

40

50

【0118】

このような構成により、p型層10の電位はエミッタ電位に固定される。このため、高コレクタ電圧時でも、p型層10の表面は低電圧に保持される。

【0119】

ここで、ゲート電圧が正であると、p型層10の表面に反転層が形成されることにより、第1の実施形態と同様に、ゲート電圧を正に保持することができる。

【0120】

なお、本構造は、特に2kV以上の高耐圧のIGBTに有効である。例えば高耐圧IGBTの場合、オン状態において、キャリアの蓄積と低オン抵抗化とを図るため、ゲート幅Lを例えば60 μ m以上にすることが好ましい。この場合、p型層は、ゲート幅Lの1/3以上の幅（例えば20 μ m幅）とすればよい。

10

【0121】

本構造によれば、ゲート幅Lが広いためにp型層10とp型ベース層4との一体化が可能になり、低オン抵抗化をも併せて実現することができる。

【0122】

（第4の実施形態）

次に、本発明の第4の実施形態に係る半導体装置について説明する。

【0123】

図5はこの半導体装置の構成を示す斜視断面図であり、図6はこの半導体装置の構成を示す平面図であり、図7は図6のV I I A - V I I A線及びV I I B - V I I B線矢視断面図である。

20

【0124】

本実施形態は、第1の実施形態の変形構成であり、n型ベース層3中におけるゲート絶縁膜6との界面の正孔を積極的に排出させる構成であって、具体的には図5乃至図7に示すように、n型ベース層3の表面にp型層11を選択形成したIGBT領域と、このp型層11をソースとしたpチャンネルMOSFET領域とが1チップ内に設けられている。

【0125】

ここで、pチャンネルMOSFETは、IGBT領域のp型層11がn型ベース層3表面で長手方向に延長されてなるp型ソース層11sと、IGBTのp型ベース層4がn型ベース層3表面で長手方向に延長されてなるp型ドレイン層4dと、IGBTのエミッタ電極8がp型ベース層4上及びn型ソース層5上で長手方向に延長されてp型ドレイン層4d上に選択的に形成されたエミッタ電極8eとを備えている。

30

【0126】

また、pチャンネルMOSFETは、p型ドレイン層4dの一部上、p型ソース層11sの一部上及びこれら両層4d, 11s間のn型ベース層3上にゲート絶縁膜6を介してゲート電極12が形成されている。なお、このゲート電極12は、エミッタ電極8eに電氣的に接続されており、IGBTのゲート電極7とは電氣的に絶縁されている。

【0127】

また、p型ソース層11s上には、その長手方向に沿ってフローティング電極13が形成されている。フローティング電極13は、pチャンネルMOSFET領域からIGBT領域にかけてp型層11s, 11の電位を均一化させるためのものであり、IGBT及びpチャンネルMOSFETにおける各電極7, 8, 8e, 12とは絶縁され、電位的に浮いた状態となっている。

40

【0128】

次に、このような半導体装置の動作を説明する。

【0129】

前述同様にIGBTがターンオンする際に、コレクタ電圧の印加時には、p型エミッタ層1から注入された正孔がn型ベース層3中の高電界により加速されて、n型ベース層3とゲート絶縁膜6との界面に到達する。このとき、IGBTのp型層11は電位的に浮いており、n型ベース層3とゲート絶縁膜6との界面におけるキャリア蓄積を阻止しない。そ

50

のため、本実施形態では、オン電圧の上昇はおこらない。

【0130】

ここで、高コレクタ電圧の印加時には、n型ベース層3の電位はゲート電圧よりも高いため、n型ベース層3の界面に正孔のチャネル(pチャネル)が形成される。

【0131】

すなわち、高コレクタ電圧時には、このpチャネルにより、pチャネルMOSFETのp型ソース層11sとp型ドレイン層4dとが短絡される一方、p型層11及びp型ソース層11sの電位が数V上昇する。

【0132】

これにより、pチャネルMOSFETにおいては、IGBTのp型層11からの正孔電流がp型ソース層11s及びpチャネルを介してp型ドレイン層4dに流れ、p型ソース層11sの電位がpチャネルMOSFETの V_{th} (例えば4V程度)に固定される。

10

【0133】

従って、IGBTのn型ベース層3表面の正孔をもp型層11から排出できるので、負のゲート容量を発生させず、ゲート電圧の安定性を向上させることができる。この際、Cの容量は後述する(11)式に従う。

【0134】

(第5の実施形態)

次に、本発明の第5の実施形態に係るIGBTについて説明する。

【0135】

20

図8はこのIGBTの構成を示す断面図であり、図64とは異なる部分について述べる。本実施形態は、容量C1を増加させる(6)式の方法とは異なり、結果的にエミッタ電位を用いてゲートの負の容量を阻止する構成であり、具体的には図8に示すように、ゲート絶縁膜6及びゲート電極7を介してn型ベース層3に対向したゲート電極7上の絶縁膜14uの厚さが、ゲート電極7上の絶縁膜14の他の部分よりも薄く形成された構造となっている。なお、各IGBTのエミッタ電極8は、ゲート電極7上の絶縁膜14、14u上を通過して互いに接続されている。

【0136】

このような構造により、エミッタ電極8の負電位が絶縁膜14uの薄い層を介してゲート電極7に正電荷を誘起させ、結果的にゲートの負の容量を阻止することができるので、第1及び第2の実施形態と同様の効果を実効動作領域を減らさずに実現することができる。

30

【0137】

(第6の実施形態)

次に、本発明の第6の実施形態に係るIGBTパッケージについて説明する。図9はこのIGBTパッケージの構成を示す回路図である。このIGBTパッケージ21は、本発明に係るIGBTをパッケージ化のときの容量設計により実現した構成であり、IGBTのパッケージ内のゲートG・エミッタE間に容量Cが接続されている。

【0138】

これにより、容量C1を増加させ、ゲートの負の容量の発生を阻止することができる。

【0139】

40

なお、図10に示すように、図9に示す構成に加え、IGBTパッケージ22内のゲートG・エミッタE間において、容量Cに直列に抵抗Rを接続してもよい。このような構成としても、容量C1の増加による前述した効果に加え、抵抗Rが配線インダクタンスによる振動を防止するため、一層安定性を向上させることができる。

【0140】

(第7の実施形態)

次に、本発明の第7の実施形態に係るIGBTパッケージについて説明する。図11はIGBTパッケージの構成を示す回路図である。このIGBTパッケージ23は、2つのIGBT(領域又はチップ)の両ゲート電極間に容量Cと抵抗Rと直列接続された構成である。なお、IGBTパッケージ23の各ゲート電極Gは、個別にゲート抵抗RG1、RG

50

2を介して図示しないゲートバイアス回路に接続可能となっている。

【0141】

ここで、ゲートG間に挿入された容量Cは、IGBT本来の C_2^+ 、 C_1 に対し、次の(9)式を満たす値である。

【0142】

【数4】

$$\frac{C_1 + 2C}{C_1 + C_2^+ + 2C} \geq \frac{1}{3} \quad \dots (9)$$

10

【0143】

(9)式は、ゲートG間に挿入される容量Cが、第6の実施形態の1/2倍であることを示している。これは、図66に示したように、2つのIGBTのゲート電圧 V_G が上下対称に動くので、挿入した容量Cによるゲート電圧 V_G への影響は、ゲート・エミッタ間に容量を挿入した時の2倍の効果となるからである。

【0144】

このような構成により、IGBTを並列接続した場合の電流不均一を阻止することができる。

【0145】

なお同様に、図12に示すように、IGBTパッケージ24内は、3つのIGBTを並列接続し、各ゲート電極G間を個別に容量C、抵抗Rの直列回路で互いに接続した構成としてもよい。

20

【0146】

この3並列の場合には、容量Cは次の(10)式のように示される。

【0147】

【数5】

$$\frac{C_1 + 3C}{C_1 + C_2^+ + 3C} \geq \frac{1}{3} \quad \dots (10)$$

30

【0148】

また、4つ以上のIGBTを並列させてなるIGBTパッケージも同様に、第6の実施形態の容量Cに比べて(1/IGBT個数)倍の値をもつ容量C(及び抵抗R)を各ゲート間に接続すればよい。

【0149】

但し、スター形に各IGBT間に容量Cを挿入する場合には、容量Cは、IGBTの個数によらず、次の(11)式を満たす値となる。

【0150】

【数6】

$$\frac{C_1 + C}{C_1 + C_2^+ + C} \geq \frac{1}{3} \quad \dots (11)$$

40

【0151】

(第8の実施形態)

次に、本発明の第8の実施形態に係るIEGTについて説明する。

【0152】

図13はこのIEGTの構成を示す平面図であり、図14は図13のXIV-A-XIV-A線矢視断面図及びXIV-B-XIV-B線矢視断面図である。本実施形態は、第1及び第2の実施形態をトレンチ型素子に適用した変形例であり、具体的には図13及び図

50

14に示すようにプレーナ型のゲート絶縁膜6及びゲート電極7に代えて、n型ソース層5の表面にはp型ベース層4を介してn型ベース層3に達する深さまで溝(トレンチ)が掘られている。

【0153】

溝内は、n型ベース層3とn型ソース層5とに挟まれたp型ベース層4側面に設けられたゲート絶縁膜6tに囲まれて埋込み型のゲート電極7tが配置されている。このゲート電極7tは、図示しないゲート端子に接続されている。

【0154】

また、各溝間において、2つのn型ソース層5が各溝表面に個別に接するように形成されたp型ベース層4は、n型ベース層3の表面に選択的に形成されている。すなわち、各溝間においては、図14のXIV B-XIV B間に示す如き各n型ソース層5及びp型ベース層4を有するIEGT領域と、図14のXIV A-XIV A間に示す如き各n型ソース層5及びp型ベース層4を持たない素子無効領域とが交互に形成されている。

10

【0155】

ここで、素子無効領域では、IEGT領域におけるp型エミッタ層1の深さに比べ、p型エミッタ層1が深く形成されている。

【0156】

以上のように、部分的にp型エミッタ層1を深く形成した構成により、部分的にn型ベース層3中の高電界を打消してp型エミッタ層1から注入される正孔の加速の度合を低減し、n型ベース層3とゲート絶縁膜6tとの界面に到達する正孔の量を低減して反転層を生

20

【0157】

なお、この部分的にp型エミッタ層1を深くした構成は、ゲート端子に接続されるがn型ソース層5及びp型ベース層4に接していない無効なゲート電極7tに適用しても、負の容量を打ち消すことができる。

【0158】

(第9の実施形態)

次に、本発明の第9の実施形態に係るIEGTについて説明する。

【0159】

図15はこのIEGTの構成を示す断面図であり、図58とは異なる部分について述べる。本実施形態は、n型ベース層3の高電界の影響を小さくして負の容量を阻止する構成であって、具体的には図15に示すように、通常2つであるn型ソース層5の個数を各ゲート間毎に1つとし、且つ各ゲート間の距離WGを小さくした構成である。なお、この第9乃至第12の実施形態は、個々には述べないが、図13とは異なり、n型ソース層5及びp型ベース層4は表面のストライプ方向に沿っては一定の構成となっている。

30

【0160】

また、各ゲート間の距離WGは、例えば3~4 μ m程度に設計されている。

【0161】

以上のような各ゲート間の距離WGを3~4 μ m程度に小さくした構成により、電子の注入量を増やすことができるので、n型ベース層3中の高電界の影響を小さくでき、もって

40

【0162】

また、n型ソース層5を各ゲート間毎に1つとした構成により、容易且つ確実に、各ゲート間の距離WGを3~4 μ m程度に小さくすることができる。

【0163】

(第10の実施形態)

次に、第10の実施形態に係るIEGTについて説明する。

【0164】

図16はこのIEGTの構成を示す断面図であり、図59とは異なる部分について述べる。本実施形態は、とばし領域のゲート電極における負電荷の排出を図るものであり、具体

50

的には図16に示すように、*n*型ソース層5をもたない*p*型ベース層4間に配置された無効なゲート電極7tが、ゲート端子との接続に代えて、エミッタ端子に接続された構成となっている。

【0165】

以上のような構成により、ゲート電極7tをエミッタに対して一定電位に固定するので、とばし領域のゲート電極7tに生じる負電荷を排出させ、もって、ゲート電極7tにおける負電荷の影響を阻止することができる。

【0166】

(第11の実施形態)

次に、第11の実施形態に係るIEGTについて説明する。

10

【0167】

図17はこのIEGTの構成を示す断面図であり、図59とは異なる部分について述べる。本実施形態は、負のゲート容量の減少を図るため、とばし領域と、IEGT領域とをグループ化したものであって、具体的には図17に示すように、2つのとばし(*n*型ソース層5の無い)領域と、2つのIEGT領域とが交互に配置されている。なお、とばし領域と、IEGT領域との個数の比は、2:2(=1:1)となっている。

【0168】

また、とばし領域内の埋込み型のゲート電極7tは、エミッタ端子に接続されている。一方、図中にGで示されるゲート電極7tは、通常通り、ゲート端子(図示せず)に接続されており、以下同様とする。

20

【0169】

以上のようなIEGTは、図59に示す構成のとばしの個数比(1:1)と同一のとばしの個数比にもかかわらず、図59に示す構成とは異なり、とばし領域のゲート電極7tがエミッタに対して一定電位に固定されるので、前述同様に、負のゲート容量を抑制することができる。

【0170】

また、無効なゲートは、使用するゲート電極とは電位的に分離してアース又は固定電位に接続することにより、ゲート電位に接続した場合に比べ、特性が向上する。すなわち、ゲート容量が減るので、零電位に落とすときのスイッチング速度が向上される。また、余分な容量がないことにより、素子動作が安定するので、信頼性を向上できる。具体的には、SOA(safety operating area)を広げることができる。

30

【0171】

なお、変形例としては、図18に示すように、とばし領域及びIEGT領域を夫々*m*個ずつグループ化すると、(*n*-1)個の無効なゲートをエミッタに対して一定電位に固定することができる。

【0172】

なお、本実施形態では、とばし領域とIEGT領域との個数が互いに同数である場合についてのみ説明したが、これに限らず、とばし領域とIEGT領域とが互いに異なる場合の個数比に対しても同様に実施できる。また、1個のとばし領域に対するIEGT領域の個数比は、1~4個の範囲内にあることが高耐圧や大電流等の素子特性上からも好ましい。また、これは個数比であるため、実際には*m*個のとばし領域と、*m*~4*m*個のIEGT領域とが交互に配置可能なことを示している。

40

【0173】

(第12の実施形態)

次に、第12の実施形態に係るIEGTについて説明する。

【0174】

図19はこのIEGTの構成を示す断面図である。本実施形態は、第11の実施形態の変形構成であり、トレンチ酸化膜界面での界面再結合により消滅するキャリア数を少なくし、*n*型ベース層3中の蓄積キャリア量の増加を図るものであって、具体的には図19に示すように、例えば3つのとばし領域中の2つのゲート電極とエミッタ端子との間に、エ

50

ミッタ端子を正電位側とし、ゲート電極を負電位側として直流電源30を挿入した構成となっている。

【0175】

以上のような構成により、とばし領域のゲート電極7tにおけるゲート絶縁膜6tとのn型ベース層3とのトレンチ酸化膜界面には、反転層(inversion layer)あるいは界面蓄積層(accumulation layer)が形成され、界面での電子濃度 n_s と、界面での正孔濃度 p_s とは互いにいずれかが他に比べて非常に多数となる関係をもつ($n_s \gg p_s$ 又は $n_s \gg p_s$)。

【0176】

ここで、一般に高注入状態で、酸化膜界面で消滅するキャリアは、(1 cm^2 、1秒当り) $U_s = s_0 \cdot (p_s \cdot n_s) / (p_s + n_s)$ で表せる。但し、 s_0 は界面再結合速度である。 10

【0177】

このとき、界面で再結合するキャリアは、図20に示すように、 $p_0 = n_0$ で最大となる。これは例えばゲート電極7tとエミッタ端子とが同電位である場合に $p_0 = \text{約} n_0$ となる。

【0178】

しかしながら、本実施形態のIEGTは、とばし領域中のゲート電極7tに電圧が印加され、ゲート絶縁膜6tとn型ベース層3との界面が $n_s \gg p_s$ 、又は $n_s \gg p_s$ の状態となっているので、トレンチ酸化膜界面での再結合量を低減させ、n型ベース層3中の蓄積キャリアを増大でき、もって、負のゲート容量を低減させることができる。 20

【0179】

なお、とばし領域中のゲート電極7tに印加する電圧は0.5V程度よりも小さい電圧でも有効である。このため、電圧の印加に代えて、高濃度にドーピングしたポリシリコンゲートにより、ゲートにビルトイン電圧を生じさせる構成としても、外部から電圧を印加することなく、同等の作用効果を得ることができる。

【0180】

(第13の実施形態)

第13～第19の実施形態は短絡状態からの素子の保護に関する。

【0181】

図21及び図22は、第13の実施形態に係る半導体装置の短絡保護システムを示す回路図である。この短絡保護システムは、図63に示した構成と同様に短絡時の半導体装置の保護を図るものである。 30

【0182】

概略的には、この短絡保護システムは、ゲート容量CG(通常動作で10nF)を持つ主IGBT素子(型番:GT25Q101)M1のゲートとそのゲート駆動回路(gate driver)Gd1との間に、C12、R4及びR5を有する電圧ブリッジ回路と、この電圧ブリッジ回路に接続された差動アンプ(型番:LF356)AM1と、差動アンプAM1から出力を受けてゲート・アース間を導通状態にするトランジスタTr1(型番:MP5A56)とを備えた短絡保護回路SCPが挿入されている。 40

【0183】

ここで、電圧ブリッジ回路は、差動アンプAM1の反転入力端子に主IGBT素子M1のゲート電荷に対応する電圧を供給し、非反転入力端子にゲート電荷が図23に示す禁止領域(prohibited area)内にあるか否かを判定するための基準電圧を供給する機能をもっている。この電圧ブリッジ回路は、R4(RRef)又はR4に接続された電源Vrefの調整により、図23に示すように、ゲート電荷の禁止領域をダイナミックに変更可能となっている。

【0184】

差動アンプAM1は、主IGBT素子M1のゲートに蓄積されたゲート電荷をC12の両端の電圧から検知し、検知結果が禁止領域に入るか否かをCG、C12、R4及びR5か 50

らなる電圧ブリッジ回路により検知し、ゲート電荷が禁止領域内にあるとき、出力をトランジスタ $T r 1$ のベースに与える機能を有する。

【0185】

なお、ゲートとゲート駆動回路との間の抵抗 $R 1$ は、ゲート容量 $C G$ とキャパシタ $C 1 2$ との間の不要な振動を除去する機能を有し、短い配線長のときにはより小さい値への変更あるいは省略が可能である。

【0186】

次に、このような半導体装置の短絡保護システムの動作を述べる。

通常時、主 IGBT 素子 $M 1$ は、その動作範囲内で電流がオン/オフされている。このとき、差動アンプ $A M 1$ は、主 IGBT 素子 $M 1$ のゲート電荷を $C 1 2$ の両端の電圧から検知し、検知結果が禁止領域の外にあることを電圧ブリッジ回路により検知している。

10

【0187】

一方、短絡時、主 IGBT 素子 $M 1$ は大電流が流れると共に、ゲート電荷が図 2 3 内の禁止領域に入る。

【0188】

差動アンプ $A M 1$ は、ゲート電荷が禁止領域に入ったことを検知し、出力をトランジスタ $T r 1$ のベースに与える。トランジスタ $T r 1$ は、ベース入力により、オン状態となり、抵抗 $R 8$ 及びダイオード D などを介してゲートとアースとを導通させ、ゲート電圧を低下させる。

【0189】

ゲート電圧の低下により、主 IGBT 素子 $M 1$ がオフ状態となると共に、ゲート電荷が禁止領域から脱して通常動作領域に入り、主 IGBT 素子 $M 1$ が保護される。

20

【0190】

ここで例えば、図 2 4 に示すように、本実施形態の短絡保護回路 $S C P$ が無い場合、短絡時に約 200 A の電流が主 IGBT 素子 $M 1$ に流れる。一方、本実施形態のように短絡保護回路 $S C P$ を挿入すると、主 IGBT 素子 $M 1$ に流れる電流値が抑制される。また、 $V r e f$ の変更により、保護動作を開始する電流値を任意に設定することができる。

【0191】

上述したように本実施形態によれば、電圧ブリッジ回路にてゲート電荷を検出し、差動アンプ $A M 1$ がゲート電荷が禁止領域にあるか否かを検知し、禁止状態のとき、トランジスタ $T r 1$ がゲート電圧を低下させてゲート電荷を通常動作領域に入れて主 IGBT 素子 $M 1$ を破壊から保護することができる。

30

【0192】

また、本実施形態の短絡保護回路 $S C P$ は、図 2 2 に示したように、ゲート駆動回路 $G d 1$ と主 IGBT 素子 $M 1$ のゲートとの間に挿入するだけで、主 IGBT 素子 $M 1$ に短絡保護機能を付加することができる。このため、既設の IGBT、又は IGBT を用いた装置に容易に適用できる。すなわち、センス IGBT 素子 $S 1$ を内蔵していない IGBT チップでも短絡保護機能を付加することができる。また、短絡保護回路は、IC 化などによりゲート駆動回路に内蔵できるため、コストをほとんど上昇させずに実現できる。

【0193】

短絡保護回路は、小さい面積で実現でき、ゲート電荷の検知からゲート電圧の低下に至るまでのフィードバックループを短縮できるので、従来とは異なり、保護の遅れや不安定な発振を解消することができる。

40

【0194】

$V r e f$ 等の調整によって保護レベルを電氣的に制御できる。このため、主 IGBT の温度や動作モードなどの状況に応じ、短絡保護方法をプログラミングすることができる。

【0195】

(第 1 4 の実施形態)

図 2 5 は、第 1 4 の実施形態に係る半導体装置の短絡保護システムにおけるゲート電荷の検出方法を示す回路図である。

50

【 0 1 9 6 】

本実施形態は、第 1 3 の実施形態を改良した変形例である。すなわち、第 1 3 の実施形態は、ゲート電荷をゲート回路に直列に挿入したキャパシタ C 1 2 の両端の電圧で検知している。しかし、この第 1 3 の実施形態では、キャパシタ C 1 2 の電圧分担によってゲート電圧が変化するため、主 I G B T 素子 M 1 がオン状態のとき（ゲートに正電圧が印加されるとき）、ゲート駆動回路 G d 1 が与えた電圧より若干低い電圧が主 I G B T 素子 M 1 のゲートに印加されてしまう。

【 0 1 9 7 】

一方、本実施形態は、ゲートに蓄積された電荷を、ゲート駆動回路 G d 1 の電源配線を通る電流に基づいて、検出している。

10

【 0 1 9 8 】

図示するように、ゲート駆動回路 G d 1 の入力抵抗は非常に高いので、ゲートに流れ込む電荷は、次式に示すように、ゲート駆動回路 G d 1 に流入する電流 I 1 と流出する電流 I 2 との差を積分して得られる。

【 0 1 9 9 】

$$Q G = (I 1 - I 2) d t$$

以下、前述同様に、図示しない差動アンプにより、ゲート電荷が禁止領域に入るか否かを検知し、ゲート電荷が禁止領域に入るとき、ゲート電圧を低下させて主 I G B T 素子 M 1 を短絡から保護する。

【 0 2 0 0 】

上述したように本実施形態によれば、第 1 3 の実施形態の効果に加え、ゲート駆動回路からゲートに印加される電圧を低減させずに、ゲート電荷を検知して短絡保護動作を実現することができる。

20

【 0 2 0 1 】

（第 1 5 の実施形態）

図 2 6 は、第 1 5 の実施形態に係る半導体装置の短絡保護システムにおけるゲート電荷の検出方法を示す回路図である。

【 0 2 0 2 】

本実施形態は、第 1 4 の実施形態の変形である。具体的には本実施形態は、図 2 6 及び次式に示すように、抵抗 R c c での電圧降下により、ゲート駆動回路 G d 1 における流入電流 I 1 と流出電流 I 2 とを検知し、さらに両電流 I 1 , I 2 の差を積分して、ゲートに流れ込む電荷 Q G を検知する。

30

【 0 2 0 3 】

$$Q G = - (V 1 - V 2) / R c c d t$$

$$\text{但し、} I 1 = V 1 / R c c 、 I 2 = V 2 / R c c$$

このような構成としても、第 1 4 の実施形態と同様の効果を得ることができる。

【 0 2 0 4 】

なお、本実施形態は、図 2 7 に示すように変形できる。すなわち、図 2 7 に示すように、両電流 I 1 , I 2 の差を抵抗 R a により取り出し、積分回路によって次式に示すように、ゲートに蓄積された電荷 Q C を検知してもよい。

40

【 0 2 0 5 】

$$Q G = 2 \cdot R 1 \cdot C \cdot V 3 / R c c$$

このように変形しても同様の効果を得ることができる。

【 0 2 0 6 】

（第 1 6 の実施形態）

図 2 8 は第 1 6 の実施形態に係る半導体装置の短絡保護システムにおけるゲート電荷の検出方法を示す回路図である。

【 0 2 0 7 】

本実施形態は、第 1 4 又は第 1 5 の実施形態の変形である。具体的には本実施形態は、図 2 8 に示すように、カレントミラー回路を通して電流を検出し、この電流をキャパシタ C

50

に流し込むことにより、次式に示すように、ゲートに流れ込む電荷 Q_G がキャパシタ C の両端の電圧差 V_4 に基づいて検知する。

【0208】

$$Q_G = C \cdot V_4 \cdot r$$

但し、 r ; *mirror current factor*

このような構成としても、第15又は第16の実施形態と同様の効果を得ることができる。また、本実施形態においては、カレントミラー回路のミラー側トランジスタ Tr_{13} , Tr_{14} のチップ上の実効面積を入力側トランジスタ Tr_{11} , Tr_{12} のそれよりも小さくすると、回路の消費電力が低減されるため、有利である。この実効面積の比率は、ミラー側トランジスタ Tr_{13} , Tr_{14} を1としたとき、入力側トランジスタ Tr_{11} , Tr_{12} を5 ~ 1000の範囲内にすることが望ましい。

10

【0209】

(第17の実施形態)

図29は、第17の実施形態に係る半導体装置の短絡保護システムにおけるゲート駆動回路及びゲート電荷の検出方法を示す回路図である。

【0210】

本実施形態は、第16の実施形態にて図28に示した構成が、図29に示すように、ゲート駆動回路 Gd_1 をも含めて具体化されている。

【0211】

図29において、入力端子 IN の電位に連動する $Tr_{11} \sim Tr_{14}$ がゲート駆動回路 Gd_1 に対応し、ゲート駆動回路 Gd_1 の Tr_{13} , Tr_{14} を流れる電流を取出すための $Tr_{15} \sim Tr_{18}$ がカレントミラー回路に対応する。但し、説明の便宜上、図面中ではこれらの複合回路を符号 Gd_1 で示す。

20

【0212】

ゲート駆動回路 Gd_1 は駆動出力端子 OUT から電流を出力する。カレントミラー回路は取出し端子 $OUTREF$ から電流を出力する。なお、駆動出力端子 OUT に流れる電流と取出し端子 $OUTREF$ に流れる電流とは、ミラートランジスタの実効面積の比率に比例し、取出し端子 $OUTREF$ の電圧とは無関係である。

【0213】

本実施形態は、以上のような具体的な構成により、第16の実施形態と同様の効果を容易且つ確実に得ることができる。

30

【0214】

(第18の実施形態)

図30は、第18の実施形態に係る半導体装置の短絡保護システムを示す回路図であり、破線部分には図29に示した回路が挿入される。

【0215】

本実施形態は、第17の実施形態を、図21と同様の電圧ブリッジ回路を用いた回路に適用させた構成となっている。このような構成としても、第13及び第17の実施形態と同様の効果を得ることができる。

【0216】

また、本実施形態は、図31又は図32に示すように変形できる。図31又は図32に示す変形例は、短絡保護用のトランジスタ Tr_1 がゲート駆動回路 Gd_1 の入力側に配置され、このトランジスタ Tr_1 に差動アンプ AM_1 の出力を与える回路である。

40

【0217】

これらの変形例は、ゲート駆動回路 Gd_1 の高抵抗入力部分にてトランジスタ Tr_1 (例えば $MPSA56$) がアースとの導通動作を実行するので、短絡保護時にもゲート駆動回路 Gd_1 に大電流が流れず、ゲート駆動回路 Gd_1 に電氣的な損失や発熱を生じる可能性が少ないという利点をもっている。

【0218】

また、トランジスタ Tr_1 は、ゲート駆動回路 Gd_1 の高抵抗入力部分の信号をアースに

50

導通可能であればよいので、ゲート駆動回路 G d 1 の出力側に設ける場合に比べて小形化できる。なお、図 3 2 に示す変形例は、図 3 1 に示す構成に比べ、エミッタ電位が安定するため、動作の安定化を図ることができる。

【 0 2 1 9 】

(第 1 9 の実施形態)

図 3 3 は、第 1 9 の実施形態に係る半導体装置の短絡保護システムの構成を示すブロック図である。

【 0 2 2 0 】

この実施形態は、第 1 3 ~ 第 1 8 の実施形態の変形例であり、具体的には図 3 3 に示すように、PWM (pulse width modulation) コントローラ 3 1、デジタル論理回路 3 2、アナログゲート駆動回路 3 3 及び主 I G B T 素子 M 1 が順次接続されている。

10

【 0 2 2 1 】

ここで、PWM コントローラ 3 1 は、デジタル論理回路 3 2 から受ける動作状態に基づいて、ゲート信号及び I G B T 制御データをデジタル論理回路 3 2 に与えるものである。

【 0 2 2 2 】

デジタル論理回路 3 2 は、PWM コントローラ 3 1 から受けるゲート信号をゲート波形制御部 3 2 a を通してアナログゲート駆動回路 3 3 に与えるものであり、また、アナログゲート駆動回路 3 3 から受ける検知結果に基づいて短絡保護を開始するか否かを判定し、判定結果をアナログゲート駆動回路 3 3 の監督回路 (supervisor) 3 3 a に与える機能をもっている。

20

【 0 2 2 3 】

また、デジタル論理回路 3 2 は、省略可能であるが、他の短絡保護システムとの間で互いに動作状態を通信する機能 3 2 b をもっている。

【 0 2 2 4 】

アナログゲート駆動回路 3 3 は、デジタル論理回路 3 2 から受けるゲート信号に基づいて、主 I G B T 素子 M 1 のゲートに駆動信号を与えるものであり、また、主 I G B T 素子 M 1 のゲート電荷、ゲート電圧、コレクタ電圧 V_c 、コレクタ電流 I_c 、温度 T_j などの検知結果をデジタル論理回路 3 2 に与えると共に、デジタル論理回路 3 2 から受ける判定結果に基づいて駆動信号を制御する監督回路 3 3 a を備えている。

30

【 0 2 2 5 】

以上のような構成としても、第 1 3 ~ 第 1 8 の実施形態と同様の効果を得ることができる。また、主 I G B T 素子 M 1 の温度や動作モードなどの状況に応じ、短絡保護方法を容易且つ確実にプログラミングすることができる。

【 0 2 2 6 】

(第 2 0 の実施形態)

第 2 0 ~ 第 2 4 の実施形態はターンオフ時の dV/dt の上昇からの素子の保護に関する。

【 0 2 2 7 】

図 3 4 は、第 2 0 の実施形態に係る半導体装置の構成を示す断面図である。図示するように、 p^+ 型エミッタ層 4 1 の一方の表面にはコレクタ電極 4 2 が形成されている。 p^+ 型エミッタ層 4 1 の他方の表面には、 n 型バッファ層 4 3 及び n^- 型ベース層 4 4 が順次形成されている。

40

【 0 2 2 8 】

n^- 型ベース層 4 4 の表面には、選択的に p 型ベース層 4 5 が形成されている。 p 型ベース層 4 5 表面には選択的に n^+ 型ソース層 4 6 が形成されている。 n^+ 型ソース層 4 6 の表面には、選択的にトレンチ 4 7 が p 型ベース層 4 5 を貫通して n^- 型ベース層 4 4 の途中の深さまで形成されている。

【 0 2 2 9 】

トレンチ 4 7 内にはゲート絶縁膜 4 8 を介してゲート電極 4 9 が埋込形成されている。 n

50

+ 型ソース層 46 の一部及び p 型ベース層 45 上にはエミッタ電極 50 が形成されている。

【0230】

なお、エミッタ電極 50 からゲート電極 49 を含んでコレクタ電極 42 に至る破線部分は、主 IGBT 素子 M1 として機能するため、本明細書中、素子部 M1a と呼ばれる。

【0231】

一方、素子部 M1a から離れた n - 型ベース層 44 上には選択的に絶縁膜 51 を介してセンス電極 52 が形成される。

センス電極 52 は、抵抗 53 を介してエミッタ電極 50 に接続される一方、ゲート制御部 60 にも接続される。なお、コレクタ電極 42 から絶縁膜 51 及びセンス電極 52 を含んで抵抗 53 に至る破線部分は、 dV/dt を検出する機能をもつので、本明細書中、 dV/dt 検出部 Dt1 と呼ばれる。

10

【0232】

ゲート制御部 60 は、センス電極 52 の電位に対応してゲート電極 49 とゲート駆動回路（図示せず）との間のゲート抵抗 R_g の値を制御する機能と、エミッタ電極 50 の電位との対応をとる基板電位固定機能とを有するものである。

【0233】

ゲート制御部 60 は、ここでは図 35 及び図 36 に示す如きノーマリオン型 p チャネル MOSFET が適用される。この p チャネル MOSFET は、通常時にはオン状態でチャネル抵抗が固定値であり、ターンオフ時に制御端子 69 の電位が dV/dt に応じて上昇してしきい値電圧に近くなると、チャネル抵抗が大となる特性を有する。

20

【0234】

詳しくはゲート制御部 60 は、p 型基板 61 の表面に選択的に形成された n 型ウェル層 62 と、n 型ウェル層 62 内に選択的に形成された p + 型ドレイン層 63 及び p + 型ソース層 64 と、両 p + 型層 63, 64 間に形成された p - 型層 65 とを半導体層として備えている。

【0235】

p + 型ドレイン層 63 には、ゲート駆動回路（図示せず）に接続される入力端子 66 が形成されている。p + 型ソース層 64 には、素子部 M1a のゲート電極 49 に接続される出力端子 67 が形成されている。p - 型層 65 上には絶縁膜 68 を介して制御端子 69 が形成され、この制御端子 69 が dV/dt 検出部 Dt1 のセンス電極 52 に接続されている。また、n 型ウェル層 62 及び p 型基板 61 の上には電位固定端子 70 が形成され、この電位固定端子 70 が素子部 M1a のエミッタ電極 50 に接続されている。

30

【0236】

次に、このような半導体装置の動作を説明する。

素子部 M1a がターンオフするとき、流れる変位電流（基板中の空乏層、基板上の絶縁膜 51 及びセンス電極 52 からなる容量成分と、 dV/dt との積）が抵抗 53 を通ってエミッタ電極 50 に流れる。これと同時に、センス電極 52 の電位が上昇してゲート制御部 60 の制御端子 69 に制御信号を与える。

【0237】

図 37 の (a) (b) は前述した図 70 の (a) (b) と同じ図である。

40

【0238】

図 37 の (c) は、 dV/dt の変化 (R_g が小のとき) に追従して、センス電極 52 の電位 V_s が変化する波形を示している。 V_s の値がゲート制御部 60 のしきい値電圧 V_a を超えると、ゲート制御部 60 が動作し、図 37 の (d) に示すように、入力端子 66 と出力端子 67 との間の抵抗成分 R_g を増加させる。

【0239】

その結果、図 37 の (e) の実線で示すように、 dV/dt のピーク値が抑制され、素子部 M1a が破壊から保護される。なお、本実施形態は、従来の最初から R_g を大として dV/dt のピーク値を抑制した場合に比べ、ターンオフが速いのでオフ損失を低減できる

50

。

【0240】

上述したように本実施形態によれば、通常のオン状態時にはゲート抵抗 R_g を小とし、ターンオフ時にはゲート抵抗 R_g を大とするので、素子部 $M1a$ (主IGBT) のターンオフ時に高い dV/dt による破壊を阻止しつつ、ターンオフを高速化し、オフ損失を低減させることができる。

【0241】

また、本実施形態は、 dV/dt 検出部 $Dt1$ と素子部 $M1a$ とを同一基板に形成した場合について説明したが、これに限らず、両者を別体として設けても、本発明を同様に実施して同様の効果を得ることができる。

10

【0242】

(第21の実施形態)

図38は、第21の実施形態に係る半導体装置に適用される素子部の構成を示す断面図である。本実施形態は、図34に示したトレンチ構造のゲートに代えて、プレーナ構造のIGBTが適用されている。すなわち、トレンチ47が省略され、絶縁膜71がn-型ベース層44、p型ベース層45及びn+型ソース層46上に形成され、ゲート電極72が絶縁層71上に形成されている。

【0243】

以上のような構成としても、第20の実施形態と同様の効果を得ることができる。なお、図34及び図38では、IGBTを素子部 $M1a$ として用いた場合を説明したが、これに限らず、本発明は、縦型のMOSゲート駆動パワー半導体素子の全てが素子部 $M1a$ に適用できる。

20

【0244】

この種の縦型のMOSゲート駆動パワー半導体素子としては、例えばトレンチ型のMOSFET又はプレーナ型のMOSFETがある。

【0245】

トレンチ型のMOSFETは、図39に示すように、図34に示したp+型エミッタ層41及びn型バッファ層43に代えて、n+型ドレイン層73が形成されている。

【0246】

同様にプレーナ型のMOSFETは、図40に示すように、図38に示したp+型エミッタ層41及びn型バッファ層43に代えて、n+型ドレイン層73が形成されている。

30

。

【0247】

なお、このようにIGBTとMOSFETでは、コレクタ(MOSFETではドレイン)側の構造が異なるが、 dV/dt 検出部 $Dt1$ のコレクタ側を素子部 $M1a$ と同じ構造で作ることにより、本発明を前述同様に実施できる。

【0248】

(第22の実施形態)

図41は、第22の実施形態に係る半導体装置に適用される dV/dt 検出部の構成を示す断面図である。本実施形態は、図34に示したn-型ベース層44上の絶縁膜51及びセンス電極52に代え、図41に示すように、接合終端部のp型リサーフ層74上に絶縁膜75及びセンス電極76が形成されている。

40

【0249】

以上のような構成により、第20の実施形態の効果に加え、素子部 $M1a$ の有効面積を増加できる。

【0250】

(第23の実施形態)

図42は、第23の実施形態に係る半導体装置に適用される dV/dt 検出部の構成を示す断面図である。本実施形態は、図34に示した素子部 $M1a$ のトレンチ構造を dV/dt 検出部 $Dt1$ に適用させたものである。すなわち、n-型ベース層44上の絶縁層5

50

1及びセンス電極52に代えて、図42に示すように、n-型ベース層44に形成されたトレンチ47a内に絶縁層48aを介してセンス電極49aが埋込形成されている。

【0251】

以上のような構成により、素子部M1aとdV/dt検出部Dt1との両者のトレンチ構造を同時に形成できるので、第20の実施形態の効果に加え、半導体装置の製造工程の数を減少できる。

【0252】

(第24の実施形態)

図43は、第24の実施形態に係る半導体装置に適用されるdV/dt検出部の構成を示す断面図である。本実施形態は、図41及び図42に示した構成を互いに組合わせたものである。すなわち、図34に示したn-型ベース層44上の絶縁層51及びセンス電極52に代えて、図43に示すように、接合終端部のp型リサーフ層74内にトレンチ47aが形成され、トレンチ47a内に絶縁層48aを介してセンス電極49aが埋込形成されている。

10

【0253】

以上のような構成により、第20の実施形態の効果に加え、第22及び第23の実施形態の効果と同時に得ることができる。

【0254】

なお、第20～第24の実施形態に示した素子部M1aとdV/dt検出部Dt1との構成は、夫々任意に組合せて実施することができる。

20

【0255】

また、本発明は、主スイッチング素子がIGBT又はMOSFETである場合を例に挙げて説明したが、これに限らず、MCT(CMOS Controlled Thyristor)やIGTT等のデバイスにも種々変形して実施できる。

【0256】

その他、本発明は、その要旨を逸脱しない範囲で種々変形して実施できる。

【0257】

【発明の効果】

以上説明したように本発明によれば、高電圧、大電流時にもゲート電圧を安定させ、電流不均一や発振等を阻止でき、もって、装置を破壊から保護して信頼性を向上できる半導体装置及びその制御方法を提供できる。

30

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るIGBTの構成を示す平面図

【図2】図1のIIA-IIA線及びIIB-IIB線矢視断面図

【図3】本発明の第2の実施形態に係るIGBTの構成を示す平面図

【図4】本発明の第3の実施形態に係るIGBTの構成を示す平面図

【図5】本発明の第4の実施形態に係る半導体装置の構成を示す斜視断面図

【図6】同実施形態における半導体装置の構成を示す平面図

【図7】図6のVIIA-VIIA線及びVIIB-VIIB線矢視断面図

【図8】本発明の第5の実施形態に係る半導体装置の構成を示す断面図

40

【図9】本発明の第6の実施形態に係るIGBTパッケージの構成を示す回路図

【図10】同実施形態におけるIGBTパッケージの変形構成を示す回路図

【図11】本発明の第7の実施形態に係るIGBTパッケージの構成を示す回路図

【図12】同実施形態におけるIGBTパッケージの変形構成を示す回路図

【図13】本発明の第8の実施形態に係るIEGTの構成を示す平面図

【図14】図13のXIVA-XIVA線矢視断面図及び41B-41B線矢視断面図

【図15】本発明の第9の実施形態に係るIEGTの構成を示す断面図

【図16】第10の実施形態に係るIEGTの構成を示す断面図

【図17】第11の実施形態に係るIEGTの構成を示す断面図

50

- 【図18】同実施形態における I E G T の変形構成を示す断面図
- 【図19】第12の実施形態に係る I E G T の構成を示す断面図
- 【図20】同実施形態における動作を説明するための再結合キャリア数のキャリア比依存性を示す図
- 【図21】第13の実施形態に係る半導体装置の短絡保護システムを示す回路図
- 【図22】同実施形態における半導体装置の短絡保護システムを示す回路図
- 【図23】同実施形態における設定調整並びに禁止領域を説明するための図
- 【図24】同実施形態における電流の抑制効果を示す図
- 【図25】第14の実施形態に係る半導体装置の短絡保護システムにおけるゲート電荷の検出方法を示す回路図 10
- 【図26】第15の実施形態に係る半導体装置の短絡保護システムにおけるゲート電荷の検出方法を示す回路図
- 【図27】同実施形態の変形構成を示す回路図
- 【図28】第16の実施形態に係る半導体装置の短絡保護システムにおけるゲート電荷の検出方法を示す回路図
- 【図29】第17の実施形態に係る半導体装置の短絡保護システムにおけるゲート駆動回路及びゲート電荷の検出方法を示す回路図
- 【図30】第18の実施形態に係る半導体装置の短絡保護システムを示す回路図
- 【図31】同実施形態の変形構成を示す回路図
- 【図32】同実施形態の変形構成を示す回路図 20
- 【図33】第19の実施形態に係る半導体装置の短絡保護システムの構成を示すブロック図
- 【図34】第20の実施形態に係る半導体装置の構成を示す断面図
- 【図35】同実施形態におけるゲート制御部の構成を示す回路記号図
- 【図36】同実施形態におけるゲート制御部の構成を示す断面図
- 【図37】同実施形態の動作を説明するためのタイムチャート
- 【図38】第21の実施形態に係る半導体装置に適用される素子部の構成を示す断面図
- 【図39】同実施形態における素子部の変形構成を示す断面図
- 【図40】同実施形態における素子部の変形構成を示す断面図
- 【図41】第22の実施形態に係る半導体装置に適用される dV/dt 検出部の構成を示す断面図 30
- 【図42】第23の実施形態に係る半導体装置に適用される dV/dt 検出部の構成を示す断面図
- 【図43】第24の実施形態に係る半導体装置に適用される dV/dt 検出部の構成を示す断面図
- 【図44】本発明の基となる知見を説明するための実験結果を示す図
- 【図45】同知見を説明するためのシミュレーション結果を示す図
- 【図46】同知見を説明するためのシミュレーション結果を示す図
- 【図47】同知見を説明するための模式図
- 【図48】同知見を説明するための等価回路図 40
- 【図49】同知見を説明するための等価回路図
- 【図50】本発明の骨子を説明するための I G B T の断面図
- 【図51】同骨子を説明するための従来のゲート容量 - ゲート電圧特性を示す図
- 【図52】同骨子を説明するための容量 C 1 - ゲート電圧特性を示す図
- 【図53】同骨子を説明するための容量 C 2 - ゲート電圧特性を示す図
- 【図54】同骨子を説明するための本発明に係るゲート容量 - ゲート電圧特性を示す図
- 【図55】本発明の基となる知見を確認した実験結果を示す図
- 【図56】同実験に適用された回路を示す回路図
- 【図57】同実験におけるノイズパルス混入後のゲート電圧の挙動を示す図
- 【図58】本発明の基となる知見が確認されたゲートのとばし無しのトレンチ型 I E G T 50

素子の構成を示す図

【図59】本発明の基となる知見が確認されたゲートのとばし有りのトレンチ型 I E G T 素子の構成を示す図

【図60】同知見が確認された2種類の I E G T 素子におけるゲート容量のゲート電圧依存性を示す図

【図61】本発明に係る短絡保護に関する知見を説明するための図

【図62】同知見を説明するための図

【図63】同知見に基づいた保護回路のブロック図

【図64】従来の I G B T の構成を示す断面図

【図65】従来の課題を説明するための I G B T の模式図

10

【図66】従来のノイズ混入時のゲート電圧の挙動を示す図

【図67】従来のノイズ混入時のコレクタ電圧及びコレクタ電流の挙動を示す図

【図68】従来の半導体装置の短絡保護方式を説明するための回路図

【図69】従来の半導体装置の外観を示す平面図

【図70】従来のターンオフ時の保護を説明するためのタイムチャート

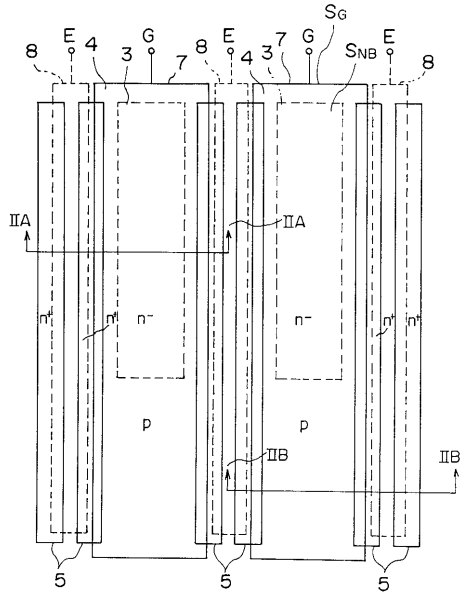
【符号の説明】

1, 41 ... p 型エミッタ層、2, 42 ... コレクタ電極、3, 44 ... n 型ベース層、4, 45 ... p 型ベース層、4d ... p 型ドレイン層、5, 46 ... n 型ソース層、6, 6t, 48 ... ゲート絶縁膜、7, 7t, 12, 49 ... ゲート電極、8, 8e, 50 ... エミッタ電極、10, 11 ... p 型層、11s ... p 型ソース層、フローティング電極、14, 14u ... 絶縁膜、21 ~ 24 ... I G B T パッケージ、30 ... 直流電源、31 ... P W M コントローラ、32 ... デジタル論理回路、32a ... ゲート波形制御部、32b ... 通信機能、33 ... アナログゲート駆動回路、33a ... 監督回路、43 ... パツファ層、47a ... トレンチ、48a ... 絶縁膜、49a, 52, 76 ... センス電極、51 ... 絶縁膜、60 ... ゲート制御部、61 ... p 型基板、62 ... n 型ウエル層、63 ... p + 型ドレイン層、64 ... p + 型ソース層、65 ... p - 型層、66 ... 入力端子、67 ... 出力端子、51, 68, 71, 75 ... 絶縁膜、69 ... 制御端子、70 ... 電位固定端子、73 ... n + 型ドレイン層、74 ... p 型リサーフ層、 S_{NB} 、 S_G ... 面積、 $R, R_{G1}, R_{G2}, R_G, R_g, R_1 \sim R_9, R_{cc}, R_a, 53$... 抵抗、 $C, C_1, C_2, C_G, C_{11} \sim C_{13}$... 容量、 Q_G ... 電荷、 G_{d1} ... ゲート駆動回路、 A_{M1} ... 差動アンプ、 $T_{r1}, T_{r11} \sim T_{r18}$... トランジスタ、 S_{CP} ... 短絡保護回路、 M_1 ... 主 I G B T 素子、 S_1 ... センス I G B T 素子、 I_1, I_2 ... 電流、 M_{1a} ... 素子部、 D_{t1} ... dV/dt 検出部。

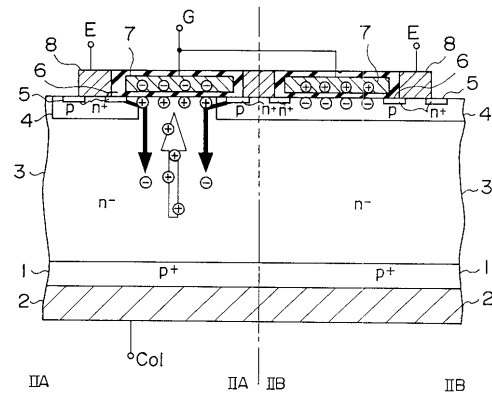
20

30

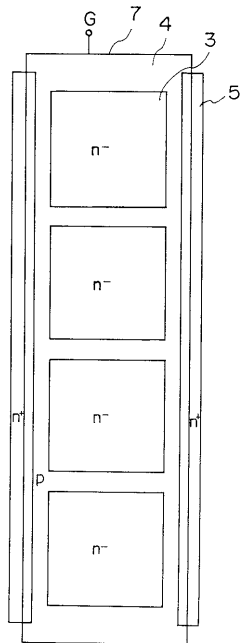
【 図 1 】



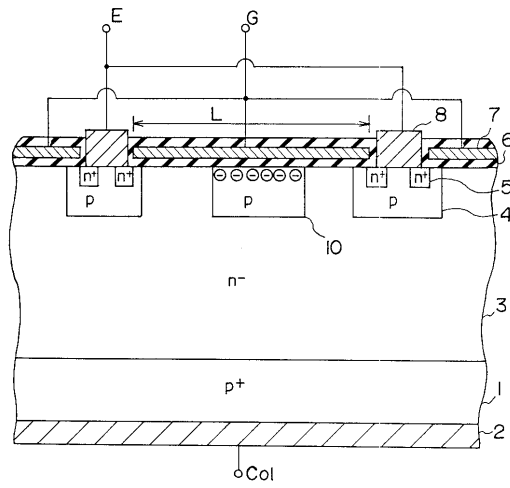
【 図 2 】



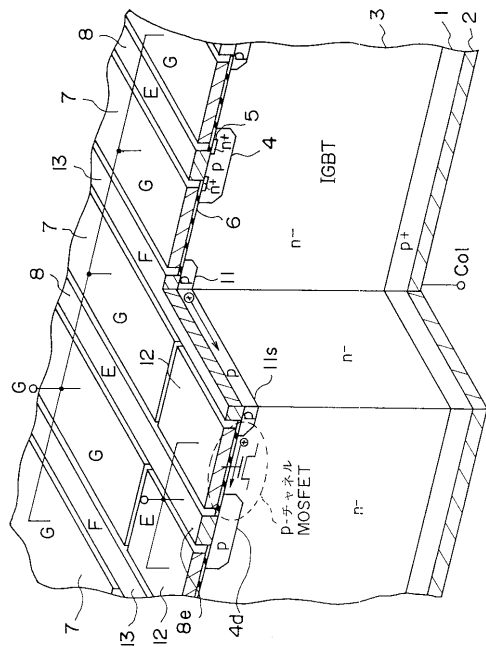
【 図 3 】



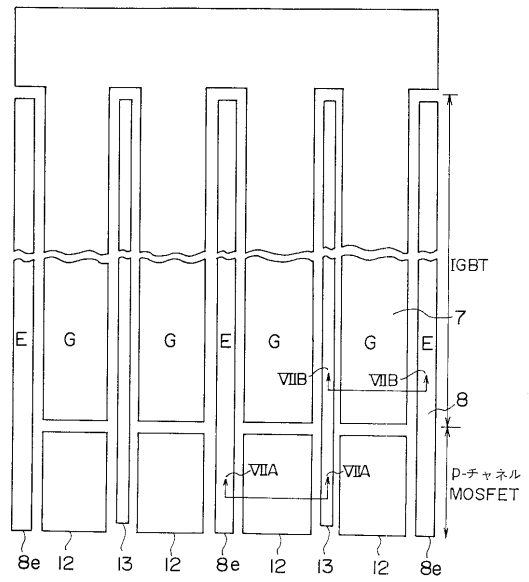
【 図 4 】



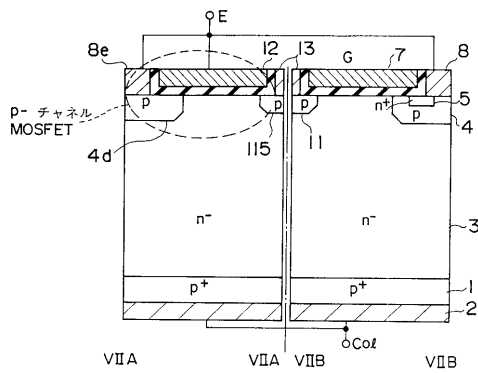
【 図 5 】



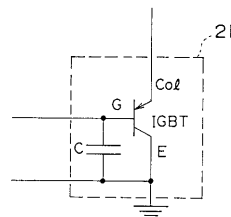
【 図 6 】



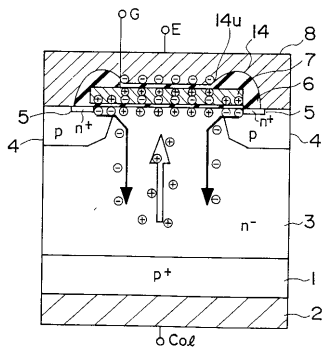
【 図 7 】



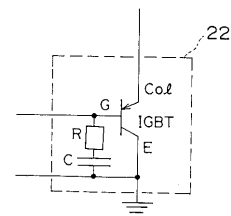
【 図 9 】



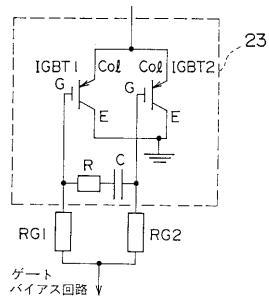
【 図 8 】



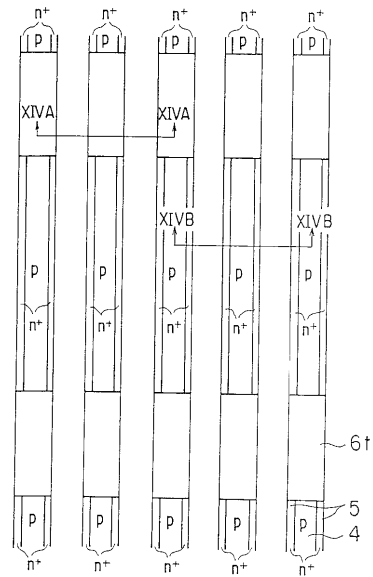
【 図 10 】



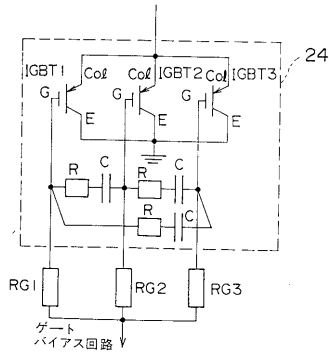
【 図 1 1 】



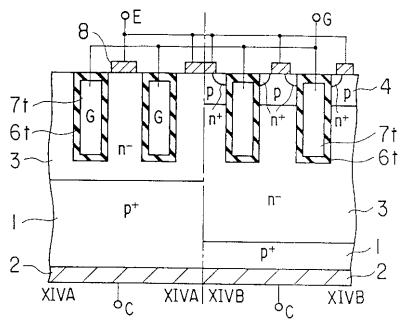
【 図 1 3 】



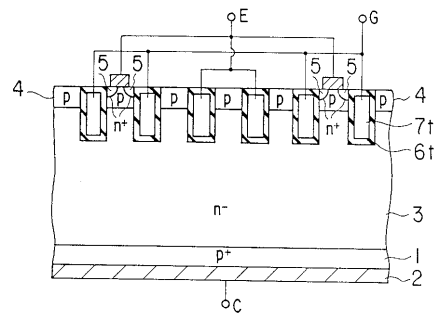
【 図 1 2 】



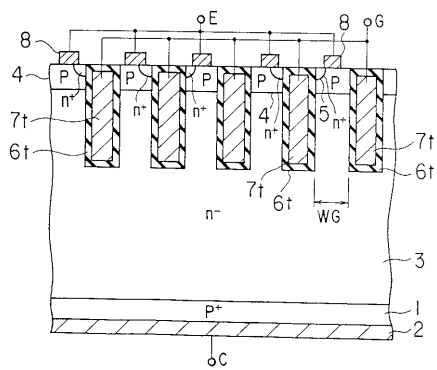
【 図 1 4 】



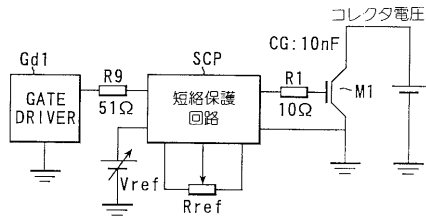
【 図 1 6 】



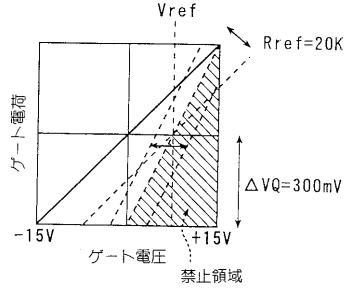
【 図 1 5 】



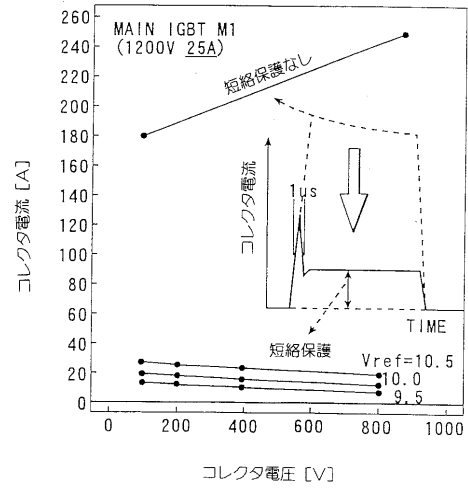
【図 2 2】



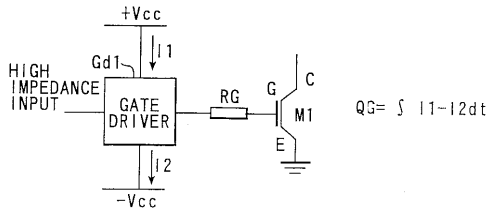
【図 2 3】



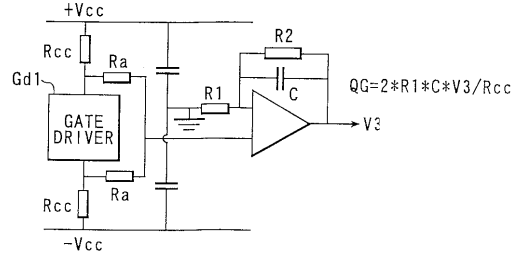
【図 2 4】



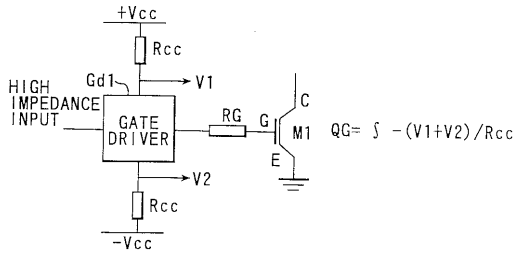
【図 2 5】



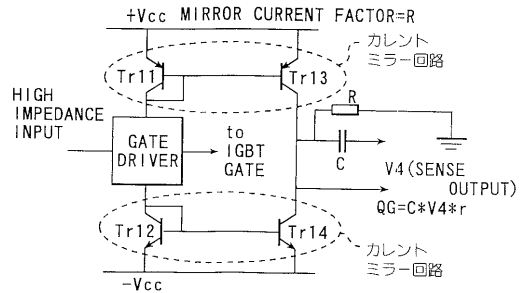
【図 2 7】



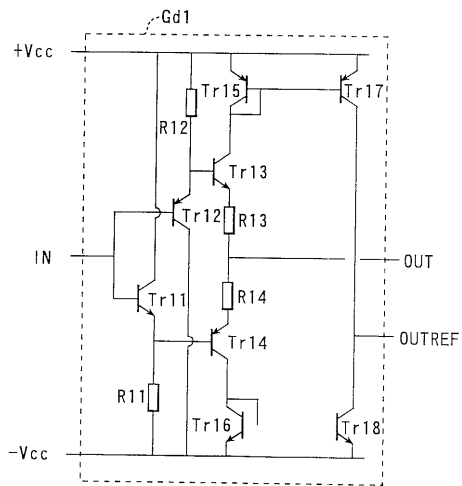
【図 2 6】



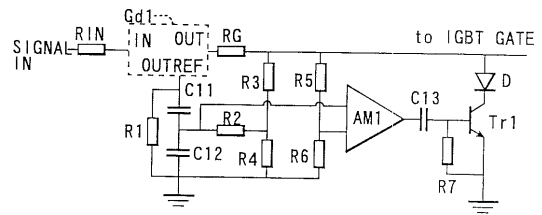
【図 2 8】



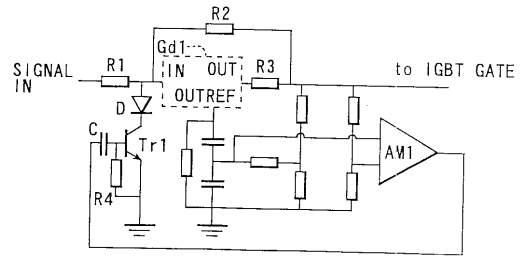
【 29 】



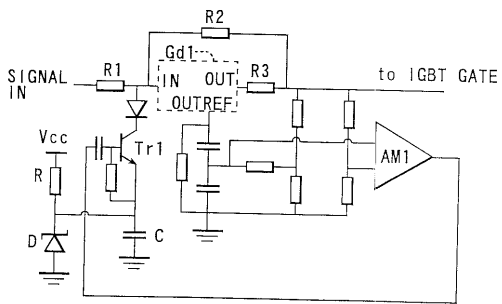
【 30 】



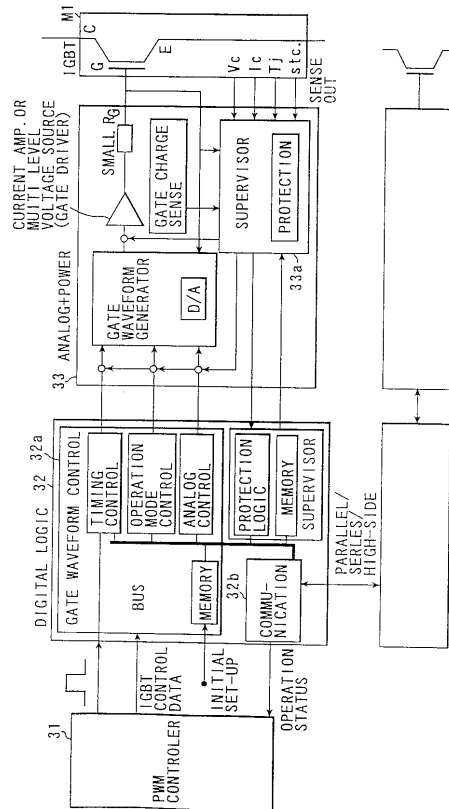
【 31 】



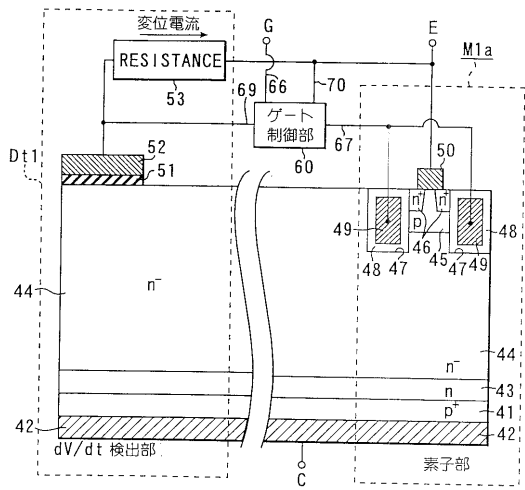
【 32 】



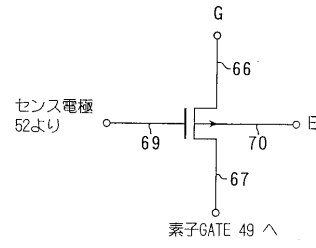
【 33 】



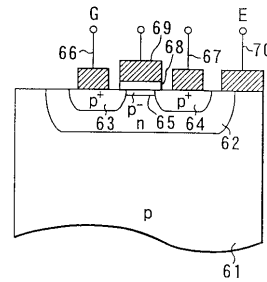
【 図 3 4 】



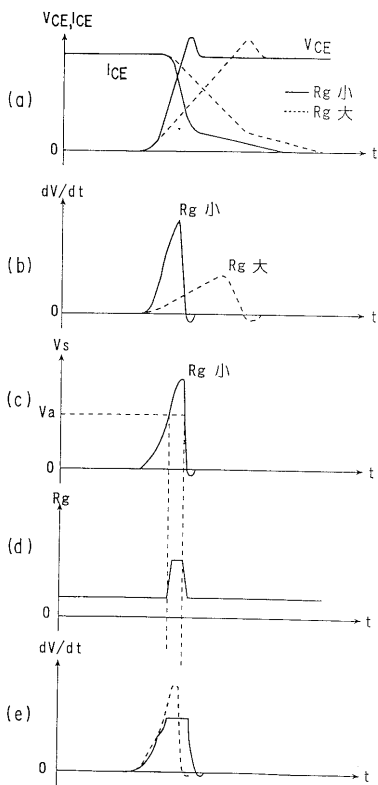
【 図 3 5 】



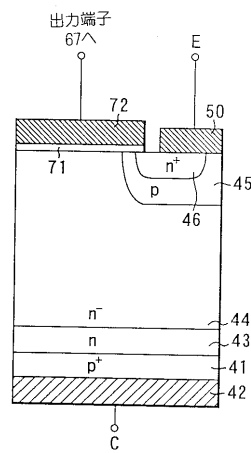
【 図 3 6 】



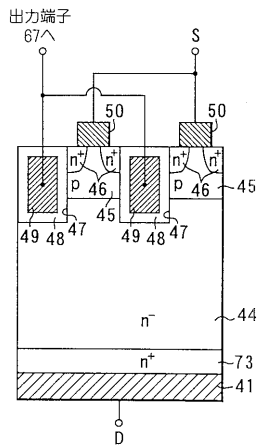
【 図 3 7 】



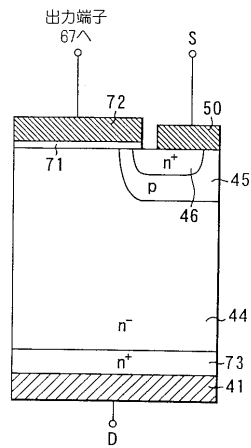
【 図 3 8 】



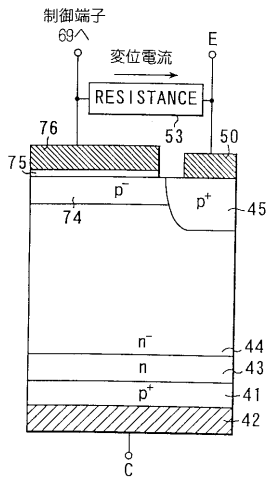
【 図 3 9 】



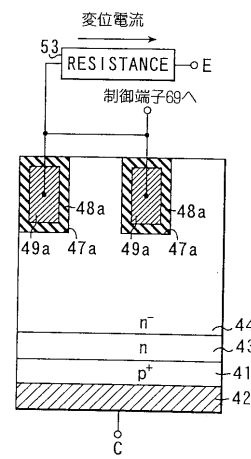
【 図 4 0 】



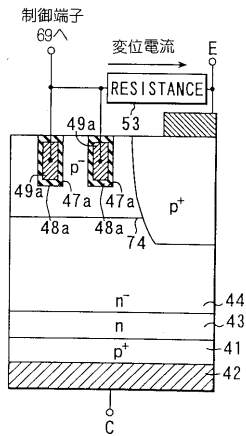
【 図 4 1 】



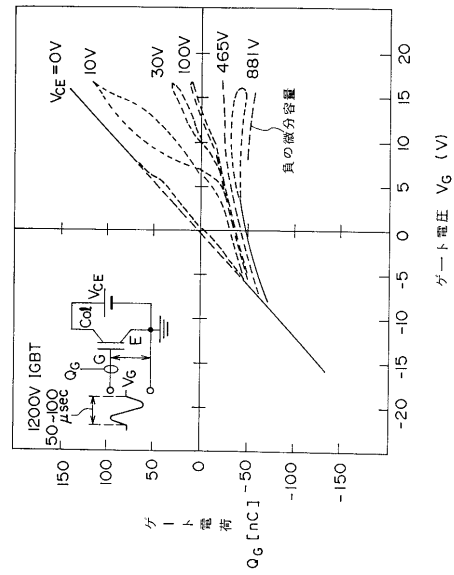
【 図 4 2 】



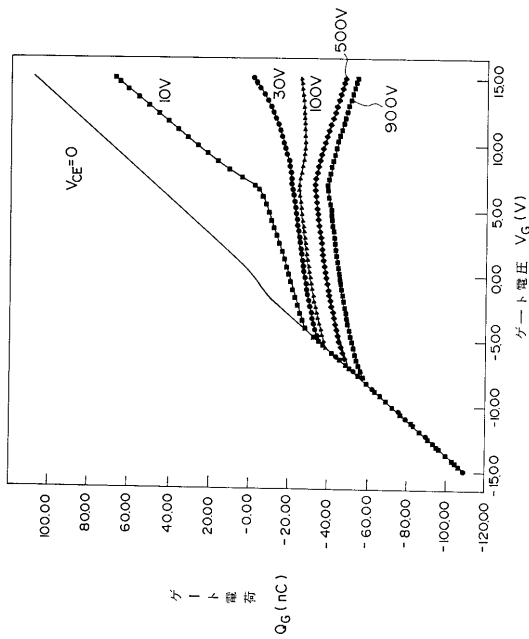
【 図 4 3 】



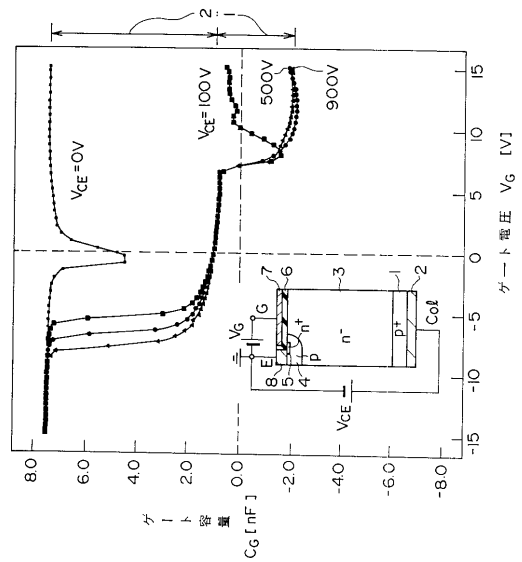
【 図 4 4 】



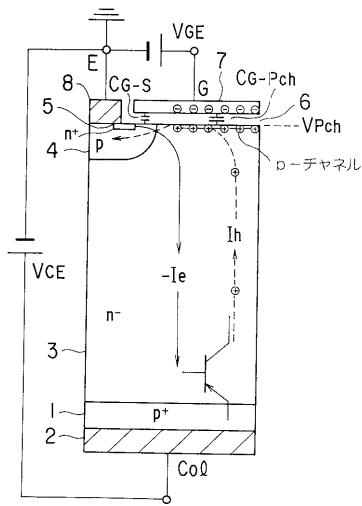
【 図 4 5 】



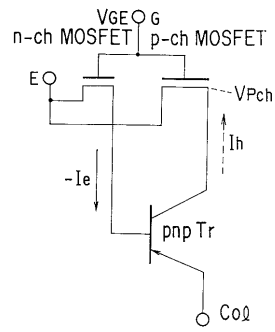
【 図 4 6 】



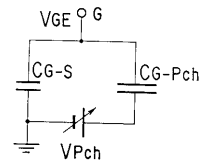
【 図 4 7 】



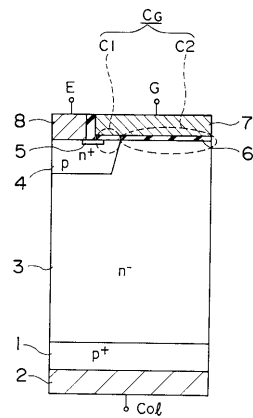
【 図 4 8 】



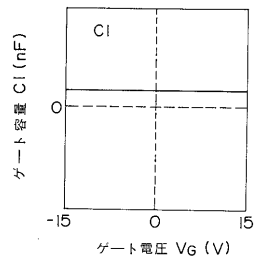
【 図 4 9 】



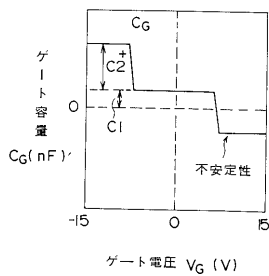
【 図 5 0 】



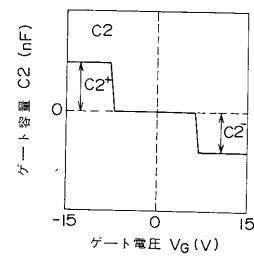
【 図 5 2 】



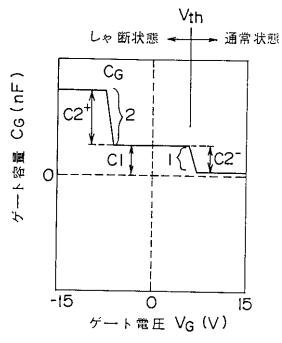
【 図 5 1 】



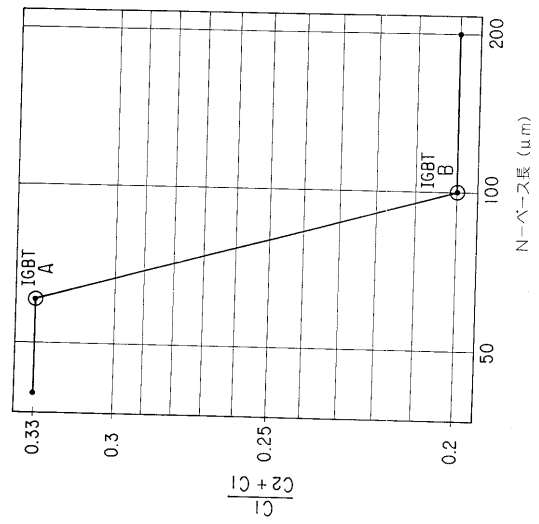
【 図 5 3 】



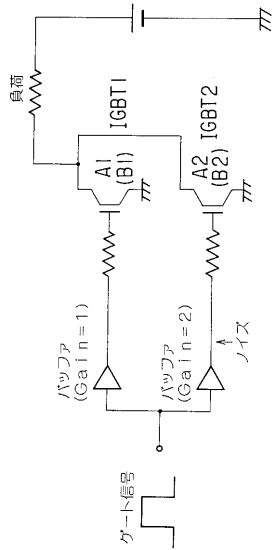
【 図 5 4 】



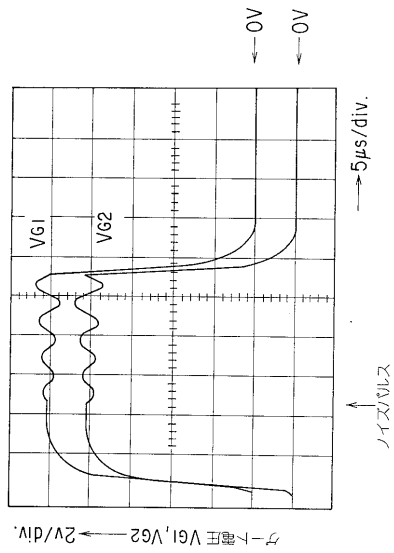
【 図 5 5 】



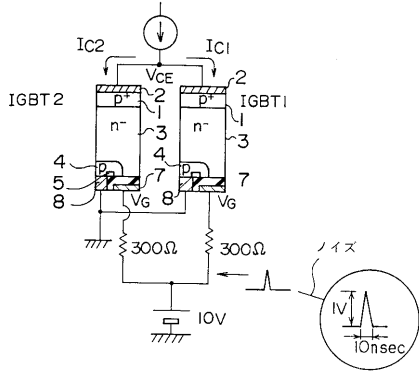
【 図 5 6 】



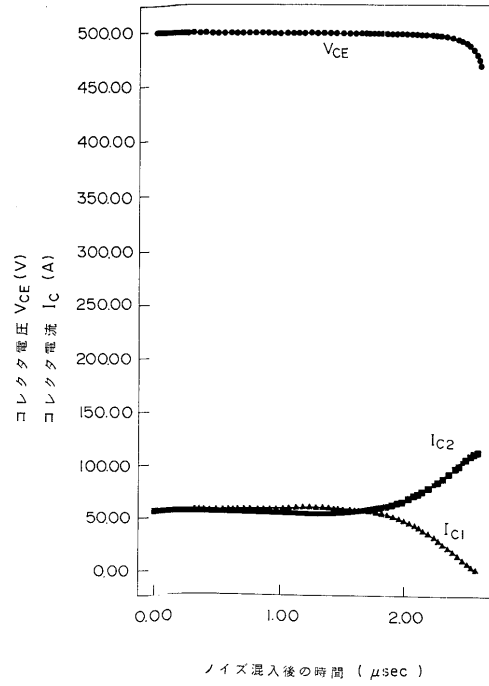
【 図 5 7 】



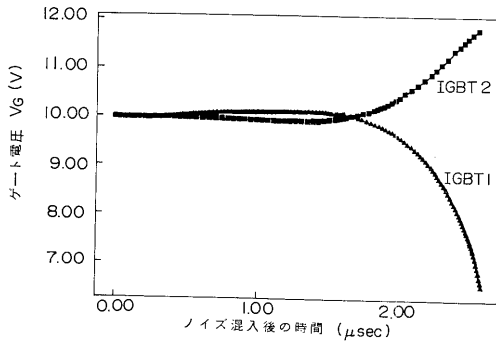
【 図 6 5 】



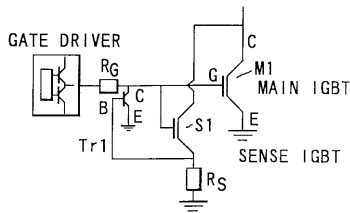
【 図 6 7 】



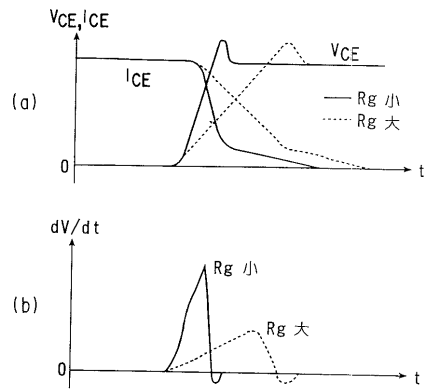
【 図 6 6 】



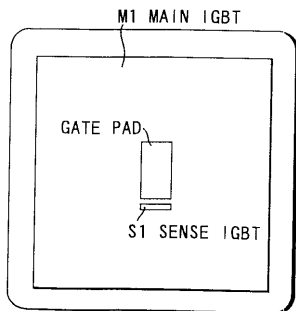
【 図 6 8 】



【 図 7 0 】



【 図 6 9 】



フロントページの続き

(51)Int.Cl.⁷

F I

H 0 1 L 27/04

H

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 大村 一郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 ヴォルフガング・フィクトナー

スイス国、チューリッヒ、8092 グロリアストラッセ 35

(72)発明者 二宮 英彰

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 大橋 弘通

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 小倉 常雄

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

審査官 扇谷 高男

(56)参考文献 特開平8-139326(JP,A)

特開平8-340103(JP,A)

特開平7-221303(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 29/78

H01L 21/822

H01L 27/04