

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5963647号
(P5963647)

(45) 発行日 平成28年8月3日(2016.8.3)

(24) 登録日 平成28年7月8日(2016.7.8)

(51) Int.Cl. F I
G 1 1 C 29/14 (2006.01) G 1 1 C 29/00 6 7 1 T

請求項の数 4 (全 8 頁)

<p>(21) 出願番号 特願2012-245672 (P2012-245672) (22) 出願日 平成24年11月7日 (2012.11.7) (65) 公開番号 特開2013-178867 (P2013-178867A) (43) 公開日 平成25年9月9日 (2013.9.9) 審査請求日 平成27年9月3日 (2015.9.3) (31) 優先権主張番号 特願2012-17197 (P2012-17197) (32) 優先日 平成24年1月30日 (2012.1.30) (33) 優先権主張国 日本国(JP)</p>	<p>(73) 特許権者 715010864 エスアイアイ・セミコンダクタ株式会社 千葉県千葉市美浜区中瀬一丁目8番地 (72) 発明者 中村 孝志 千葉県千葉市美浜区中瀬1丁目8番地 セ イコーインスツル株式会社内 審査官 滝谷 亮一 (56) 参考文献 特開2002-175699 (JP, A)) 特開2000-11698 (JP, A) 特開平8-105947 (JP, A)</p>
---	---

最終頁に続く

(54) 【発明の名称】 半導体記憶回路を備えた半導体装置

(57) 【特許請求の範囲】

【請求項1】

クロック信号が入力されるクロック入力端子とデータ信号が入力される通信用の第1の入力端子とを有した半導体記憶回路を備えた半導体装置であって、

前記第1の入力端子と第2の入力端子に、互いに逆相のデータ信号が入力されたことを検出するデータ比較回路と、

前記データ信号のうち第一のデータ信号が入力されたことを検出し、前記データ比較回路の検出信号と併せて検出信号を出力する第一のデコーダ回路と、

前記データ信号のうち第二のデータ信号が入力されたことを検出し、前記データ比較回路の検出信号及び前記第一のデコーダ回路の検出信号と併せて検出信号を出力する第二のデコーダ回路と、

前記第一のデコーダ回路と前記第二のデコーダ回路の検出信号を受けてテストモードに移行する切替信号を出力する回路と、を備えたモード切替回路を有することを特徴とする半導体記憶回路を備えた半導体装置。

【請求項2】

制御信号を出力する制御信号発生回路を備え、

前記第一のデコーダ回路と前記第二のデコーダ回路の検出信号及び前記切替信号は、前記制御信号を受けたときに出力される、ことを特徴とする請求項1に記載の半導体記憶回路を備えた半導体装置。

【請求項3】

10

20

前記制御信号発生回路は、前記クロック信号と前記第1の入力端子のデータ信号によって前記制御信号を出力する、ことを特徴とする請求項2に記載の半導体記憶回路を備えた半導体装置。

【請求項4】

前記制御信号発生回路は、チップセレクト端子の信号によって前記制御信号を出力する、ことを特徴とする請求項2に記載の半導体記憶回路を備えた半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶回路を備えた半導体装置に関し、より詳しくは通常動作モードとテストモードの切替を誤動作することなく容易に行うことができるモード切替回路に関する。

10

【背景技術】

【0002】

従来の半導体記憶回路を備えた半導体装置のモード切替回路について説明する。図3は、従来のモード切替回路を示す回路図である。

従来のモード切替回路は、入力端子501と、内部回路502と、P型MOSトランジスタ503、504と、N型MOSトランジスタ505と、電圧判定回路507を備えている。

【0003】

20

内部回路502は、抵抗506を介して入力端子501と接続される。内部回路502は、入力信号用のインバータを備え、電源電圧Vcc（例えば5V）が供給される。ノードN1には、電圧判定回路507が接続されている。P型MOSトランジスタ503と504は、ダイオード接続され、入力端子501と電源端子の間に互いに逆向きに接続されている。N型MOSトランジスタ505は、ダイオード接続され、入力端子501と接地端子の間に接続されている。電圧判定回路507は、入力端子501の電圧を検出するための電圧検出用インバータと、検出信号を電源電圧Vccにレベル変換する変換用インバータを備えている。電圧検出用インバータは、電源にノードN1の電圧が入力され、入力端子に電源電圧Vccが入力される。変換用インバータは、電源に電源電圧Vccが入力され、入力端子に電圧検出用インバータの出力信号が入力される。電圧判定回路507は、検出信号を内部回路502に出力する。

30

【0004】

従来のモード切替回路は、以下のように動作して通常モードからテストモードに切替える（例えば、特許文献1参照）。

入力端子501に通常動作時の電圧（例えば0Vから5V）の信号が入力されると、電圧判定回路507のP型MOSトランジスタ508は、ソース電圧が0Vから5Vで変化するのでオフし、N型MOSトランジスタ509はオンする。従って、電圧判定回路507は内部回路502にHi信号を出力するので、内部回路502は通常動作モードを保つ。

【0005】

40

次に、入力端子501に通常動作時の電圧よりも高い電圧（例えば10V）が入力されると、電圧判定回路507のP型MOSトランジスタ508は、ソース電圧が10Vになるのでオンし、N型MOSトランジスタ509はオフする。従って、電圧判定回路507は内部回路502にLo信号を出力するので、内部回路502はテストモードに切替わる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2000-269428号公報

【発明の概要】

50

【発明が解決しようとする課題】**【0007】**

しかしながら、従来の技術では、通常動作時に使用される入力端子に高電圧を印加するため、入力端子及び内部回路を高電圧から保護するための保護トランジスタを設ける必要がある。また、入力端子に高い電圧が入力されたことを判定するための電圧判定回路を設ける必要がある。従って、モード切替回路の面積が増加する、と言う課題があった。

【0008】

また、不用意にテストモードに入らないようにするためには、テストモードを設定するための高電圧は、通常動作時の入力電圧に対して十分高くする必要がある。しかしながら、半導体集積回路における素子の微細化や素子動作の高速化に伴い、保護機能を有するトランジスタの耐圧が低下してしまい、電圧判定回路のバラツキを考慮した十分なマージンを確保することが困難である、と言う課題があった。

10

【0009】

本発明は、上記課題に鑑みてなされ、チップ面積が小さく、誤動作することなくテストモードに切替えることができるモード切替回路を有した半導体記憶回路を備えた半導体装置を提供する。

【課題を解決するための手段】**【0010】**

本発明は、上記課題を解決するために本発明の半導体記憶回路を備えた半導体装置は、通信用の入力端子と通信以外に用いられる入力端子に入力されるシリアル信号が互いに反転関係にあることを検出するデータ比較回路と、シリアル信号が所定のデータであることを検出して検出信号を出力するデコーダ回路と、制御信号を発生する制御信号発生回路と、それらの信号を基にテストモードに切り替える信号を出力する回路と、を追加したモード切替回路を備えた構成とした。

20

【発明の効果】**【0011】**

本発明によれば、誤動作することなくテストモードに切替えることができるモード切替回路を、チップ面積を増やすことなく構成することができる。

【図面の簡単な説明】**【0012】**

30

【図1】半導体記憶回路を備えた半導体装置の本実施形態のモード切替回路を示す回路図である。

【図2】本実施形態のモード切替回路の動作を示すタイミングチャートの図である。

【図3】従来の半導体記憶回路を備えた半導体装置のモード切替回路を示す回路図である。

【発明を実施するための形態】**【0013】**

本発明の半導体記憶回路を備えた半導体装置のモード切替回路は、半導体装置に備えられた半導体記憶回路の通信回路に、回路の変更及び追加をすることで、高電圧を入力することなくモードを切替えることが出来るようにした。

40

【0014】

詳しくは、通信用の入力端子と通信以外に用いられる入力端子に入力されるシリアル信号が互いに反転関係にあることを検出するデータ比較回路と、シリアル信号が所定のデータであることを検出して検出信号を出力するデコーダ回路と、シリアル信号を基に制御信号を発生する制御信号発生回路と、それらの信号を基にテストモードに切り替える切替信号を出力する回路と、を追加した。

【0015】

以下に、本発明の実施形態について、図を参照して説明する。

半導体記憶回路を備えた半導体装置の本実施形態のモード切替回路の回路図である。本実施形態は、2線式のシリアルデータ通信方式（例えばI²Cバス）を備えた半導体記憶

50

回路のモード切替回路である。

【 0 0 1 6 】

本実施形態のモード切替回路は、入力端子 1 0 1 及び 1 0 2 と、クロック端子 1 0 3 と、出力端子 1 0 4 と、データ変換回路 1 2 0 と、データ比較回路 1 2 1 と、コマンド・デコーダ回路 1 3 0 と、第一のデコーダ回路 1 3 1 と、第二のデコーダ回路 1 3 2 と、制御信号発生回路 1 3 3 と、S R ラッチ回路 1 4 1、1 4 2、1 4 3、1 4 4 と、O R 回路 1 5 1、1 5 2 と、インバータ 1 5 3、1 5 4 で構成されている。

【 0 0 1 7 】

データ変換回路 1 2 0 は、入力端子 1 0 1、1 0 2 とクロック端子 1 0 3 が接続される。データ比較回路 1 2 1 は、入力端子 1 0 1、1 0 2 とクロック端子 1 0 3 が接続される。制御信号発生回路 1 3 3 は、入力端子 1 0 1 とクロック端子 1 0 3 が接続される。データ変換回路 1 2 0 の出力端子は、コマンド・デコーダ回路 1 3 0 と第一のデコーダ回路 1 3 1 と第二のデコーダ回路 1 3 2 に接続される。データ比較回路 1 2 1 の出力端子は、第一のデコーダ回路 1 3 1 と第二のデコーダ回路 1 3 2 に接続される。コマンド・デコーダ回路 1 3 0 は、第一の出力端子が内部回路 1 0 0 に接続され、第二の出力端子（ノード N L S X）が S R ラッチ回路 1 4 3 の入力端子 R X に接続される。第一のデコーダ回路 1 3 1 は、出力端子（ノード D 1 X）が S R ラッチ回路 1 4 1 の入力端子 S X に接続される。第二のデコーダ回路 1 3 2 の出力端子（ノード D 2 X）は、S R ラッチ回路 1 4 1 の入力端子 R X 1 と S R ラッチ回路 1 4 3 の入力端子 S X に接続される。制御信号発生回路 1 3 3 は、第一の出力端子（ノード S T O P X）が S R ラッチ回路 1 4 1 の入力端子 R X 2 と、S R ラッチ回路 1 4 2 の入力端子 R X 1 に接続され、第二の出力端子（ノード S T A R T X）が O R 回路 1 5 1、1 5 2 の入力端子に接続され、第三の出力端子（ノード S Y S E N）が S R ラッチ回路 1 4 4 の入力端子 R X 2 に接続される。S R ラッチ回路 1 4 1 の出力端子 Q X（ノード T 1 S X）は、O R 回路 1 5 1 の入力端子と S R ラッチ回路 1 4 4 の入力端子 R X 1 に接続される。S R ラッチ回路 1 4 3 の出力端子 Q X は、O R 回路 1 5 2 の入力端子に接続される。O R 回路 1 5 1 の出力端子は、S R ラッチ回路 1 4 2 の入力端子 S X に接続される。O R 回路 1 5 2 の出力端子は、S R ラッチ回路 1 4 4 の入力端子 S X に接続される。S R ラッチ回路 1 4 2 の出力端子 Q X（ノード T 2 N X）は、O R 回路 1 5 2 の入力端子と、インバータ 1 5 3 を介して第二のデコーダ回路 1 3 2 に接続される。S R ラッチ回路 1 4 4 の出力端子 Q X は、S R ラッチ回路 1 4 2 の入力端子 R X 2 と、インバータ 1 5 4 と出力端子 1 0 4（ノード T E N B）を介して内部回路 1 0 0 に接続される。

【 0 0 1 8 】

入力端子 1 0 1 は、通常動作の通信でシリアル信号を受信する入力端子である。入力端子 1 0 2 は、通信以外を入力端子、例えば機能選択用信号の入力端子である。クロック端子 1 0 3 は、通常動作の通信でクロック信号を受信する入力端子である。

【 0 0 1 9 】

データ変換回路 1 2 0 は、入力端子 1 0 1 から入力したシリアル信号をパラレル信号に変換する。データ比較回路 1 2 1 は、入力端子 1 0 1 の信号と入力端子 1 0 2 の信号を比較した結果を出力する。本実施形態では、入力端子 1 0 1 の信号と入力端子 1 0 2 の信号は互いに反転関係にあると、データ比較回路 1 2 1 は検出信号を出力する。コマンド・デコーダ回路 1 3 0 は、パラレル信号を受けて内部回路 1 0 0 もコマンド信号を出力する。第一のデコーダ回路 1 3 1 は、パラレル信号から第一のデータ信号（例えば 7 b i t）を検出し、データ比較回路 1 2 1 の検出信号が入力されている場合に、第一のデータ信号の検出信号を出力する。第二のデコーダ回路 1 3 2 は、パラレル信号から第二のデータ信号（例えば 7 b i t）を検出し、データ比較回路 1 2 1 の検出信号と S R ラッチ回路 1 4 2 のテストモードフラグ 2 が入力されている場合に、第二のデータ信号の検出信号を出力する。制御信号発生回路 1 3 3 は、クロック信号と入力端子 1 0 1 の信号状態によって、スタート信号とストップ信号を出力し、テスト信号を出力する S R ラッチ回路 1 4 4 を制御するシステム制御信号を出力する。

10

20

30

40

50

【 0 0 2 0 】

次に、本実施形態のモード切替回路の動作を、タイミングチャートを用いて説明する。

図 2 は、本実施形態のモード切替回路の動作を示すタイミングチャートである。

先ず、クロック端子 1 0 3 と入力端子 1 0 1 を Hi にして、入力端子 1 0 1 を Hi から Lo にすると、制御信号発生回路 1 3 3 は第二の出力端子 (ノード S T A R T X) にスタート信号を出力し、第三の出力端子 (ノード S Y S E N) のシステム制御信号を Lo から Hi にする。その状態で、入力端子 1 0 1 と入力端子 1 0 2 に互いに逆相となる第一のデータ信号と、クロック端子 1 0 3 にクロック信号を入力する。データ比較回路 1 2 1 は、入力端子 1 0 1 と入力端子 1 0 2 のデータ信号を 1 b i t ずつ逐次比較し、それらのデータ信号が互いに逆相であることを検出すると、検出信号を第一のデコーダ回路 1 3 1 と第二のデコーダ回路 1 3 2 に出力する。データ変換回路 1 2 0 は、入力端子 1 0 1 から入力したシリアル信号をパラレル信号に変換し、コマンド・デコーダ回路 1 3 0 と第一のデコーダ回路 1 3 1 と第二のデコーダ回路 1 3 2 に出力する。コマンド・デコーダ回路 1 3 0 は、パラレル信号を受けて、モード切替回路の初期化信号を S R ラッチ回路 1 4 3 に出力し、コマンド信号を内部回路 1 0 0 に出力する。

10

【 0 0 2 1 】

第一のデコーダ回路 1 3 1 は、パラレル信号が第一のデータ信号で、且つデータ比較回路 1 2 1 の検出信号が入力されていると、7 発目のクロック信号のタイミング (パラレル信号が第一のデータ信号と検出) で、出力端子 (ノード C D 1 X) から Lo のパルスを S R ラッチ回路 1 4 1 の入力端子 S X に出力する。S R ラッチ回路 1 4 1 は、出力端子 Q X (ノード T 1 S X) を Hi から Lo にして、テストモードフラグ 1 をセットする。

20

【 0 0 2 2 】

制御信号発生回路 1 3 3 は、8 発目のクロック信号のタイミングで第三の出力端子 (ノード S Y S E N) を Hi から Lo にして、クロック端子 1 0 3 が Hi で、入力端子 1 0 1 が Hi から Lo になったときに、Lo から Hi にする。このとき、スタート信号も同時に出力されるので、O R 回路 1 5 1 の入力端子はどちらも Lo になり、S R ラッチ回路 1 4 2 の入力端子 S X は Lo になる。従って、S R ラッチ回路 1 4 2 は、出力端子 Q X (ノード T 2 N X) を Hi から Lo にして、テストモードフラグ 2 をセットする。

【 0 0 2 3 】

ここで、図 2 のタイミングチャートでは、8 発目のクロック信号のタイミングで第一のデータ信号の 7 ビット目のデータが Hi から Lo になることを前提に説明したが、第一のデータ信号と第二のデータ信号の間に 1 パルスを入れて、そのパルスが Hi から Lo になるタイミングでノード S Y S E N を Hi から Lo にして、スタート信号を出力するようにしても良い。また、8 発目のクロック信号のタイミングに限定されるものでもない。

30

【 0 0 2 4 】

更に、入力端子 1 0 1 と入力端子 1 0 2 に互いに逆相となる第二のデータ信号と、クロック端子 1 0 3 にクロック信号を入力する。データ比較回路 1 2 1 は、入力端子 1 0 1 と入力端子 1 0 2 のデータ信号を 1 b i t ずつ逐次比較し、それらのデータ信号が互いに逆相であることを検出すると、検出信号を第一のデコーダ回路 1 3 1 と第二のデコーダ回路 1 3 2 に出力する。

40

【 0 0 2 5 】

第二のデコーダ回路 1 3 2 は、パラレル信号が第二のデータで、且つデータ比較回路 1 2 1 の検出信号と S R ラッチ回路 1 4 2 のテストモードフラグ 2 が入力されていると、7 発目のクロック信号のタイミング (パラレル信号が第二のデータ信号と検出) で、出力端子 (ノード C D 2 X) から Lo のパルスを、S R ラッチ回路 1 4 1 の入力端子 R X 1 と S R ラッチ回路 1 4 3 の入力端子 S X に出力する。S R ラッチ回路 1 4 1 は、出力端子 Q X (ノード T 1 S X) を Lo から Hi にして、テストモードフラグ 1 をリセットする。S R ラッチ回路 1 4 3 は、出力端子 Q X (ノード T 3 R X) を Hi から Lo にして、テストモードフラグ 3 をセットする。

【 0 0 2 6 】

50

制御信号発生回路 133 は、同様に、8 発目のクロック信号のタイミングで第三の出力端子（ノード SYSEN）を Hi から Lo にして、クロック端子 103 が Hi で、入力端子 101 が Hi から Lo になったときに、Lo から Hi にする。このとき、スタート信号も同時に出力されるので、OR 回路 152 の入力端子は 3 つとも Lo になり、SR ラッチ回路 144 の入力端子 SX は Lo になる。従って、SR ラッチ回路 144 は、出力端子 QX を Hi から Lo にして、従ってインバータ 154 の出力端子（ノード TENB）を Hi（切替信号）にして、内部回路 100 をテストモードにする。このとき、SR ラッチ回路 142 の入力端子 SX は Lo になるので、出力端子 QX（ノード T2NX）は Lo から Hi になり、テストモードフラグ 2 はリセットされる。

【0027】

次に、テストモードの解除の方法について説明する。クロック端子 103 が Hi の時に、入力端子 101 を Lo から Hi にすると、制御信号発生回路 133 は第一の出力端子（ノード STOPX）にストップ信号を出力する。SR ラッチ回路 141、142 は、ストップ信号によってリセットされる。同時に、制御信号発生回路 133 は第三の出力端子（ノード SYSEN）を Lo にして、SR ラッチ回路 144 の出力端子 QX を Lo に、従ってインバータ 154 の出力端子（ノード TENB）を Hi にして、内部回路 100 のテストモードを解除する。このとき、本実施形態のテストモードフラグ 3 は、セットされた状態であるが、通常動作コマンドを送信後のクロック端子 103 からのクロック 8 発目のタイミングで、コマンド・デコーダ回路 130 の出力ノード NRM RST X の 1 パルスによってクリアされるようにした。但し、テストモードフラグ 3 は、テストモードを解除後にリセットされれば良く、この方法に限定されるものではない。

【0028】

以上説明したように、本実施形態のモード切替回路は、通信用の入力端子 101 と他の入力端子 103 に、互いに逆相となる第一のデータ信号と第二のデータ信号が入力されたことを検出して、テストモードに切り替わる信号を出力するので、誤ってテストモードに入る事を防止することが可能である。また、テストモードの解除は、クロック信号が Hi の時に入力端子 101 を Lo から Hi にするだけなので、容易にできる。

【0029】

また、本実施形態のモード切替回路は、2 線式のシリアルデータ通信方式を備えた半導体記憶回路のモード切替回路図で説明したが、3 線式のシリアルデータ通信方式を備えた半導体記憶回路であっても同様に実施することが可能である。

【0030】

例えば、制御信号発生回路 133 は、チップセレクト端子の信号によって、スタート信号とストップ信号を出力し、テスト信号を出力する SR ラッチ回路 144 を制御する構成にしても良い。

【符号の説明】

【0031】

- 100 内部回路
- 120、121 データ比較回路
- 130 コマンド・デコーダ回路
- 131、132 デコーダ回路
- 133 制御信号発生回路
- 141、142、143、144 SR ラッチ回路

10

20

30

40

フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

G 1 1 C 2 9 / 1 4