

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4367070号  
(P4367070)

(45) 発行日 平成21年11月18日(2009.11.18)

(24) 登録日 平成21年9月4日(2009.9.4)

(51) Int. Cl. F I  
 HO 1 L 25/00 (2006.01) HO 1 L 25/00 B  
 HO 1 L 23/12 (2006.01) HO 1 L 23/12 5 O 1 P

請求項の数 17 (全 22 頁)

(21) 出願番号	特願2003-336929 (P2003-336929)	(73) 特許権者	000001443
(22) 出願日	平成15年9月29日(2003.9.29)		カシオ計算機株式会社
(65) 公開番号	特開2005-108929 (P2005-108929A)		東京都渋谷区本町1丁目6番2号
(43) 公開日	平成17年4月21日(2005.4.21)	(74) 代理人	100096699
審査請求日	平成18年7月4日(2006.7.4)		弁理士 鹿嶋 英實
		(72) 発明者	青木 由隆
			東京都青梅市今井3丁目10番地6 カシオ計算機株式会社 青梅事業所内
		審査官	宮本 靖史

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

回路形成領域及び複数の接続パッドが形成された半導体基板と、前記回路形成領域上に被覆するとともに、前記複数の接続パッドの上面が露出する開口部を有するように形成された絶縁膜と、前記複数の接続パッドに電氣的に接続される複数の柱状電極と、を備える半導体装置において、

少なくとも、

前記絶縁膜上に相互に離間して形成され、少なくとも一方が前記接続パッド上に積層された第1の導体層及び第2の導体層と、

前記第1の導体層に積層され、前記絶縁膜上の所定の領域に延在するように形成された第1の薄膜電極層と、

前記第2の導体層に積層され、前記所定の領域に延在するように形成された第2の薄膜電極層と、

少なくとも前記第1の薄膜電極層及び前記第2の薄膜電極層間に介在するように形成された誘電体層と、

により構成される容量素子を備えていることを特徴とする半導体装置。

【請求項2】

前記第1の導体層及び前記第2の導体層のうち、少なくともいずれか一方は、前記絶縁膜に形成された前記開口部を介して、前記接続パッドに直接接続されていることを特徴とす

10

20

る請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 の薄膜電極層及び前記第 2 の薄膜電極層のうち、少なくともいずれか一方は、前記絶縁膜に形成された前記開口部を介して、前記接続パッドに直接接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

前記第 1 の導体層及び前記第 2 の導体層のうち、少なくともいずれか一方は、前記柱状電極と電氣的に接続されていることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

【請求項 5】

少なくとも、前記第 1 の導体層及び前記第 2 の導体層は、同一の成膜条件により形成される導電層であることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置。

【請求項 6】

前記半導体装置は、前記容量素子を複数備え、該複数の容量素子が相互に並列的、又は、直列的に接続されていることを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体装置。

【請求項 7】

前記半導体装置は、前記絶縁膜上の所定の領域に、前記容量素子と、所定の配線形状を有する第 3 の導体層からなる誘導素子と、により構成される高周波機能回路を備えていることを特徴とする請求項 1 乃至 6 のいずれかに記載の半導体装置。

【請求項 8】

前記高周波機能回路は、前記容量素子と前記誘導素子を直列に接続したフィルタ回路であることを特徴とする請求項 7 記載の半導体装置。

【請求項 9】

前記誘導素子は、前記第 3 の導体層をスパイラル状に配設した配線形状を有し、該スパイラル形状を規定するパラメータに応じて、インダクタンス特性が設定されることを特徴とする請求項 7 又は 8 記載の半導体装置。

【請求項 10】

前記誘導素子は、前記第 3 の導体層を直線状に配設した配線形状を有し、該直線形状を規定するパラメータに応じて、インダクタンス特性が設定されることを特徴とする請求項 7 又は 8 記載の半導体装置。

【請求項 11】

前記第 3 の導体層は、前記第 1 の導体層及び前記第 2 の導体層と同一の成膜条件で形成される導電層であることを特徴とする請求項 7 乃至 10 のいずれかに記載の半導体装置。

【請求項 12】

回路形成領域及び複数の接続パッドが形成された半導体基板と、前記回路形成領域上を被覆するとともに、前記複数の接続パッドの上面が露出する開口部を有するように形成された絶縁膜と、前記複数の接続パッドに電氣的に接続される複数の柱状電極と、を備える半導体装置の製造方法において、

前記半導体基板の前記回路形成領域上に形成された前記絶縁膜上に、相互に離間し、各々所定の形状を有する第 1 の導体層及び第 2 の導体層を、同一の成膜条件で形成する工程と、

前記第 1 の導体層上から前記絶縁膜上の所定の領域に延在する第 1 の薄膜電極層を形成する工程と、

少なくとも前記第 1 の薄膜電極層上に誘電体層を形成する工程と、

前記第 2 の導体層上から前記誘電体層上に延在する第 2 の薄膜電極層を形成する工程と、

を含むことにより、前記絶縁膜上に容量素子を形成することを特徴とする半導体装置の製造方法。

【請求項 13】

前記第 1 の導体層及び前記第 2 の導体層のうち、少なくともいずれか一方は、前記絶縁膜に形成された前記開口部を介して、前記接続パッドに直接接続されていることを特徴とする請求項 1 2 記載の半導体装置の製造方法。

【請求項 1 4】

回路形成領域及び複数の接続パッドが形成された半導体基板と、前記回路形成領域上を被覆するとともに、前記複数の接続パッドの上面が露出する開口部を有するように形成された絶縁膜と、前記複数の接続パッドに電氣的に接続される複数の柱状電極と、を備える半導体装置の製造方法において、

前記半導体基板の前記回路形成領域上に形成された前記絶縁膜上に延在する第 1 の薄膜電極層を形成する工程と、

少なくとも前記第 1 の薄膜電極層上に誘電体層を形成する工程と、

少なくとも前記誘電体層上に延在する第 2 の薄膜電極層を形成する工程と、

同一の成膜条件で、前記第 1 の薄膜電極層上の所定の領域に第 1 の導体層を、前記第 2 の薄膜電極層上の所定の領域に第 2 の導体層を、相互に離間するように形成する工程と、を含むことにより、前記絶縁膜上に容量素子を形成することを特徴とする半導体装置の製造方法。

【請求項 1 5】

前記第 1 の薄膜電極層及び前記第 2 の薄膜電極層のうち、少なくともいずれか一方は、前記絶縁膜に形成された前記開口部を介して、前記接続パッドに直接接続されていることを特徴とする請求項 1 4 記載の半導体装置の製造方法。

【請求項 1 6】

前記第 1 の導体層及び前記第 2 の導体層のうち、少なくともいずれか一方に電氣的に接続するように、前記柱状電極を形成する工程を、さらに含むことを特徴とする請求項 1 2 乃至 1 5 のいずれかに記載の半導体装置の製造方法。

【請求項 1 7】

前記第 1 の導体層及び前記第 2 の導体層を形成する工程は、前記同一の成膜条件で、前記第 1 の導体層及び前記第 2 の導体層のうち、少なくともいずれか一方に電氣的に接続するように、前記絶縁膜上に所定の配線形状を有する第 3 の導体層を形成し、

前記容量素子と、前記第 3 の導体層からなる誘導素子と、により、前記絶縁膜上に高周波機能回路を形成することを特徴とする請求項 1 2 乃至 1 6 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、特に、チップサイズパッケージ (CSP; Chip size Package 又はチップスケールパッケージ; Chip scale Package) 型の封止構造を有する半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近年、携帯電話やデジタルビデオカメラ、携帯情報端末をはじめ、各種の携帯型電子機器の普及が著しい。このような電子機器においては、携帯性の向上や高機能化が強く求められる技術傾向にあることから、電子機器に実装される半導体装置においても、一層の小型、軽量、薄型化が要望されている。このような傾向、要望に対応するための半導体装置のパッケージ構造 (封止構造) として、パッケージの外形寸法を集積回路が形成された半導体基板 (半導体チップ) の寸法とほぼ等しくすることができるチップサイズパッケージ (CSP) が知られている。

【0003】

以下、従来技術におけるチップサイズパッケージ構造を適用した半導体装置について、簡単に説明する。

図 1 2 は、従来技術におけるチップサイズパッケージの構成例を示す概略断面図及び概

10

20

30

40

50

略平面図である。

図12(a)に示すように、従来技術におけるチップサイズパッケージ型の封止構造を適用した半導体装置は、概略、所望の集積回路が形成された半導体基板11pの一面(回路面)側に、該集積回路に電氣的に接続されたアルミニウム等からなる複数の接続パッド12p、12qが形成され、これらの接続パッド12p、12qの中央部が露出するように開口部が設けられた、酸化シリコンあるいは窒化シリコン等からなるパッシベーション膜13p、及び、ポリイミド系樹脂材からなる表面保護膜14pが積層形成されている。

【0004】

そして、これらの絶縁膜(パッシベーション膜13p及び表面保護膜14p)の上面側には、上記開口部を介して、各接続パッド12p、12qに一端側が電氣的に接続された配線層(再配線層)15p、15qが所定の配線パターンを有するように形成されている。該配線層15p、15qの他端側の所定箇所には、電氣的に接続された柱状電極(ポスト)16p、16qが設けられ、該柱状電極16p、16qの上面が露出するように、半導体基板11pの一面側全体が、ポリイミドあるいはエポキシ等からなる封止樹脂17によって封止されている。ここで、封止樹脂17から露出した各柱状電極16p、16qの上面には、図示を省略した配線基板に形成された配線層と電氣的に接続するためのハンダボール(ハンダバンプ)18p、18qが形成されている。

【0005】

なお、上記半導体装置において、個別の半導体基板(半導体チップ)に切り出す前のウエハ状態で、予め設定された各チップ領域の各々に対して、上述した各電極層や絶縁膜等を共通の製造プロセスで同時に一括して形成し、個々の半導体基板(半導体チップ)にダイシングして得られるチップサイズパッケージ(CSP)を、特にウエハレベルCSP(WCSP)とも呼んでいる。

【0006】

ここで、図12(b)に示すように、半導体基板11pの一面側に形成された集積回路に接続された複数の接続パッド12p、12qは、半導体基板11に設けられた回路形成領域(集積回路形成領域)CApの外周領域に配置され、半導体装置を配線基板に接続するためのハンダボール18p、18qが形成された柱状電極16p、16qは、半導体基板11p(回路形成領域CAp上)の内部領域にアレイ状に配置(2次元配列)されており、配線層15p、15qは、これらの接続パッド12p、12qと柱状電極16p、16qとを接続するように形成されている。

【0007】

このような構成により、半導体装置の端子数(集積回路の接続パッド数)の増加に伴って、該端子間ピッチが狭くなり、該端子を介して半導体装置と配線基板とを直接接続することが加工精度上困難になった場合においても、柱状電極をアレイ状に再配置することにより端子間ピッチを拡大して、配線基板との接続を容易かつ良好にすることができる。

なお、上述したようなチップサイズパッケージ型の封止構造を適用した半導体装置の具体例については、例えば、特許文献1等に詳しく記載されている。

【0008】

【特許文献1】特許3287310号公報(第2頁、図8)

【発明の開示】

【発明が解決しようとする課題】

【0009】

ところで、近年の携帯型電子機器においては、ブルートゥース(Bluetooth)モジュールやGPS(Global Positioning System: 全地球測位システム)モジュール、無線LAN(Local Area Network: 構内通信網)モジュール等の高周波を用いる通信インターフェースを組み込んだ(内蔵した)ものもあり、このようなインターフェースを実現するためには、PLL(Phase Locked Loop; フェーズ・ロック・ループ)回路やVCO(電圧制御オシレータ)回路、フィルタ回路等の高周波回路特有の機能要素(RF機能回路)が必須になる。

10

20

30

40

50

ここで、このような通信インターフェースを、上述したようなチップサイズパッケージ型の半導体装置により実現する場合、上記PLL回路やVCO回路、フィルタ回路などのRF機能回路の基本素子である容量素子(キャパシタ)や誘導素子(インダクタ)等の各種受動素子を、半導体基板に形成される集積回路と一体的に形成する必要がある。

【0010】

しかしながら、半導体基板に設けられる回路形成領域に容量素子や誘導素子等を一体的に形成する場合、一般にその素子特性が半導体基板上での平面的あるいは直線的な広がり依存するため、必然的にチップ面積の増大を招き、これにより、1枚のウエハから個片化される半導体装置(半導体チップ)の個数が減少するうえ、製造歩留りも悪化するという問題を有している。そのため、現状においては、RF機能回路を構成する各種受動素子を、ディスクリート部品として半導体基板とは別個に外付けする形態が一般的に採用されており、上述したようなインターフェースを搭載した半導体装置を更に小型化することは困難であった。

10

【0011】

そこで、本発明は、上述した課題に鑑み、チップサイズパッケージ型の封止構造を適用した半導体装置において、基板面積やパッケージサイズの大規模化を招くことなく、高周波回路等に適用される各種受動素子を搭載することができる半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

請求項1記載の発明は、回路形成領域及び複数の接続パッドが形成された半導体基板と、前記回路形成領域上を被覆するとともに、前記複数の接続パッドの上面が露出する開口部を有するように形成された絶縁膜と、前記複数の接続パッドに電氣的に接続される複数の柱状電極と、を備える半導体装置において、少なくとも、前記絶縁膜上に相互に離間して形成され、少なくとも一方が前記接続パッド上に積層された第1の導体層及び第2の導体層と、前記第1の導体層に積層され、前記絶縁膜上の所定の領域に延在するように形成された第1の薄膜電極層と、前記第2の導体層に積層され、前記所定の領域に延在するように形成された第2の薄膜電極層と、少なくとも前記第1の薄膜電極層及び前記第2の薄膜電極層間に介在するように形成された誘電体層と、により構成される容量素子を備えていることを特徴とする。

20

30

【0013】

請求項2記載の発明は、請求項1記載の半導体装置において、前記第1の導体層及び前記第2の導体層のうち、少なくともいずれか一方は、前記絶縁膜に形成された前記開口部を介して、前記接続パッドに直接接続されていることを特徴とする。

請求項3記載の発明は、請求項1記載の半導体装置において、前記第1の薄膜電極層及び前記第2の薄膜電極層のうち、少なくともいずれか一方は、前記絶縁膜に形成された前記開口部を介して、前記接続パッドに直接接続されていることを特徴とする。

【0014】

請求項4記載の発明は、請求項1乃至3のいずれかに記載の半導体装置において、前記第1の導体層及び前記第2の導体層のうち、少なくともいずれか一方は、前記柱状電極と電氣的に接続されていることを特徴とする。

40

請求項5記載の発明は、請求項1乃至4のいずれかに記載の半導体装置において、少なくとも、前記第1の導体層及び前記第2の導体層は、同一の成膜条件により形成される導電層であることを特徴とする。

請求項6記載の発明は、請求項1乃至5のいずれかに記載の半導体装置において、前記半導体装置は、前記容量素子を複数備え、該複数の容量素子が相互に並列的、又は、直列的に接続されていることを特徴とする。

【0015】

請求項7記載の発明は、請求項1乃至6のいずれかに記載の半導体装置において、前記半導体装置は、前記絶縁膜上の所定の領域に、前記容量素子と、所定の配線形状を有する

50

第3の導体層からなる誘導素子と、により構成される高周波機能回路を備えていることを特徴とする。

請求項8記載の発明は、請求項7記載の半導体装置において、前記高周波機能回路は、前記容量素子と前記誘導素子を直列に接続したフィルタ回路であることを特徴とする。

【0016】

請求項9記載の発明は、請求項7又は8記載の半導体装置において、前記誘導素子は、前記第3の導体層をスパイラル状に配設した配線形状を有し、該スパイラル形状を規定するパラメータに応じて、インダクタンス特性が設定されることを特徴とする。

請求項10記載の発明は、請求項7又は8記載の半導体装置において、前記誘導素子は、前記第3の導体層を直線状に配設した配線形状を有し、該直線形状を規定するパラメータに応じて、インダクタンス特性が設定されることを特徴とする。

10

請求項11記載の発明は、請求項7乃至10のいずれかに記載の半導体装置において、前記第3の導体層は、前記第1の導体層及び前記第2の導体層と同一の成膜条件で形成される導電層であることを特徴とする。

【0017】

請求項12記載の発明は、回路形成領域及び複数の接続パッドが形成された半導体基板と、前記回路形成領域上を被覆するとともに、前記複数の接続パッドの上面が露出する開口部を有するように形成された絶縁膜と、前記複数の接続パッドに電氣的に接続される複数の柱状電極と、を備える半導体装置の製造方法において、前記半導体基板の前記回路形成領域上に形成された前記絶縁膜上に、相互に離間し、各々所定の形状を有する第1の導体層及び第2の導体層を、同一の成膜条件で形成する工程と、前記第1の導体層上から前記絶縁膜上の所定の領域に延在する第1の薄膜電極層を形成する工程と、少なくとも前記第1の薄膜電極層上に誘電体層を形成する工程と、前記第2の導体層上から前記誘電体層上に延在する第2の薄膜電極層を形成する工程と、を含むことにより、前記絶縁膜上に容量素子を形成することを特徴とする。

20

請求項13記載の発明は、請求項12記載の半導体装置の製造方法において、前記第1の導体層及び前記第2の導体層のうち、少なくともいずれか一方は、前記絶縁膜に形成された前記開口部を介して、前記接続パッドに直接接続されていることを特徴とする。

【0018】

請求項14記載の発明は、回路形成領域及び複数の接続パッドが形成された半導体基板と、前記回路形成領域上を被覆するとともに、前記複数の接続パッドの上面が露出する開口部を有するように形成された絶縁膜と、前記複数の接続パッドに電氣的に接続される複数の柱状電極と、を備える半導体装置の製造方法において、前記半導体基板の前記回路形成領域上に形成された前記絶縁膜上に延在する第1の薄膜電極層を形成する工程と、少なくとも前記第1の薄膜電極層上に誘電体層を形成する工程と、少なくとも前記誘電体層上に延在する第2の薄膜電極層を形成する工程と、同一の成膜条件で、前記第1の薄膜電極層上の所定の領域に第1の導体層を、前記第2の薄膜電極層上の所定の領域に第2の導体層を、相互に離間するように形成する工程と、を含むことにより、前記絶縁膜上に容量素子を形成することを特徴とする。

30

請求項15記載の発明は、請求項14記載の半導体装置の製造方法において、前記第1の薄膜電極層及び前記第2の薄膜電極層のうち、少なくともいずれか一方は、前記絶縁膜に形成された前記開口部を介して、前記接続パッドに直接接続されていることを特徴とする。

40

【0019】

請求項16記載の発明は、請求項12乃至15のいずれかに記載の半導体装置の製造方法において、前記第1の導体層及び前記第2の導体層のうち、少なくともいずれか一方に電氣的に接続するように、前記柱状電極を形成する工程を、さらに含むことを特徴とする。

。

請求項17記載の発明は、請求項12乃至16のいずれかに記載の半導体装置の製造方法において、前記第1の導体層及び前記第2の導体層を形成する工程は、前記同一の成膜

50

条件で、前記第1の導体層及び前記第2の導体層のうち、少なくともいずれか一方に電氣的に接続するように、前記絶縁膜上に所定の配線形状を有する第3の導体層を形成し、前記容量素子と、前記第3の導体層からなる誘導素子と、により、前記絶縁膜上に高周波機能回路を形成することを特徴とする。

【発明の効果】

【0020】

すなわち、本発明に係る半導体装置及びその製造方法は、チップサイズパッケージ型の封止構造を有する半導体装置において、所望の集積回路が形成された半導体基板の回路形成領域上に、絶縁膜を介して下部電極層となる薄膜電極層（第1の薄膜電極層）、誘電体層及び上部電極層となる薄膜電極層（第2の薄膜電極層）を積層形成し、該一对の薄膜電極層の対向面積（対向部の幅及び長さ）や誘電体層の比誘電率、膜厚を制御することにより所望の容量値を有する容量素子を形成した構成を有している。

10

【0021】

ここで、上記容量素子を構成する下部電極層及び上部電極層の他端側（対向部とは逆側の端部）には、同一の製造工程において同一の成膜条件で形成され、相互に離間した配線層（第1の導体層、第2の導体層）が個別に接続され、上記容量素子は、これらの配線層により、例えば、絶縁膜に設けられた開口部を介して、接続パッドに接続される構成、あるいは、柱状電極を介して、半導体装置外部の配線基板に接続される構成が実現される。また、別の構成として、容量素子を構成する下部電極層及び上部電極層が絶縁膜に設けられた開口部を介して、接続パッドに直接接続された構成を実現することもできる。

20

【0022】

これにより、半導体基板の回路形成領域上であって、配線層間の所定の領域（容量形成領域）に、薄膜電極を対向させて積層形成した容量素子を形成することができるので、チップサイズパッケージ構造を有する半導体装置の回路形成領域上方の空間に、高周波回路等に適用可能な容量素子（受動素子）を内蔵することができる。したがって、高周波回路を実現するための受動素子を半導体装置の外部に接続する（外付けする）必要がないうえ、パッケージサイズを大型化することなく、所望の高周波回路を備えた半導体装置を実現することができる。

【0023】

また、容量素子を形成する薄膜電極を配線層等の他の導電層とは、別個の工程により別個の構成として形成することができるので、容量素子を薄膜電極層を適用した積層構造として、薄型化することができるとともに、容量値を規定するパラメータ（薄膜電極層の対向面積や誘電体層の比誘電率、膜厚等）を適切に制御して、所望の特性を有する容量素子を形成することができる。

30

【0024】

ここで、下部電極層及び上部電極層が接続パッドに直接接続された構成を有する容量素子においては、表面平坦性が高い半導体基板上に絶縁膜を介して、上記下部電極層、誘電体層及び上部電極層を形成することができるので、柱状電極が接続される配線層（導体層）を厚く形成した場合であっても、成膜時の段差に起因する断線や電気特性の劣化を抑制することができる。

40

【0025】

さらに、半導体基板の回路形成領域上に絶縁膜を介して、上記容量素子に加え、所定の配線形状を有する配線層（第3の導体層）からなる誘導素子を形成し、所定の回路構成を有するように接続することにより、極めて電氣的特性（高周波特性）が良好な高周波機能回路（フィルタ回路等）を構成することができる。したがって、本発明に係る半導体装置を携帯型電子機器に搭載することにより、ブルートゥースやGPS、無線LAN等の通信インターフェースに適用可能な高周波機能回路を、極めて小型の半導体装置により実現することができ、携帯型電子機器の高機能化、小型軽量化に貢献することができる。

【発明を実施するための最良の形態】

【0026】

50

以下に、本発明に係る半導体装置及びその製造方法の実施の形態について、詳しく説明する。

(半導体装置)

まず、本発明に係る半導体装置について、図面を参照しながら簡単に説明する。

図1は、本発明に係る半導体装置の一実施形態(一構成例)を示す概略断面図及び接続形態を示す概念図であり、図2は、本実施形態に係る半導体装置に適用される容量素子の構成を示す斜視図である。ここで、従来技術に示した半導体装置と同等の構成(図1 2参照)については、同等の符号を付して説明を簡略化する。

【0027】

図1(a)に示すように、本実施形態に係る半導体装置10は、概略、半導体基板(半導体チップ)11に形成された集積回路と図示を省略した配線基板とを電気的に接続するための再配線層及び柱状電極を備えた電極構造部ELと、上記集積回路の一部として設けられるRF機能回路(高周波機能回路)を構成する受動素子(容量素子; キャパシタ)を備えた素子構造部RAと、を有している。

【0028】

電極構造部ELは、上述した従来技術と同様に、半導体基板11の一面側(回路面側、図面上方側)に形成された集積回路に電気的に接続された接続パッド12aと、接続パッド12aの中央部が露出するように開口部が設けられ、順次積層されたパッシベーション膜13及び表面保護膜14と、該開口部を介して、一端側が上記接続パッド12aに電気的に接続されるとともに、該表面保護膜14上に所定の配線形状を有して延在するように形成された配線層(以下、「再配線層」と記す)15aと、該再配線層15aの他端側の所定箇所に電気的に接続された柱状電極(ポスト)19と、該柱状電極19の上面が露出するように、半導体基板11の一面(回路面)側全体を封止する封止膜20と、封止膜20から露出した柱状電極19の上面に形成され、配線基板(図示を省略)に形成された配線層と電気的に接続するためのハンダボール(ハンダバンプ)21と、を有している。

【0029】

ここで、電極構造部ELを構成するパッシベーション膜13は、例えば、酸化シリコンや窒化シリコン等の絶縁膜を適用することができ、表面保護膜14は、例えば、ポリイミド系樹脂材を適用することができ、封止膜20は、例えば、ポリイミドあるいはエポキシ等の樹脂材料を適用することができる。また、再配線層15aは、例えば、銅(Cu)等の金属層を適用することができ、柱状電極19は、例えば、銅、ハンダ、金あるいはニッケル等の金属層を適用することができる。

【0030】

また、素子構造部RAは、上述した電極構造部ELと同様に、半導体基板11の一面側(回路面側)に形成された集積回路の所定の位置に、該集積回路に電気的に接続された複数の接続パッド12b、12cと、上記電極構造ELに示した絶縁膜と同一であって、各接続パッド12b、12cの中央部が露出するように開口部が設けられ、順次積層されたパッシベーション膜13及び表面保護膜14からなる絶縁膜と、該開口部を介して、各接続パッド12b、12cに電気的に接続された配線層(第1の導体層、第2の導体層)15b、15cと、該一対の配線層15b、15cのうち、一方の配線層15bに電気的に接続され、所定の平面形状を有するように形成された下部電極層(第1の薄膜電極層)16と、少なくとも下部電極層16の所定の領域を覆うように形成された誘電体層17と、上記一対の配線層15b、15cのうち、他方の配線層15cに電気的に接続され、上記誘電体層17を介して下部電極層16に対向するように、所定の平面形状を有して形成された上部電極層(第2の薄膜電極層)18と、を有している。

【0031】

ここで、配線層15b、15c、下部電極層16、誘電体層17及び上部電極層18を含む、半導体基板11の一面側全体が、上記電極構造ELに示した封止膜20により封止されている。

また、素子構造部RAを構成する配線層15b、15cは、上述した再配線層と同様に

10

20

30

40

50



、銅（Cu）等の金属層を適用することができ、下部電極層16及び上部電極層18は、例えば、アルミニウム（Al）あるいは銅等の金属層を適用することができ、誘電体層17は、例えば、酸化シリコンや窒化シリコン等の高誘電体膜（絶縁膜）を適用することができる。

#### 【0032】

すなわち、図1(a)に示した半導体装置10の素子構造部RAにおいては、集積回路が形成される半導体基板11の所定の位置に、少なくとも一対の接続パッド12b、12c及び配線層15b、15cを設け、該配線層15b、15cに電氣的に接続するように設けられた個別の電極層（下部電極層16、上部電極層18）を、誘電体層17を介して相互に対向するように形成することにより、集積回路（回路形成領域）上に絶縁膜（パッシベーション膜13、表面保護膜14）を介して、容量素子（受動素子；MIMキャパシタ）を形成することができる。

10

#### 【0033】

これにより、本実施形態に係る半導体装置においては、図1(b)に示す模式的な等価回路のように、電極構造部ELでは、集積回路が形成された半導体基板11上に設けられた接続パッド12a、再配線層15a、柱状電極19及びハンダボール21を介して、集積回路の接点が半導体装置10の外部に引き出され、また、素子構造部RAでは、集積回路の所定の位置に設けられた接続パッド12b及び12c（配線層15b及び15c）に、下部電極層16、誘電体層17及び上部電極層18からなる容量素子の両端子が、半導体装置10の内部で接続された（半導体装置10の外部に引き出さない）回路構成が得られる。

20

#### 【0034】

ここで、周知のように、素子構造部RAに形成される容量素子は、図2に示すように、上部電極層18と下部電極層16の対向面積（すなわち、対向する部分の幅W×長さL）、並びに、誘電体層17を形成する誘電体の比誘電率及び厚さdに応じて、次式(11)に基づいて、その容量値Cが規定される。

$$C = \epsilon_0 \times \epsilon_r \times W \times L / d \quad \dots (11)$$

ここで、 $\epsilon_0$ は真空中の誘電率、 $\epsilon_r$ は誘電体層17の比誘電率である。

#### 【0035】

したがって、例えば、集積回路が形成された回路形成領域上の所定の領域（容量素子が形成される領域）を挟んで、接続パッド12b及び12c（配線層15b及び15c）を対向するように配置し、該接続パッド12b及び12cに接続され、該領域に形成する上部電極層18及び下部電極層16の平面形状（詳しくは、対向する部分の幅W×長さL）を適宜設定することにより、所望の容量値を有する容量素子が形成される。なお、図1においては、一つの容量素子を設けた場合について示したが、同様の構成を複数設けるものであってもよい。

30

#### 【0036】

なお、図1(a)において、再配線層15a及び配線層15b、15cと、接続パッド12a～12c及び表面保護膜14との間には、再配線層15a及び配線層15b、15cに適用される金属層（銅）による半導体基板へのストレスを軽減し、また、該金属層と表面保護層14との接着性を向上させるとともに、接続パッド12a～12cとの電気抵抗の低減、接続パッドの腐食による特性劣化を防止する目的で、下地金属層UBMが設けられている。

40

#### 【0037】

（半導体装置の製造方法）

次に、上述した半導体装置の製造方法について、図面を参照しながら詳しく説明する。

図3、図4は、本発明に係る半導体装置の製造工程の一例を示す工程断面図である。ここでは、本実施形態に係る半導体装置を、上述したウエハレベルチップサイズパッケージに適用した場合の製造方法について説明する。

#### 【0038】

50

本実施形態に係る半導体装置の製造方法は、まず、図3(a)に示すように、上述した半導体基板11(半導体装置10)を個片化する前のウエハ(シリコンウエハ)11xにおいて、該ウエハ11xの一面側(回路面側;図面上方側)であって、各半導体基板11を規定するチップ領域ごとに形成された集積回路の形成領域(回路形成領域)の外周領域(図12(b)参照)に、該集積回路に電氣的に接続された、アルミニウム等の導電材料からなる複数の接続パッド12a、12b、12cを形成する。なお、図示の都合上、接続パッドを3個のみ示すが、少なくとも接続パッド12aは、図12(b)に示したように、回路形成領域の外周領域に複数個配列されているものとする。また、接続パッド12b、12cは、例えば、2個を一組として、後述する容量素子の個数に応じた組数を有するように形成されているものとする。

10

**【0039】**

次いで、該接続パッド12a、12b、12cを含むウエハ11xの一面側を被覆するように酸化シリコンあるいは窒化シリコン等からなる絶縁膜を形成した後、各接続パッド12a、12b、12cの上面側中央部が露出するように、開口部を形成してパッシベーション膜13を形成する。次いで、該開口部を介して上面が露出した接続パッド12a、12b、12cを含むパッシベーション膜13上に、ポリイミド系樹脂材等からなる絶縁膜を形成した後、上記各接続パッド12a、12b、12cの中央部(すなわち、上記パッシベーション膜13の開口部)が露出するように、開口部を形成して表面保護膜14を形成する。

**【0040】**

20

ここで、上記開口部を有する表面保護膜14は、例えば、ウエハ11xの一面側全面にポリイミド系樹脂材を塗布硬化させた後に、エッチング液を用いてレジストパターンニング及び絶縁膜パターンニングを施してからレジスト剥離することにより形成される。なお、表面保護膜14は、ポリイミド系樹脂材を塗布してスピコートする手法の他、スキージを用いる印刷法やノズルからのインク吐出による塗布法を用いることができ、また、保護膜(絶縁膜)材料としてもポリイミド系樹脂材に限らず、エポキシ系樹脂材やPBO(ベンザオキシドール系)等を適用することができる。

**【0041】**

次いで、図3(b)に示すように、表面保護膜14及びパッシベーション膜13に形成された上記開口部を介して、各接続パッド12a、12b、12cに接続するように、同一の成膜条件で再配線層15a及び配線層15b、15cを形成する。具体的には、上記表面保護膜14に設けられた開口部を介して各接続パッド12a、12b、12cに接続するように、表面保護膜14上に下地金属層UBMを形成した後、フォトレジストを塗布硬化させ、フォトリソグラフィ技術により再配線層15a及び配線層15b、15cの平面形状に対応した所定形状の開口部を形成するようにパターンニングし、この開口部に電解メッキを施して銅等からなる金属導電層を形成した後、フォトレジスト及びその下層の、上記金属導電層が形成されていない下地金属層UBMを除去することにより、下面に下地金属層UBMが形成され、一端側が該下地金属層UBMを介して各接続パッド12a、12b、12cに電氣的に接続された再配線層15a及び配線層15b、15cが形成される。ここで、再配線層15a及び配線層15b、15cは、例えば、5~6μmの膜厚に

30

40

**【0042】**

ここで、下地金属層UBMは、例えば、スパッタにより形成された銅による薄膜であってもよく、また、スパッタにより形成されたチタンなどの薄膜上に、スパッタにより銅あるいはアルミニウムによる薄膜を積層形成したものであってもよい。

なお、上記再配線層15a及び配線層15b、15cとなる金属導電層を形成する手法としては、電解メッキ法その他、無電解メッキ法を適用することもできる。また、再配線層15a及び配線層15b、15cを構成する配線材料としては、上記銅以外に、良好な導電特性を備えるアルミニウムや金、あるいは、これらの合金を適用することができる。

**【0043】**

50

次いで、図3(c)に示すように、上記配線層15b及び15c間の所定の領域(容量形成領域)に、容量素子を形成する。具体的には、まず、上記再配線層15a及び配線層15b、15cを含むウエハ11xの一面側全面にスパッタ処理等によりアルミニウム等の金属導電層を堆積した後、フォトレジストを塗布硬化させ、フォトリソグラフィ技術により、少なくとも配線層15b上から容量形成領域に至る所定の平面形状にパターニングすることにより下部電極層16が形成される。ここで、下部電極層16は、例えば、0.1 $\mu$ mの膜厚に形成される。

【0044】

なお、下部電極層16となる金属導電層を形成する手法としては、スパッタ法以外に無電解メッキ法や蒸着法を適用することもできる。また、下部電極層16を構成する導体材料としては、下部電極層16上に形成される、後述する樹脂封止材料(例えば、ポリイミド等)との密着性が良好であって、上記各種金属導電層形成方法(スパッタ法や電解メッキ法等)が適用可能な導体材料であれば、例えば、上記アルミニウム以外に、銅やその合金を適用することができる。

10

【0045】

次いで、上記下部電極層16のうち、容量形成領域を含む所定の領域に誘電体層17を形成する。具体的には、例えば、上記下部電極層16を含む容量形成領域を露出するように、フォトレジストをパターン形成した後、酸化シリコンや窒化シリコン等の高誘電体材料をスパッタ法で堆積させ、該フォトレジストを除去することにより、誘電体層17が形成される。ここで、誘電体層17は、例えば、0.3 $\mu$ mの膜厚に形成される。

20

【0046】

次いで、上記ウエハ11xの一面側全面にスパッタ処理等によりアルミニウム等の金属導電層を堆積した後、フォトレジストを塗布硬化させ、フォトリソグラフィ技術により、少なくとも配線層15c上から上記誘電体層17が形成された容量形成領域に至る所定の平面形状にパターニングすることにより上部電極層18が形成される。ここで、上部電極層18は、例えば、0.1 $\mu$ mの膜厚に形成される。なお、上部電極層18は、上述した下部電極層16と同等の導体材料及び製造方法を良好に適用することができる。

【0047】

なお、図示を省略したが、少なくとも配線層15b及び15cの表面には、薄い絶縁膜が形成されており、上記下部電極層16及び上部電極層18となる金属導電層をスパッタ形成する前に、配線層15b及び15cの上面が露出するように該絶縁膜に開口部を形成することにより、該開口部を介して下部電極層16又は上部電極層18が配線層15b又は15cに電氣的に接続するように構成されている。

30

【0048】

これにより、図2に示したように、所定の容量形成領域において、配線層15bに電氣的に接続された下部電極層16と、配線層15cに電氣的に接続された上部電極層18とが、高誘電体材料からなる誘電体層17を介して対向し、該対向部の面積(すなわち、対向する部分の幅W $\times$ 長さL)に基づいて、上記(11)式により規定される容量値を有する容量素子(MIMキャパシタ)が形成される。

【0049】

40

次いで、図4(a)に示すように、上記容量素子の各電極層16、18に接続された配線層15b及び15cを除く、再配線層15aの他端側の所定領域上に、柱状電極19を形成する。具体的には、上記再配線層15aを含むウエハ11xの一面側全面に、例えば、100~150 $\mu$ m程度の厚さでフォトレジストを塗布硬化させ、フォトリソグラフィ技術により柱状電極19を形成する領域に所定形状の開口部を形成するようにパターニングし、この開口部に電解メッキを施して銅等からなる金属導電層を形成した後、フォトレジストを除去することにより、再配線層15aに電氣的に接続された柱状電極19が形成される。ここで、柱状電極19は、フォトレジストの膜厚に応じて設定される。

【0050】

なお、柱状電極19を形成する手法としては、電解メッキ法以外に無電解メッキ法やス

50

タッドバンプ法を用いることもできる。また、柱状電極 19 を構成する電極材料としては、上述した再配線層 15 a と良好に密着して良好な導電特性を備える銅、ハンダ、金あるいはニッケル等を適用することができる。ここで、ハンダを用いて柱状電極 19 を形成する場合には、上記の他に印刷法を用いることもできる。

#### 【0051】

次いで、図 4 ( b ) に示すように、柱状電極 19 を覆うように、ウエハ 11 x の回路面全体をポリイミドあるいはエポキシ等の樹脂材料を用いて、例えばモールド法により封止膜 20 を形成する。ここで、封止膜 20 は、環境変化に対応する信頼性を確保する上で、上述した表面保護膜等と主成分が実質的に同一な樹脂材料を適用することが好ましい。なお、封止膜 20 を形成する手法としては、上記モールド法の他に、印刷法、浸漬法、スピ

10

#### 【0052】

次いで、図 4 ( c ) に示すように、樹脂封止膜の形成後に、封止膜 20 の上端面を切削研磨して柱状電極 19 の端面を露出させ、その表面の酸化膜を取り除き、ハンダ印刷等のメタライズ処理を施してハンダボール 21 を形成し、この後、予め定められたカットライン C L に沿ってダイシングを施してウエハ 11 x をチップ領域ごとに個片化することにより、図 1 ( a ) に示したような断面構造を有する個別の半導体装置 10 が形成される。

#### 【0053】

このような構成を有する半導体装置及びその製造方法においては、半導体基板（回路形成領域）の外周領域に配置される接続パッドと、内部領域にアレイ状に配置される柱状電極（ハンダボール）と、を電氣的に接続する再配線層と同一の製造工程において形成される配線層を用いて、半導体基板の回路形成領域上であって、配線層間の所定の領域（容量形成領域）に、薄膜電極を対向させて積層形成した容量素子を形成することができるので、チップサイズパッケージ構造を有する半導体装置の回路形成領域上方の空間に、高周波回路特有の R F 機能回路を構成する容量素子（受動素子）を内蔵することができる。したがって、高周波回路を実現するための受動素子を半導体装置の外部に接続する必要がなく、極めて小型のパッケージサイズで所望の高周波回路を備えた半導体装置を実現することができる。

20

#### 【0054】

また、本実施形態に係る半導体装置及びその製造方法によれば、再配線層や配線層、柱状電極とは別個の製造工程で、容量素子が形成されるので、該容量素子を構成する電極層相互の対向面積（対向部の幅、長さ）や、誘電体層の膜厚や比誘電率を任意に設定して、所望の平面形状及び容量値を有する容量素子を形成することができるので、受動素子の電氣的特性を任意かつ適切に設定することができる。

30

#### 【0055】

次に、本実施形態に係る半導体装置により実現される高周波回路の電氣的特性（高周波特性）について、シミュレーション結果を示して具体的に説明する。

まず、本実施形態に係る半導体装置の高周波特性を検証するために適用した R F 機能回路（L - C - L フィルタ回路）の回路構成について説明する。

図 5 は、本実施形態に係る半導体装置の高周波特性を検証するために適用した R F 機能回路（L - C - L フィルタ回路）を示す回路パターン図及び等価回路図であり、図 6 は、図 5 に示した回路パターン及び等価回路を有する R F 機能回路（L - C - L フィルタ回路）の一例を示す概略断面図である。また、図 7 は、図 5 に示した回路パターン及び等価回路を有する R F 機能回路（L - C - L フィルタ回路）における高周波特性（反射特性）のシミュレーション結果を示す特性図である。

40

#### 【0056】

本実施形態に係る半導体装置の高周波特性を検証するために、シミュレーションに適用した R F 機能回路（高周波機能回路）は、図 5 ( a ) の回路パターン及び図 6 の概略断面に示すように、半導体基板 51（上述した半導体基板 11 に相当する）上に設定された所定の領域に、上述した半導体装置（図 1）と同等の構成を有する容量素子（M I M キャパ

50

シタ) 30と、2組の誘導素子(インダクタ;詳しくは後述する)40R、40Lと、を備え、容量素子30の対向電極を構成する下部電極層31及び上部電極層32(上述した下部電極層16及び上部電極層18に相当する)に個別に接続された両端電極34、35(上述した配線層15b、15cに相当する)が、各々、誘導素子40R、40Lを構成する配線層41R、41L及び引き出し配線42R、42Lを介して、半導体基板51の外周領域に配置された個別の接続パッド52a、52bに接続された構成を有している。

【0057】

具体的には、図6の概略断面にも示すように、容量素子30は、半導体基板51の一面側に形成された絶縁層53上に、高誘電体材料からなる誘電体層33を介して、互いに対向するように積層形成された、アルミニウム等からなる下部電極層31及び上部電極層32と、該下部電極層31及び上部電極層32の各々に、電氣的に接続するように形成された、銅等からなる両端電極34、35と、を備えて構成されている。

【0058】

また、誘導素子40R、40Lは、各々、上記容量素子30の両端電極34、35と一体的に形成され、所定のスパイラル形状(各渦巻き形状)を有する配線層41R、41Lと、絶縁層53に形成された個別の開口部を介して、上記配線層41R、41Lの各終端部に一端側が接続されるとともに、他端側が個別の接続パッド52a、52bに接続された、銅又はアルミニウム等からなる引き出し配線42R、42Lと、を備えて構成されている。

【0059】

このような構成を有するRF機能回路の製造方法は、概略、半導体基板51の一面側の外周領域に、集積回路(図示を省略)に接続された一対の接続パッド52a、52b、及び、各々、該接続パッド52a、52bに一端側が電氣的に接続され(すなわち、接続パッド52a、52bと一体的に形成され)、所定の配線パターンを有する引き出し配線42R、42Lを形成した後、該接続パッド52a、52b上面の中央部及び引き出し配線42R、42Lの他端側の所定の領域が露出する開口部を有する絶縁膜(パッシベーション膜及び表面保護膜)53を形成する。

【0060】

次いで、上述した実施形態に示した製造工程と同様に、絶縁膜53に設けられた開口部を介して引き出し配線42R、42Lあるいは接続パッド52a、52bに接続され、所定の平面形状を有する配線層41R、41L及び両端電極34、35、並びに、再配線層54a、54bを形成する。ここで、配線層41Rと両端電極34、配線層41L及び両端電極35は、同一工程において同一の成膜条件により一体的に形成されるとともに、配線層41R、41Lは、各々、所定のスパイラル形状を有するようにパターンニング形成される。このようなスパイラル形状を有する配線層41R、41Lにより、所定のインダクタンスを有する誘導素子40R、誘導素子40Lが構成される。

【0061】

次いで、上述した実施形態に示した製造工程と同様に、両端電極34、35間の所定の領域に、一端側が両端電極34に電氣的に接続され、他端側が所定の平面形状を有して形成された下部電極層31、及び、該下部電極層31の所定の領域上に形成された誘電体層33、一端側が両端電極35に電氣的に接続され、他端側が所定の平面形状を有して上記誘電体層33上に形成された上部電極層32と、を順次積層して容量素子30を形成する。

そして、上記容量素子30及び誘導素子40R、40Lを含む半導体基板51の一面側全体に所定の膜厚の封止膜54を形成することにより、図6に示した概略断面を有し、図5(b)に示す等価回路と同等のL-C-Lフィルタ回路が得られる。

【0062】

このようなRF機能回路において、高周波特性を検証するためのシミュレーション条件として、容量素子30を構成する下部電極層31及び上部電極層32の対向面積( $W \times L$ )を対向部の幅 $W = 500 \mu\text{m}$ 、長さ $L = 500 \mu\text{m}$ として規定し、誘電体層33の比誘

10

20

30

40

50

電率  $\epsilon_r = 3.3$ 、膜厚  $d = 0.3 \mu\text{m}$  として、上記 (11) 式に基づいて容量素子 30 の容量値を  $C_s = 24.3 \text{ pF}$  と設定する。

【0063】

また、スパイラル形状を有する誘導素子 40R、40L のインダクタンス  $L_{r1}$  については、H.E.Brayan等により次式 (12) に示すような実験式が発表されている。

$$L_{r1} = 85 \times 10^{-10} \times A^{1/2} \times n^{1/2} \dots (12)$$

ここで、 $A$  はコイルの表面積 ( $\text{cm}^2$ )、 $n$  はコイルの巻数であり、コイルの平面形状を略正方形として外形の一辺の長さを  $D_0 = A^{1/2}$ 、内径部分の一辺の長さを  $D = 0$  とした場合のインダクタンス  $L_{r1}$  は、表面積  $A$  と巻数  $n$  により求められる。ここでは、誘導素子 40R、40L のインダクタンス  $L_{r1}$  を、例えば、各々  $0.2 \text{ nH/mm}$  に設定する。

さらに、誘導素子 40R、40L を構成する配線層 41R、41L 及び引き出し配線 42R、42L の配線容量  $R_{r1}$  を、配線材料として銅を適用したものと、銅の抵抗率  $= 1.8 \times 10^{-8} \cdot \text{m}$  に基づいて、例えば、 $0.7$  に設定する。

【0064】

このような条件に設定された RF 機能回路の反射特性 (高周波特性) について、シミュレーションを実施したところ、誘導素子 (インダクタ) の Q 値が高くなり、図 7 中、実線で示すように、例えば、 $1.2 \text{ GHz}$  程度の周波数帯域において、反射特性  $|S_{11}|$  が顕著に低下する傾向を示すことが判明した。したがって、本実施形態に係る半導体装置 (RF 機能回路) によれば、フィルタ回路を構成する各受動素子の形状や膜厚、膜質、製造条件等のパラメータを適宜設定することにより、任意の共振周波数において、極めて良好な帯域通過特性を示す高周波フィルタを実現することができ、例えばブルートゥースモジュールや GPS モジュール、無線 LAN モジュール等において用いられる数 GHz 程度の周波数帯域に対しても、良好に適用することができることが判明した。

【0065】

なお、図 7 において、点線で示した特性線は、図 5 (b) に示した等価回路における理論上 (単純な計算上) の反射特性を示す。ここで、図 7 において、実線で示した特性線のシミュレーション解析においては、導体損失や浮遊成分、誘電体損失等の要素を考慮して計算されているのに対して、等価回路ではそれらが考慮されていないので、シミュレーションにより得られた結果の方が、現実に製造したフィルタ回路の高周波特性に良好に近似するものとなる。

【0066】

ここで、図 5 (a) 及び図 6 に示した RF 機能回路 (L-C-L フィルタ回路) における誘導素子の Q 値が改善するのは、誘導素子 40R、40L を構成する配線層 41R、41L が、半導体基板 (シリコン基板) 51 上に形成されたパッシベーション膜及び表面保護膜からなる絶縁層 53 上に形成されることにより、半導体基板からの物理的な距離が大きくなり、半導体基板による損失 (概念的には、シリコン基板はある程度の導電性を持っているため、高周波領域において、電磁界による電流がシリコン基板に流れ、それが電磁界を妨げるように作用して Q 値を悪化 (低下) させる) が低減されるためと考えられる。

【0067】

なお、上述したシミュレーションにおいては、RF 機能回路 (L-C-L フィルタ回路) を構成する誘導素子として、スパイラル形状を有する配線層を適用した場合について説明したが、直線状の配線層であっても高周波領域においてはインダクタンスを持つので、図 5 (c) に示すように、誘導素子 40Rs、40Ls の構成として、容量素子 30 を構成する各両端電極 34、35 と接続パッド 52a、52b とを 1 層の直線状の配線層 41Rs、41Ls により接続する構成を適用するものであってもよい。ここで、配線層 41Rs、41Ls は、図 6 に示した場合と同様に、各々、両端電極 34、35 と同一の工程で一体的に形成した構成を適用することができる。

【0068】

この場合、直線形状を有する誘導素子 40Rs、40Ls のインダクタンス  $L_{r1s}$  については、F.E.Terman による次式 (13) に基づいて求められる。

10

20

30

40

50

$$L_{rls} = 2.0 \times 10^{-1} \times [ \ln ( l_s / W_s + h_s ) + 1.193 + 0.2235 \times ( W_s + h_s / l_s ) ] \dots (13)$$

ここで、 $l_s$ は配線層の長さ、 $W_s$ は配線層の幅、 $h_s$ は配線層の厚みである。

#### 【0069】

このような誘導素子を備えたRF機能回路においては、上述した容量素子の製造プロセスにおいて、両端電極とともに、該両端電極と接続パッドとの間を電氣的に接続するように形成される直線状の配線層の長さ、幅、厚み等のパラメータを適宜設定することにより、上述したシミュレーション結果(図7)と同等の傾向を示す反射特性が得られ、所望の高周波特性を比較的容易に実現することができるものと期待される。また、この場合においては、スパイラル形状の配線層を有する誘導素子の場合に形成した引き出し配線が不要になるうえ、平面形状が単純化されるので、製造プロセスが簡略化されて製造歩留まりを向上させることができるとともに、誘導素子の特性を比較的正確に設定することができる。

10

#### 【0070】

(半導体装置の他の構成例)

次に、本発明に係る半導体装置の他の構成例について、図面を参照して説明する。

図8は、本発明に係る半導体装置の他の構成例を示す概略断面図である。ここで、上述した半導体装置(図1参照)と同等の構成については、同一又は同等の符号を付してその説明を簡略化又は省略する。

20

#### 【0071】

上述した実施形態においては、図1(a)に示したように、半導体基板11上に設けられた接続パッド12a~12cに対して、再配線層15a及び配線層(両端電極)15b、15cを形成した後、該配線層15b、15cの上面から容量形成領域に至る所定の平面形状を有する下部電極層16及び上部電極層18を形成することにより、配線層15b、15cの上面側で電氣的に接続された容量素子を構成した場合について説明したが、本発明はこれに限定されるものではなく、容量素子を形成した後に、配線層を形成して、配線層(両端電極)の下面側で下部電極層及び上部電極層に電氣的に接続するようにした構成を有するものであってもよい。

#### 【0072】

具体的には、図8に示すように、本構成例に係る半導体装置10に適用される素子構造部RBは、半導体基板11の一面(回路面)側に、集積回路に電氣的に接続された複数の接続パッド12a、12b、12cの中央部が露出するように開口部を有して積層形成されたパッシベーション膜13及び表面保護膜14からなる絶縁層と、一对の接続パッド12b、12cのうち、一方の接続パッド12bに上記開口部を介して電氣的に接続され、所定の平面形状を有するように形成された下部電極層(第1の電極層)16と、少なくとも下部電極層16の所定の領域を覆うように形成された誘電体層17と、上記一对の接続パッド12b、12cのうち、他方の接続パッド12cに上記開口部を介して電氣的に接続され、上記誘電体層17を介して下部電極層16に対向するように、所定の平面形状を有して形成された上部電極層(第2の電極層)18と、上記下部電極層16

30

40

の一端側であって、接続パッド12bの上方領域に、下地金属層UBMを介して電氣的に接続された配線層15dと、上部電極層18の一端側であって、接続パッド12cの上方領域に、下地金属層UBMを介して電氣的に接続された配線層15eと、を有している。

なお、電極構造部ELは、上述した実施形態(図1(a))と同等の構成を有しているので、その説明を省略する。また、上記素子構造部RB及び電極構造部ELが形成された半導体基板11の一面(回路面)側全体は、ポリイミド等の樹脂材料からなる封止膜20により封止されている。

#### 【0073】

上述したような構成を有する半導体装置の製造方法について簡単に説明すると、まず、

50

半導体基板 11 (又は、ウエハ)の一面側(回路面側;図面上方側)に、回路形成領域の外周領域に設けられた複数の接続パッド 12 a、12 b、12 cの中央部が露出する開口部を有するパッシベーション膜 13 及び表面保護膜 14 を順次積層形成した後、上記接続パッド 12 b 及び 12 c 間の所定の領域(容量形成領域)に、少なくとも接続パッド 12 b 上から容量形成領域に至る下部電極層 16、少なくとも下部電極層 16 上の容量形成領域に対応する形状を有する誘電体層 17、及び、接続パッド 12 c 上から誘電体層 17 上に至る上部電極層 18 を順次積層形成することにより、上述した実施形態に示した構成と同等の容量素子(MIMキャパシタ)が形成される。

#### 【0074】

次いで、接続パッド 12 a に直接接続するように下地金属層 UBM を介して再配線層 15 a を形成するとともに、接続パッド 12 b、12 c 上の下部電極層 16、上部電極層 18 に下地金属層 UBM を介して配線層 15 d、15 e を形成した後、再配線層 15 a の所定領域上に、柱状電極 19 を形成し、該柱状電極 19 の上端面のみが露出するように、上記容量素子を含む半導体基板 11 の回路面全体を封止膜 20 により封止し、柱状電極 19 の上端面にハンダボール 21 を形成することにより、図 1 (b) に示したような模式的な等価回路を有する半導体装置 10 が形成される。

#### 【0075】

このような構成を有する半導体装置及びその製造方法においても、上述した実施形態と同様に、半導体基板の回路形成領域上であって、接続パッド間の所定の領域(容量形成領域)に、薄膜電極を対向させて積層形成した容量素子を形成することができるので、高周波回路を実現するための受動素子を、チップサイズパッケージ構造を有する半導体装置に内蔵することができ、極めて小型のパッケージサイズで所望の高周波回路を備えた半導体装置を実現することができる。

#### 【0076】

また、本実施形態に係る半導体装置及びその製造方法によれば、再配線層や配線層の形成工程に先立って、比較的平坦性が高い半導体基板上(詳しくは、絶縁膜上)に、容量素子を構成する電極層及び誘電体層を形成することができるので、配線層等を厚く形成した場合であっても、該段差に起因する断線や電気特性の劣化を抑制することができる。また、所望の電気特性を有する容量素子を形成することができるので、半導体装置に内蔵される高周波回路の電気特性を任意かつ適切に設定することができる。

#### 【0077】

(容量素子の接続形態)

次に、本発明に係る半導体装置の他の接続形態について、図面を参照して説明する。

図 9 乃至図 11 は、本発明に係る半導体装置に適用可能な他の接続形態の例を示す概略断面図及び概念図である。ここで、上述した半導体装置(図 1 参照)と同等の構成については、同一又は同等の符号を付してその説明を簡略化又は省略する。

#### 【0078】

上述した実施形態(構成例)においては、図 1 (b) に示したように、半導体装置に内蔵される容量素子の両端子を半導体装置 10 の内部の接続パッドにのみ接続し、半導体装置 10 の外部に引き出さない回路構成(接続形態)を有する場合について説明したが、本発明はこれに限定されるものではなく、図 9 ~ 図 11 に示すように、半導体装置 10 C ~ 10 E に形成された配線層、柱状電極及び接続パッドと、容量素子(両端電極)との接続形態に応じた回路構成を適用することができる。

#### 【0079】

具体的には、図 9 (a)、(b) に示す接続形態においては、半導体基板 11 上の所定の容量形成領域に形成された、下部電極層 16、誘電体層 17 及び上部電極層 18 からなる容量素子(MIMキャパシタ)の一端側が配線層 15 g を介して接続パッド 12 d に接続されるとともに、他端側が配線層 15 f、柱状電極 19 b 及びハンダボール 21 b を介して、半導体装置 10 C の外部に引き出された構成を有している。これにより、接続パッド 12 a に接続される配線層 15 a、柱状電極 19 a 及びハンダボール 21 a からなる電

10

20

30

40

50



極構造部とともに、半導体装置 10C が図示を省略した配線基板と電氣的に接続される。

【0080】

また、図 10 ( a )、( b ) に示す接続形態においては、半導体基板 11 上の所定の容量形成領域に形成された、下部電極層 16、誘電体層 17 及び上部電極層 18 からなる容量素子 ( M I M キャパシタ ) の一端側が再配線層 15 h を介して接続パッド 12 d に接続されるとともに、再配線層 15 h 上に形成された柱状電極 19 c 及びハンダボール 21 c を介して、半導体装置 10 D の外部に引き出され、また、上記容量素子の他端側が配線層 15 f、柱状電極 19 b 及びハンダボール 21 b を介して、半導体装置 10 D の外部に引き出された構成を有している。これにより、接続パッド 12 a、配線層 15 a、柱状電極 19 a 及びハンダボール 21 a からなる電極構造部とともに、半導体装置 10 D が図示を省略した配線基板と電氣的に接続される。

10

【0081】

さらに、図 11 ( a )、( b ) に示す接続形態においては、半導体基板 11 上の所定の容量形成領域に、下部電極層 16 a、誘電体層 17 a 及び上部電極層 18 からなる第 1 の容量素子と、下部電極層 16 b、誘電体層 17 b 及び上部電極層 18 からなる第 2 の容量素子が並列的に形成され、第 1 の容量素子の他端側が配線層 15 j、柱状電極 19 b 及びハンダボール 21 b を介して、半導体装置 10 E の外部に引き出され、また、第 2 の容量素子の他端側が配線層 15 k、柱状電極 19 c 及びハンダボール 21 c を介して、半導体装置 10 E の外部に引き出された構成を有している。ここで、第 1 及び第 2 の容量素子の各一端側は、共通の配線層 15 i を介して接続パッド 12 e に接続されている。これにより、接続パッド 12 a、配線層 15 a、柱状電極 19 a 及びハンダボール 21 a からなる電極構造部とともに、半導体装置 10 E が図示を省略した配線基板と電氣的に接続される。

20

【0082】

なお、図 9 ~ 図 11 に示した回路構成は、本発明に係る半導体装置に適用可能な接続形態の一例を示したものにすぎず、これに限定されるものではない。したがって、上述したような接続形態を有する各回路構成を半導体基板上に単独で形成するものに限らず、各種接続形態を混在又は複合させた回路構成を形成するものであってもよいことはいうまでもない。

【0083】

また、上述した各回路構成においては、容量素子として単層の誘電体層を形成した構成を示したが、容量素子の構成はこれに限定されるものではなく、複数の誘電体層及び複数の上部電極層を交互に積み重ねた複層構造を適用して、複数の容量素子を形成し、該容量素子相互を並列、あるいは、直列に接続した回路構成を実現することができる。また、上述した各回路構成においては、説明の簡略化のために、容量素子として単に下部電極層、誘電体層及び上部電極層を積層形成した構成を適用したが、実際にはその容量素子が他の配線層等の導体層に与える影響 ( すなわち、浮遊容量や寄生容量 ) を抑制するために、例えば、下部又は上部電極層と同一平面の近傍位置に、下部又は上部電極層と同じ材料よりなる、グランド層を設ける態様としてもよい。

30

【図面の簡単な説明】

40

【0084】

【図 1】本発明に係る半導体装置の一実施形態 ( 一構成例 ) を示す概略断面図及び接続形態を示す概念図である。

【図 2】本実施形態に係る半導体装置に適用される容量素子の構成を示す斜視図である。

【図 3】本発明に係る半導体装置の製造工程 ( その 1 ) の一例を示す工程断面図である。

【図 4】本発明に係る半導体装置の製造工程 ( その 2 ) の一例を示す工程断面図である。

【図 5】本実施形態に係る半導体装置の高周波特性を検証するために適用した R F 機能回路 ( L - C - L フィルタ回路 ) を示す回路パターン図及び等価回路図である。

【図 6】図 5 に示した回路パターン及び等価回路を有する R F 機能回路の一例を示す概略断面図である。

50

【図7】図5に示した回路パターン及び等価回路を有するRF機能回路における高周波特性（反射特性）のシミュレーション結果を示す特性図である。

【図8】本発明に係る半導体装置の他の構成例を示す概略断面図である。

【図9】本発明に係る半導体装置に適用可能な他の接続形態（その1）の例を示す概略断面図及び概念図である。

【図10】本発明に係る半導体装置に適用可能な他の接続形態（その2）の例を示す概略断面図及び概念図である。

【図11】本発明に係る半導体装置に適用可能な他の接続形態（その3）の例を示す概略断面図及び概念図である。

【図12】従来技術におけるチップサイズパッケージの構成例を示す概略断面図及び概略平面図である。

10

【符号の説明】

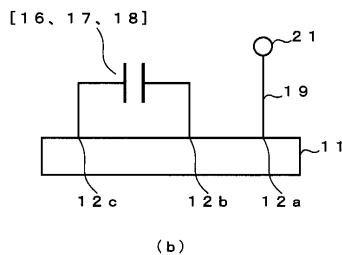
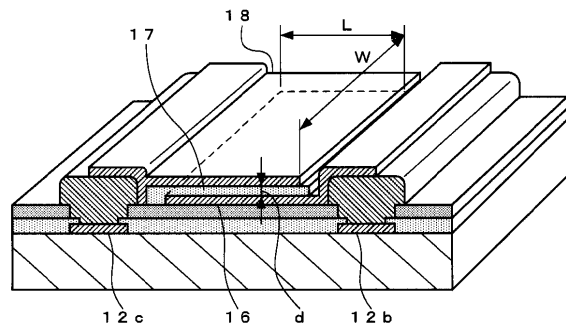
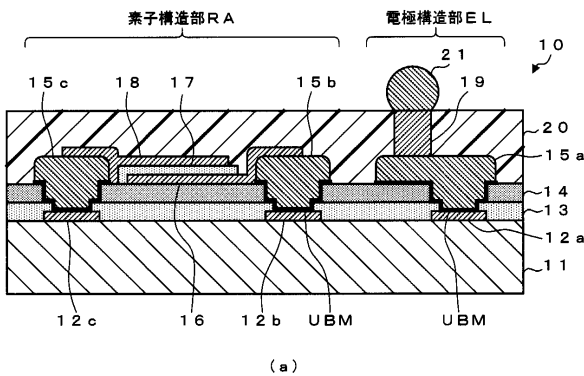
【0085】

- 10 半導体装置
- 11 半導体基板
- 12 a ~ 12 c 接続パッド
- 15 a 再配線層
- 15 b、15 c 配線層
- 16 下部電極層
- 17 誘電体層
- 18 上部電極層
- 19 柱状電極
- 20 封止膜
- 21 ハンダボール

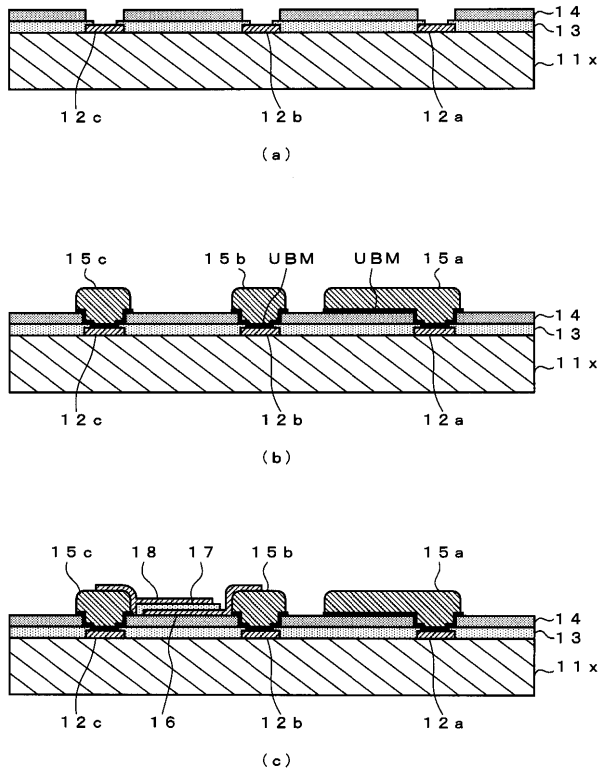
20

【図1】

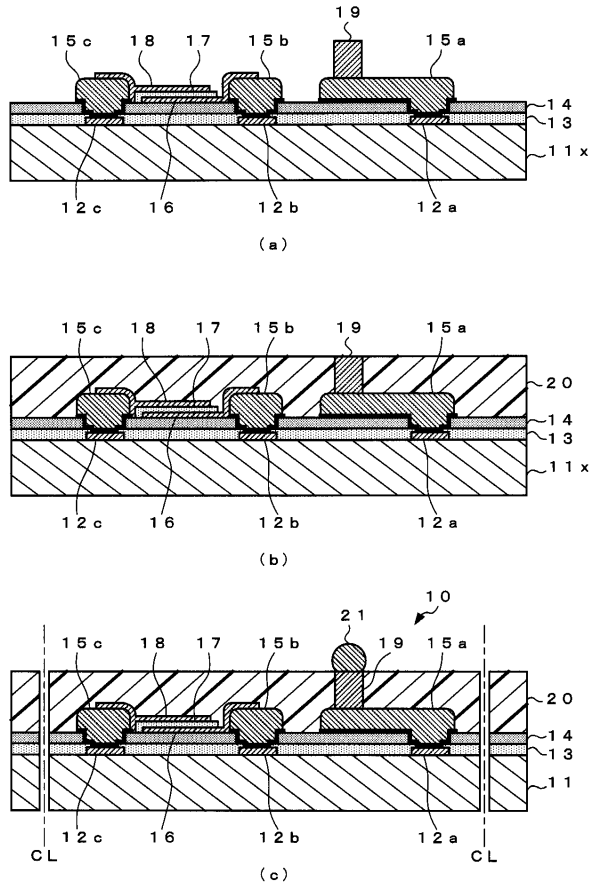
【図2】



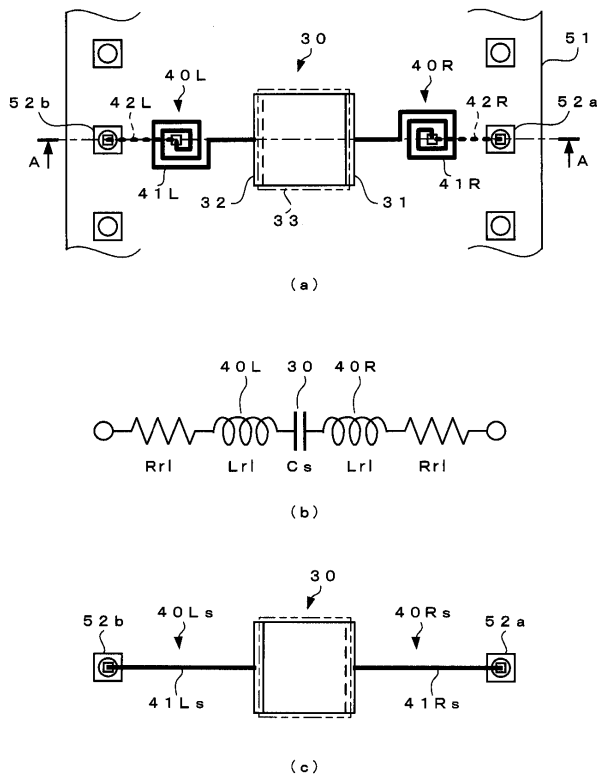
【図3】



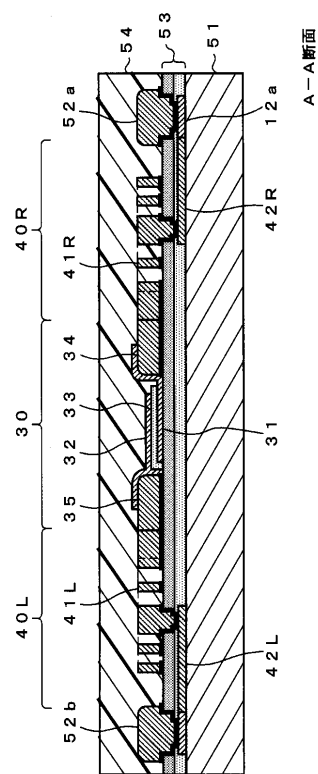
【図4】



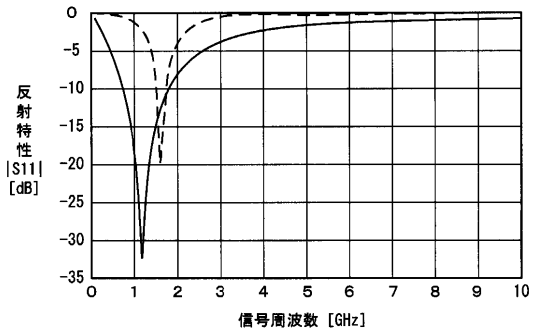
【図5】



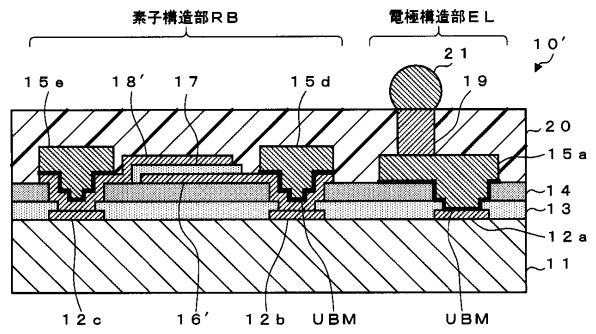
【図6】



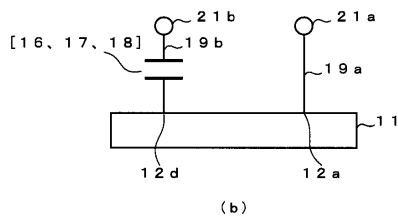
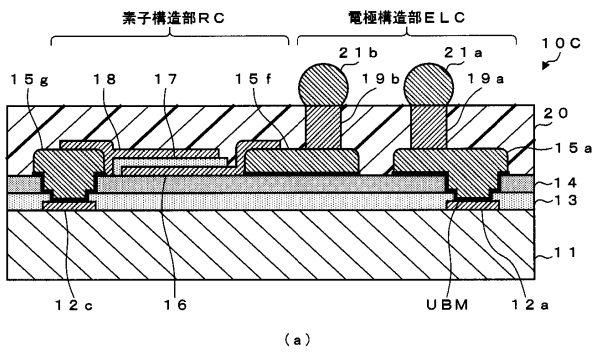
【図7】



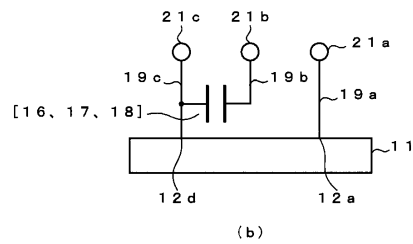
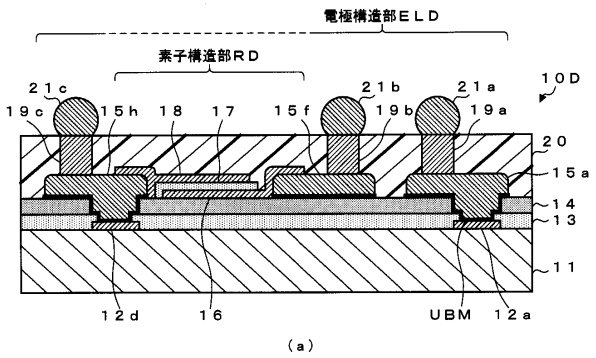
【図8】



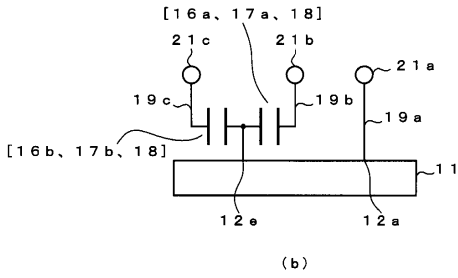
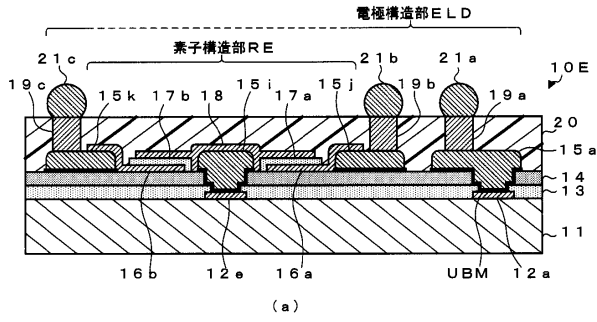
【図9】



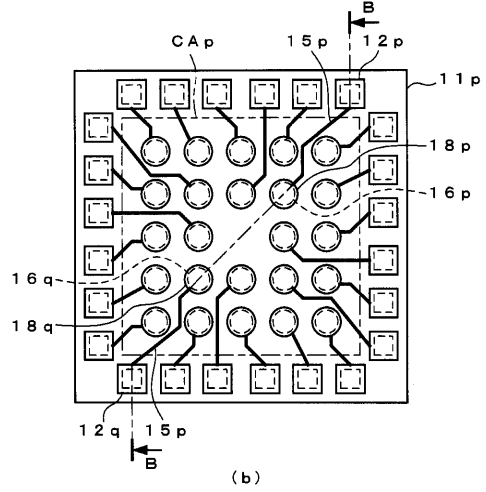
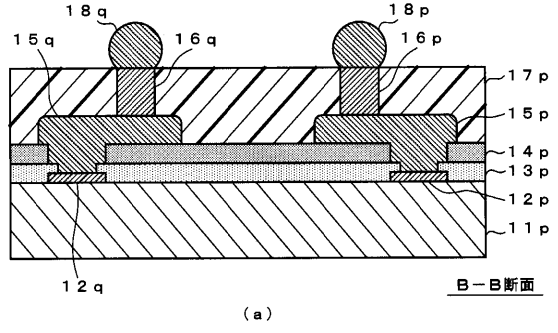
【図10】



【図 11】



【図 12】



---

フロントページの続き

- (56)参考文献 特開2000-235979(JP,A)  
特開2002-314028(JP,A)  
特開2003-133476(JP,A)  
特開2002-057291(JP,A)  
特開2002-313991(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/00

H01L 23/12