

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4970997号
(P4970997)

(45) 発行日 平成24年7月11日(2012.7.11)

(24) 登録日 平成24年4月13日(2012.4.13)

(51) Int. Cl.	F I		
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 8 C	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 1 7 V	
HO 1 L 29/06 (2006.01)	HO 1 L 29/06	6 0 1 N	
HO 1 L 29/41 (2006.01)	HO 1 L 29/78	6 1 7 S	
	HO 1 L 29/44	S	
請求項の数 2 (全 22 頁) 最終頁に続く			

(21) 出願番号	特願2007-72887 (P2007-72887)	(73) 特許権者	000005821
(22) 出願日	平成19年3月20日(2007.3.20)		パナソニック株式会社
(65) 公開番号	特開2007-294908 (P2007-294908A)		大阪府門真市大字門真1006番地
(43) 公開日	平成19年11月8日(2007.11.8)	(74) 代理人	100101683
審査請求日	平成20年2月1日(2008.2.1)		弁理士 奥田 誠司
(31) 優先権主張番号	特願2006-93760 (P2006-93760)	(72) 発明者	川島 孝啓
(32) 優先日	平成18年3月30日(2006.3.30)		大阪府門真市大字門真1006番地 松下
(33) 優先権主張国	日本国(JP)		電器産業株式会社内
		(72) 発明者	齋藤 徹
			大阪府門真市大字門真1006番地 松下
			電器産業株式会社内
		(72) 発明者	原田 健史
			大阪府門真市大字門真1006番地 松下
			電器産業株式会社内
最終頁に続く			

(54) 【発明の名称】 ナノワイヤトランジスタの製造方法

(57) 【特許請求の範囲】

【請求項1】

チャネル領域として機能するコア部分と、前記コア部分の表面を被覆する絶縁性シェル部分とを有する少なくとも1本のナノワイヤを用意する工程と、

前記ナノワイヤに接続されるソース電極及びドレイン電極、及び前記ナノワイヤにおけるコア部分の少なくとも一部における導電性を制御するゲート電極を形成する工程と、を備えるナノワイヤトランジスタの製造方法であって、

前記ナノワイヤを用意する工程は、

S i を含有する半導体単結晶から形成され、その長軸方向を横切る断面が多角形のナノワイヤ素材を形成する結晶成長工程と、

前記ナノワイヤ素材の表面を熱酸化することにより、前記表面に前記絶縁性シェル部分を形成する熱酸化工程と、

を含み、

前記熱酸化工程は、前記コア部分の長軸方向を横切る断面の輪郭が曲線になるように前記ナノワイヤ素材の表面を熱酸化する、ナノワイヤトランジスタの製造方法。

【請求項2】

前記ナノワイヤ素材の直径は35nm以上であり、

前記熱酸化工程では、前記絶縁性シェル部分の厚さが15nm以上になるまで熱酸化を行う、請求項1に記載のナノワイヤトランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ナノワイヤトランジスタの製造方法に関する。特に本発明は、半導体コア部分の周囲をゲート絶縁膜で被覆したコア・シェル構造を有するナノワイヤを備えるトランジスタの製造方法に関する。このようなナノワイヤトランジスタは、フレキシブル基板上に薄膜トランジスタを形成して作製される電子デバイスやマイクロデバイスなどに利用可能である。

【背景技術】

【0002】

従来のアクティブ型液晶表示装置や有機エレクトロルミネッセンス（EL）表示装置は、ガラス基板上に多数の画素をマトリクス状に配置することによって形成されている。ガラス基板上には行及び列状に走る走査線やデータ線が設けられており、個々の画素近傍に配置されたトランジスタ（スイッチング素子）を介して画素に電氣的に接続される。現在の技術では、単結晶半導体層をガラス基板上に形成することができないため、非単結晶である非晶質また多結晶のシリコンを用いた薄膜トランジスタ（TFET）がガラス基板状に形成され、画素制御用のスイッチング素子として用いられている。

10

【0003】

ガラス基板よりも軽量でフレキシブルな基板としてプラスチック基板を用いることも検討されているが、このようなフレキシブル基板は、ガラス基板よりも低い温度で軟化するため、上述の非晶質シリコンや多結晶シリコンを形成することもできない。このため、より低い温度プロセスで製造可能なトランジスタ素子として、有機半導体TFETやナノワイヤトランジスタが開発されつつある。

20

【0004】

非特許文献1は、トランジスタのチャネル領域として半導体薄膜ではなく、単結晶半導体のナノワイヤを用いるナノワイヤトランジスタを開示している。このナノワイヤトランジスタは、次のように製造される。

【0005】

まず、トランジスタ支持基板とは異なる結晶成長用基板を用意し、その上にシリコンナノワイヤを成長させた後、シリコンナノワイヤを成長用基板から剥離する。シリコンナノワイヤは、単結晶シリコンから形成されており、優れた結晶性を有している。ナノワイヤの成長には、通常のフレキシブル基板が耐えられないような高温プロセスが必要であるが、結晶成長用基板としては、このような高温プロセスに耐えられる基板が用いられる。

30

【0006】

次に、こうして得られた多数のシリコンナノワイヤを溶液中に分散させる。この溶液に分散したシリコンナノワイヤをフレキシブル基板上に配置し、電極構造を形成することにより、最終的にナノワイヤトランジスタをフレキシブル基板上に形成することができる。電極構造の形成は、プラスチック基板が耐えられるような比較的低い温度でも行うことができる。

【0007】

このような方法で作製されたトランジスタによれば、そのチャネル領域が単結晶シリコンから形成されているため、フレキシブル基板上であっても、電子又は正孔の電界効果移動度が $100\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ を超えるような優れたトランジスタ特性を達成することが可能になる。

40

【0008】

次に、図1および図2を参照して、ナノワイヤトランジスタの従来例の構成と問題点を説明する。図1は、従来のナノワイヤトランジスタの斜視図であり、図2(a)は、図1のナノワイヤトランジスタの上面図、図2(b)は、そのA-A'線断面構造図である。

【0009】

図示されるナノワイヤトランジスタは、フレキシブル基板1と、フレキシブル基板1上に形成されたゲート電極2と、ゲート電極2を覆うゲート絶縁膜4と、ゲート絶縁膜上に

50

設けられたナノワイヤ3、ソース電極5、及びドレイン電極6とを備えている。

【非特許文献1】“High performance thin film transistors using semiconductor nanowires and nanoribbons”, Nature, vol.425, 2003, pp.274.

【発明の開示】

【発明が解決しようとする課題】

【0010】

図1及び図2に示されるナノワイヤトランジスタは、以下のような問題点を有している。

【0011】

すなわち、フレキシブル基板1上では、プロセス温度に制約があるため、ゲート絶縁膜の形成温度も例えば200以下にする必要がある。このため、塗布プロセスによる有機絶縁膜や、低温でのCVD法やスパッタ法による無機絶縁膜によってゲート絶縁膜を形成することになる。有機絶縁膜や低温で形成した無機絶縁膜は耐圧が低く、ゲート絶縁膜の信頼性が低下する。

【0012】

このような低温プロセスによって形成されるゲート絶縁膜4では、チャンネルとゲート絶縁膜4との間における界面準位が増加し、キャリア移動度が低下するという問題もある。また、有機絶縁膜は、膜中に固定電荷や可動イオンが存在するため、閾値電圧のシフト、電流電圧特性のヒステリシスの発現、及び特性バラツキの増大という問題もある。

【0013】

本発明は、上記問題を解決するためになされたものであり、新規なトランジスタの製造法を提供することを目的の一つとする。本発明の他の目的は、そのナノワイヤトランジスタを用いた電子装置を提供することにある。

【課題を解決するための手段】

【0029】

本発明によるナノワイヤトランジスタの製造方法は、チャンネル領域として機能するコア部分と、前記コア部分の表面を被覆する絶縁性シェル部分とを有する少なくとも1本のナノワイヤを用意する工程と、前記ナノワイヤに接続されるソース電極及びドレイン電極、及び前記ナノワイヤにおけるコア部分の少なくとも一部における導電性を制御するゲート電極を形成する工程とを備えるナノワイヤトランジスタの製造方法であって、前記ナノワイヤを用意する工程と、Siを含有する半導体単結晶から形成され、その長軸方向を横切る断面が多角形のナノワイヤ素材を形成する結晶成長工程と、前記ナノワイヤ素材の表面を熱酸化することにより、前記表面に前記絶縁性シェル部分を形成する熱酸化工程とを含み、前記熱酸化工程は、前記コア部分の長軸方向を横切る断面の輪郭が曲線になるように前記ナノワイヤ素材の表面を熱酸化する。

【0030】

好ましい実施形態において、前記ナノワイヤ素材の直径は35nm以上であり、前記熱酸化工程では、前記絶縁性シェル部分の厚さが15nm以上になるまで熱酸化を行う。

【発明の効果】

【0032】

本発明のナノワイヤトランジスタの製造方法によれば、フレキシブル基板の軟化温度に制約されることなく高品質のゲート絶縁膜を形成することができるため、特性バラツキが低減されたナノワイヤトランジスタをフレキシブル基板上に集積させることができる。

【発明を実施するための最良の形態】

【0033】

本発明のナノワイヤトランジスタでは、チャンネル領域として機能するコア部分と、前記コア部分の表面を被覆する絶縁性シェル部分とを有する少なくとも1本のナノワイヤを備えている。このコア部分はSiを含有する半導体単結晶から形成され、その長軸方向を横切る断面の輪郭は曲線である。絶縁性シェル部分は、Siを含有する絶縁物から形成され

10

20

30

40

50

、ゲート絶縁膜の少なくとも一部として機能する。好ましい実施形態において、前記コア部分の直径は20 nm以上、前記絶縁性シェル部分の厚さは15 nm以上である。好ましい実施形態において、前記絶縁性シェル部分は、Siの酸化物またはSiの窒化物から形成されている。好ましい実施形態において、前記絶縁性シェル部分は前記ゲート電極に接触している。好ましい実施形態において、前記ゲート絶縁膜の他の一部として機能する絶縁層が前記絶縁性シェル部分と前記ゲート電極との間に設けられている。好ましい実施形態において、前記絶縁性シェル部分は、前記ソース電極またはドレイン電極と前記コア部分とが接触する領域からは除去されている。好ましい実施形態において、前記ナノワイヤを支持する絶縁性基板を備える。好ましい実施形態において、前記ゲート電極上に前記ソース電極から前記ドレイン電極に向かう方向に対して平行に複数個の溝が形成されており、前記溝に前記ナノワイヤが配置されている。好ましい実施形態において、前記ソース電極及びドレイン電極上に前記ゲート電極に垂直な方向に複数個の溝が形成されており、この溝に前記ナノワイヤが配置されている。好ましい実施形態において、前記溝の長手方向を横切る断面の形状は、V字型、U字型または矩型である。好ましい実施形態において、前記基板が高分子材料、高分子材料及び無機材料の複合体から形成されている。本発明の電子回路は、上記のナノワイヤトランジスタを備えていることを特徴とする。本発明の表示パネルは、上記の電子回路を備えていることを特徴とする。本発明の表示装置は、上記の表示パネルを備えていることを特徴とする。

10

【0034】

通常、Siを含有する半導体単結晶から形成されたナノワイヤの断面は、多角形（典型的には正六角形）である。図20(a)、(b)は、それぞれ、そのようなナノワイヤ3をゲート絶縁膜上に配置したときの断面を示している。

20

【0035】

図20(a)に示す配置例では、ナノワイヤ3の表面に現れる6つの結晶面（ファセット）のうちの1つがゲート絶縁膜の表面に接触している。一方、図20(b)に示す配置例では、ナノワイヤ3の表面に現れるいずれの結晶面もゲート絶縁膜の表面には接触していない。ナノワイヤ3は、長軸方向に延びているが、完全な直線状に延びているわけではなく、湾曲している場合もあるため、図20(b)に示すような形態でナノワイヤ3が存在することも多い。実際に多数のナノワイヤをゲート絶縁膜上に配置すると、図20(a)、(b)に示すような多様な形態が観察される。

30

【0036】

本願発明者の実験によると、図20(a)の配置と図20(b)の配置との間でトランジスタ特性に大きな差異が生じることがわかった。ナノワイヤ3とゲート絶縁膜との配置関係に依存して、ナノワイヤに及ぶゲート電界に差異が生じるためであると考えられる。

【0037】

これに対して、本願発明におけるナノワイヤの断面は、典型的には図20(c)に示すナノワイヤ13が有しているような断面であるため、その配置状態によらず、ゲート界面に形成されるゲート電界が均一化され、優れたトランジスタ特性を発揮させることが可能になる。

【0038】

本来、単結晶のナノワイヤの表面は、特定の結晶面から構成されるため、ナノワイヤの断面は、直線から構成される輪郭を有している。このようなナノワイヤの表面を熱酸化しても、通常の厚さの熱酸化膜を形成する場合は、ナノワイヤの断面形状に大きな変化は観察されない。しかし、本願発明者の実験によると、相対的に直径の大きな単結晶ナノワイヤを用意し、その表面を熱酸化して十分な厚さの熱酸化膜を形成したところ、単結晶半導体からなるコア部分の断面が直線を含まない曲面の輪郭を有することがわかった。コア部分の断面が曲線によって囲まれる形状を有していれば、図20(a)、(b)を参照して説明した問題は生じず、トランジスタ特性が向上することになる。

40

【0039】

また、後述するように、熱酸化膜を十分に厚く形成すると、半導体コア部分と絶縁性シ

50

エル部分（熱酸化膜）との界面が良好な特性を有するものとなり、トランジスタのオフ電流が低減されることもわかった。

【0040】

（実施形態1）

以下、本発明によるナノワイヤトランジスタの第1の実施形態を説明する。

【0041】

まず、図3を参照しながら、本実施形態のナノワイヤトランジスタに用いるコア・シェルナノワイヤの例を説明する。図3(a)は、コア・シェルナノワイヤ13の斜視図、図3(b)は、図3(a)のB-B'線断面図である。

【0042】

図3に示すように、コア・シェルナノワイヤ13は、半導体コア部分13aと、絶縁性シェル部分13bとを備えており、シェル部分13bはコア部分13aの周囲を被覆している。半導体コア部分13aは、例えば、Si、SiGeなどの、Siを含有するIV族半導体から形成されている。一方、絶縁性シェル部分13bは、シリコン酸化膜、シリコン窒化膜などの絶縁物から形成されている。

【0043】

コア・シェルナノワイヤ13の長さは例えば1 μ m~100 μ m程度である。半導体コア部分13aの直径は、例えば2nm~1 μ m程度であり、好ましくは20nm~100nm程度である。半導体コア部分13aの直径が20nmより小さくなると、量子効果が発現し、特性の安定性が損なわれる可能性がある。絶縁性シェル部分13bの層厚は5nm~1 μ m程度であり、好ましくは15nm~100nm程度である。

【0044】

本実施形態では、コア・シェルナノワイヤ13のコア部分13aが単結晶シリコンから形成され、シェル部分13bはシリコン酸化膜から形成されている。このシェル部分13bは、酸化雰囲気中でシリコンナノワイヤ素材の表面を熱酸化することにより得られたものである。

【0045】

有機ELディスプレイを駆動するために必要なトランジスタのゲート電極には10~15Vの電圧が印加されたため、10~15V以上の耐圧を有するゲート絶縁膜を形成する必要がある。例えば、最大の印加ゲート電圧が10Vの場合、シリコン酸化膜の絶縁破壊電界強度を6MV/cmと仮定すると、シリコン酸化膜の厚さを17nm以上に設定する必要がある。ゲート電圧が15Vの場合は、シリコン酸化膜の厚さを25nm以上に設定する必要がある。ナノワイヤトランジスタの動作マージンを拡大するためには、上述した厚さよりもさらに余裕をもった膜厚設計をすることが好ましい。

【0046】

シリコンナノワイヤの表面には、上記の熱酸化を行う前から、空気中の酸素と反応して約1~3nm程度の自然酸化膜(SiO_x)が存在している。このような自然酸化膜は薄いため、トランジスタのゲート絶縁膜に求められる耐圧を達成することはできない。さらに、自然酸化膜は、シリコンと酸素の原子比率が1:2から外れており、膜中には大気雰囲気から不純物が混入しているため、絶縁耐圧が低く、シリコンとの良好な界面も形成されない。従って、自然酸化膜をゲート絶縁膜として機能させることは好ましくない。

【0047】

次に、図4(a)及び図4(b)を参照しながら、上述したコア・シェルナノワイヤ13を用いたナノワイヤトランジスタを説明する。図4(a)は、実施形態のナノワイヤトランジスタの構成を模式的に示す上面図であり、図4(b)は、そのC-C'線断面図である。

【0048】

図4に示すナノワイヤトランジスタは、上述のコア・シェルナノワイヤ13のコア部分13aにそれぞれ電氣的に接触するソース電極14及びドレイン電極15と、これらを支持するプラスチック基板11とを備えている。

10

20

30

40

50

【 0 0 4 9 】

ソース電極 1 4 及びドレイン電極 1 5 とコア・シェルナノワイヤ 1 3 とを電氣的に接続するため、ソース電極 1 4 及びドレイン電極 1 5 の少なくとも一部は、半導体コア部分 1 3 a が剥き出しになった領域を介して電氣的なコンタクトを形成している。

【 0 0 5 0 】

本実施形態におけるプラスチック基板 1 1 の上面には、ゲート電極 1 2 が形成されており、ゲート電極 1 2 上にコア・シェルナノワイヤ 1 3 が配置されている（ボトムゲート型構造）。ゲート電極 1 2 上には、シェル部分以外のゲート絶縁膜が設けられていない。本実施形態では、コア・シェルナノワイヤ 1 3 の絶縁性シェル部分がゲート絶縁膜として機能している。プラスチック基板 1 1 の表面は絶縁性を有しており、ゲート電極 1 2 とソース電極 1 4 及びドレイン電極 1 5 との間を絶縁している。

10

【 0 0 5 1 】

プラスチック基板 1 1 は、ポリイミドや芳香族エステルのような材料によって構成される材料から好適に形成される。ゲート電極 1 2、ソース電極 1 4 及びドレイン電極 1 5 は、チタン、金、アルミニウム、ニッケルのような金属材料から好適に形成される。

【 0 0 5 2 】

ゲート電極 1 2 にゲート電圧を印加すると、コア・シェルナノワイヤ 1 3 のシェル部分（シリコン酸化膜）1 3 b を介してコア部分 1 3 a のチャネル領域における導電性が制御される。

【 0 0 5 3 】

本実施形態では、コア・シェルナノワイヤ 1 3 のコア部分 1 3 a にシリコン、シェル部分 1 3 b にシリコン酸化膜を用い、このシリコン酸化膜をナノワイヤトランジスタのゲート絶縁膜として機能させている。このため、高耐圧で且つチャネル/ゲート絶縁膜界面準位や絶縁膜中の固定電荷を低減したナノワイヤトランジスタを実現することができる。従って、高信頼性で且つ高移動度なナノワイヤトランジスタをプラスチック基板上に実現することができる。

20

【 0 0 5 4 】

なお、図 4 に示されているナノワイヤトランジスタでは、複数のコア・シェルナノワイヤ 1 3 がいずれも線 C - C ' に平行な方向に配向されている。しかし、実際のトランジスタでは、複数のコア・シェルナノワイヤ 1 3 が交差したり、C - C ' 線に平行な方向から傾斜して配置されていてもよい。

30

【 0 0 5 5 】

以下、本実施形態におけるコア・シェルナノワイヤを製造する方法の好ましい実施形態を説明する。

【 0 0 5 6 】

まず、ナノワイヤ素材を作製する。具体的には、任意の基板上に触媒となる金属微粒子を配置する。触媒金属としては、例えば、コバルト、ニッケル、金、白金を用いるとよい。この触媒金属の基板への配置は、例えばスパッタ法や蒸着法などで 1 ~ 1 0 n m 程度の薄膜を堆積させ、任意の雰囲気中で熱処理することで金属微粒子化する方法を用いることができる。あるいは、金属微粒子コロイドを基板上に塗布する方法を用いてもよい。

40

【 0 0 5 7 】

次に C V D 法を用いてナノワイヤを基板上に成長させる。シリコンナノワイヤを成長する方法としては、例えば、ソースガスにシランやジシランを用い、基板温度を 4 0 0 ~ 6 0 0 程度に加熱する。このあと、シリコンナノワイヤが成長した基板を酸化処理のための装置内に挿入し、酸化処理を行う。こうして、絶縁性シェル部分 1 3 b で半導体コア部分 1 3 a の周囲が被覆されたコア・シェルナノワイヤを得ることができる。

【 0 0 5 8 】

図 5 (a) 及び (b) は、中心軸（長軸方向）を含む平面に平行なコア・シェルナノワイヤの断面 T E M 写真であり、図 5 (c) はシェル部分（シリコン酸化膜）の膜厚と酸化処理時間との関係を示すグラフである。図 5 (a) は、酸化処理時間が 2 分の場合、図 5

50

(b)は、酸化処理時間が6分の場合のTEM像を示している。

【0059】

酸化開始前のナノワイヤ素材(シリコンナノワイヤ)の直径は約60nm程度であった。従来のナノワイヤの直径(約10~20nm)に比べると、直径の大きなナノワイヤ(例えば50~150nm)を用意し、その表面を熱酸化することにより比較的厚い熱酸化膜(15nm以上)を形成している。

【0060】

シリコン酸化膜の厚さや膜質は、酸化の時間、温度、雰囲気依存するため、形成すべきトランジスタの仕様に合わせて熱酸化の条件を決定する。本実施形態では、1100の酸素雰囲気で行ったラピットサーマルプロセスを行い、熱酸化膜を形成した。図5(c)からわかるように、酸化時間の増加に伴いシェル部分酸化膜厚が比例的に増大している。

10

【0061】

図6(a)は、熱酸化前におけるナノワイヤの中心軸(長軸)方向を垂直に横切る断面のTEM写真である。図6(a)から明らかなように、コア部分の断面は多角形(六角形)である。これは、シリコン単結晶の結晶構造を反映したファセットがナノワイヤの表面に現れていることを意味している。一方、図6(b)は、酸素流量6リットル/分の雰囲気中で1100、4分の熱酸化を行った場合に得られるコア・シェルナノワイヤの中心軸(長軸)方向を垂直に横切る断面のTEM写真である。図6(b)から明らかなように、コア部分の断面の輪郭は曲線(実質的に円または楕円)である。なお、酸化速度は結晶面方位依存性を有しているため、仮に熱酸化前のナノワイヤの断面が正六角形である場合、周囲から異方的に酸化が進行するため、コア部分の断面が真円になることなく、概略的に楕円の形状になりやすい。本明細書における「曲線」とは、極率半径が無限になる部分(直線部分)を実質的に含まない線であり、極率半径が位置によって大きく変動しない曲線である。

20

【0062】

このように、熱酸化前のシリコン結晶ナノワイヤ素材が多角形の断面形状を有していても、その表面に15nm以上の厚さの熱酸化膜を形成すると、酸化の進行に伴ってシリコン結晶と熱酸化膜との界面が曲面を形成するようになる。このような断面に変化するメカニズムは不明である。熱酸化の進行に伴って、コア部分13aの直径は小さくなるが、最終的にトランジスタに用いるコア・シェルナノワイヤ13のコア部分13aの直径は5nm以上であることが好ましい。

30

【0063】

一般に、コア・シェルナノワイヤ13をゲート電極12上に配置するとき、コア・シェルナノワイヤ13のどの部分をゲート電極12に対向させるかの制御は困難である。したがって、コア部分13aの断面が多角形の場合、多角形の辺または頂点のいずれが、ゲート電極12に最も近い位置にくるかが不定である。トランジスタが完成した後、ゲート電極12に電圧を印加すると、コア部分13aのうち最もゲート電極12に近い位置に導電チャネルが形成される。このため、コア部分13aの断面が多角形であると、コア・シェルナノワイヤ13が回転角度に応じてトランジスタ特性が変動する可能性がある。しかし、本実施形態におけるコア・シェルナノワイヤ13は、コア部分13aの断面の輪郭が曲線であるため、このような問題が解決される。上記観点から、コア部分13aの断面の輪郭は円または楕円であることが好ましい。

40

【0064】

なお、熱酸化の後、あるいは熱酸化に代えて、窒化工程を行っても高品質の絶縁性シェル部分13bを形成することができる。本実施形態のように、シリコンナノワイヤ素材を用いる場合は、窒化工程を行うことにより、シリコン酸窒化膜やシリコン窒化膜で被覆されたナノワイヤを形成することができる。

【0065】

次に、上記の方法で作製したコア・シェルナノワイヤ13を溶媒に分散させる。具体的には、コア・シェルナノワイヤ13が成長した基板(不図示)からコア・シェルナノワイ

50

ヤ13を剥離し、溶液に分散させる。コア・シェルナノワイヤ13を基板から剥離する方法は、例えば基板に超音波処理を施して機械的に剥離する方法や、基板表面を薄くエッチングすることによって剥離する方法を用いるとよい。分散液の溶媒としては、水溶液、有機溶媒、または、水と有機溶媒を混合したものをを用いることができる。有機溶媒としては、例えばエタノール、プロパノール、ペンタノール、ヘキサノール、エチレングリコールなどのアルコール、エチレングリコールモノメチルエーテルなどのエステル、メチルエチルケトンなどのケトン類、ヘキサン、オクタンなどのアルカン、テトラヒドロフラン、クロロホルムのような溶媒を用いることができる。水と有機溶媒の混合液体としては、水とアルコールの混合液、水とテトラヒドロフランの混合液などが使用可能である。

【0066】

10

次に、図7Aから図7Fを参照して、本実施形態におけるトランジスタの製造方法を説明する。

【0067】

まず、図7Aに示すように、リソグラフィー法を用いて、プラスチック基板11上にレジストマスク層16を形成する。レジストマスク層16は、ゲート電極12の形状及び位置を規定する開口部を有している。フォトリソグラフィ法によるレジストマスク層16を使用する代わりに、インクジェット法を用いて形成した他のマスク部材を用いてもよい。

【0068】

図7Bに示すように、プラスチック基板11の上面のうちレジストマスク層16によって覆われていない領域をエッチングすることにより、その領域に凹部を形成する。プラスチック基板11のエッチングは、例えば CF_4 や酸素ガスを用いた反応性イオンエッチングによって行うことができる。ただし、このような凹部の形成は、ドライエッチングに限定されず、ウェットエッチングによって行っても良いし、ドライエッチング及びウェットエッチングを組み合わせることも良い。本実施形態では、凹部の深さを100~300nm程度に調節する。

20

【0069】

図7Cに示すように、プラスチック基板11上に、例えばスパッタ法によってゲート金属17を堆積する。ゲート金属17は例えば厚さ100~300nm程度のアルミニウム膜である。ゲート金属17の堆積は、スパッタ法に限定されず、蒸着法、金属微粒子インク塗布法を用いて行ってもよい。

30

【0070】

図7Dに示すように、ゲート金属17及びレジストマスク層16をプラスチック基板11から除去する。具体的には、有機系のレジスト除去液を用いてレジストマスク層16を溶解し、レジストマスク層16上に堆積したゲート金属17をレジストマスク層16とともに除去(リフトオフ)する。こうして、ゲート金属17から所定パターンを有するゲート電極12を形成する。本実施形態では、ゲート金属17の膜厚をゲート電極形成領域の凹部の深さと同程度に設定することにより、ゲート電極12の上面とプラスチック基板11の上面とを整合させ、プラスチック基板11の表面に大きな段差が形成されないようにしている。

40

【0071】

図7Eに示すように、複数のコア・シェルナノワイヤ13をゲート電極12上に配置する。コア・シェルナノワイヤ13の配置は、液体の流れを利用して配置させる方法、コア・シェルナノワイヤ13の転写法、コア・シェルナノワイヤ13の表面エネルギー制御によって配置させる方法を用いて行うことができる。本実施形態では、コア・シェルナノワイヤ13を配置すべき領域に、所望形状の複数の溝を有するモールド(不図示)を密着させ、この溝内に上述したコア・シェルナノワイヤ分散液をフローさせる(フロー法)。このようなフロー法を用いると、コア・シェルナノワイヤ13の位置をモールドの形状によって制御することが可能であり、コア・シェルナノワイヤ13の方向は液体の流れによって規定することが可能となる。

50

【 0 0 7 2 】

図7Fに示すように、プラスチック基板11上にソース電極14及びドレイン電極15を形成する。具体的には、まず、リソグラフィーにより、プラスチック基板11の上面のうち、ソース電極14・ドレイン電極15が形成されるべき領域に開口部を有するレジストマスク層(不図示)を形成する。このレジストマスク層の開口部は、ソース電極14・ドレイン電極15とコア・シェルナノワイヤ13とが接触するコンタクト領域を規定する。このコンタクト領域内に位置する絶縁性シェル部分13bをフッ酸溶液によりエッチングし、コア部分13aを露出させた後、ソース・ドレイン電極材料であるニッケルをスパッタ法によりプラスチック基板11上に堆積する。このとき、ニッケルはレジストの開口部内でコア・シェルナノワイヤ13のコア部分と直接に接触する。その後、レジストマスク層上に堆積したニッケルをレジストマスク層とともにリフトオフする。なお、ソース・ドレイン電極14、15の形成は、インクジェット法により基板11の所定領域上に電極材料を配置することによって行っても良い。

10

【 0 0 7 3 】

本実施形態の製造方法によれば、コア・シェルナノワイヤをフレキシブル基板上に配置する前に良質なゲート絶縁膜をナノワイヤに形成しているため、プラスチック基板の軟化温度に制約されることなく、チャネル領域の特性に優れたナノワイヤトランジスタをフレキシブル基板上に集積することが可能となる。

【 0 0 7 4 】

(実施形態2)

次に、図8(a)及び(b)を参照しながら、本発明によるナノワイヤトランジスタの第2の実施形態を説明する。図8(a)は、本実施形態のナノワイヤトランジスタの構成を模式的に示す上面図であり、図8(b)は、そのD-D'線断面図である。

20

【 0 0 7 5 】

図8に示すように、本実施形態のナノワイヤトランジスタが実施形態1のナノワイヤトランジスタと大きく異なる点は、ゲート電極12に溝20が形成され、溝20内にはコア・シェルナノワイヤ13が配置されている点にある。

【 0 0 7 6 】

溝20の断面形状は、四角形に限らず、図9(a)及び(b)に記載のように、V字型やU字型であってもよい。本実施形態では、1つの溝20に1本のコア・シェルナノワイヤ13が配置されているが、1つの溝20に複数本のコア・シェルナノワイヤ13が配置されてもよい。

30

【 0 0 7 7 】

図9(c)は、2層構造のゲート電極を備える例を示している。この例では、下層のゲート電極に形成した溝内にナノワイヤを配置した後、それらのナノワイヤを覆う上層のゲート電極を形成している。この上層のゲート電極は、下地の凹凸を反映した凹凸表面を有しており、この凹凸表面の凹部に他のナノワイヤを配置している。

【 0 0 7 8 】

図9(d)は、深さの異なる溝にコア・シェルナノワイヤ13を配置した場合におけるゲート電界が半導体コア部分13aに影響を与える領域(導電性の変調される領域)13cを模式的に示す。図9(d)に示すように、溝を有するゲート電極12を用いると、平坦なゲート電極12を用いる場合に比べて、半導体コア部分13aのうちゲート電極12に対向する領域の実効的な面積が増加する。その結果、半導体コア部分13a中の導電性の変調される領域13cが増加することになる。従って、本実施形態のナノワイヤトランジスタでは、ゲート電極12によりチャネルの導電性を変調できる領域が増加するため、電流駆動力やオン電流とオフ電流比を向上した高性能なナノワイヤトランジスタを実現することができる。

40

【 0 0 7 9 】

本実施形態のナノワイヤトランジスタを製造する方法は、基本的には実施形態1における製造方法と同様である。以下、図10及び図11を参照しながら、ゲート電極に溝を形

50

成する方法の一例を説明する。

【0080】

まず、図10(a)に示すようにプラスチック基板11上にゲート電極12を形成する。ゲート電極12の上面がプラスチック基板11の上面よりも高くなるようにゲート電極12を形成する。例えば、プラスチック基板11上にレジストマスクなどの剥離層(図示せず)を堆積し、実施形態について説明した工程と同様の工程により、剥離層上にゲート電極材料を堆積した後、剥離層とともにリフトオフを行えばよい。次に、図10(b)に示すようにインプリントリソグラフィ法を用いてゲート電極12上に溝20を形成する。

【0081】

また、図11(a)に示すようにゲート電極12を形成した後、図11(b)に示すようにゲート電極12上をレーザー光22でスキャンすることにより、ゲート電極12上に溝20を形成してもよい。レーザー光22として、例えばフェムト秒赤外レーザーを用いると、基板温度を上昇させることなく加工することができる。ゲート電極12上にレジスト層を形成した後、ホログラフィック露光及びエッチングを行うことにより、溝20を形成することもできる。

【0082】

なお、溝20の側壁は、ゲート電極12の一部から構成されていることが好ましいが、ゲート電極12の表面にスリット状絶縁層を形成し、そのスリットを溝20として利用してもよい。この場合、溝20の側壁は絶縁体であるが、コア・シェルナノワイヤ13を所定位置で保持する効果は十分に発揮することができる。溝20の深さは、コア・シェルナノワイヤ13の直径に応じて適切に設定される。例えば、溝20の深さは、コア・シェルナノワイヤ13の直径の1/10以上5倍以下の範囲から設定され得る。

【0083】

本実施形態によれば、溝20にコア・シェルナノワイヤ13を配置させるため、溝20の方向にコア・シェルナノワイヤ13を配向させることが容易になる。また、溝20の形状及び大きさを調整することにより、ゲート電極12を横切るコア・シェルナノワイヤ13の本数がある程度制御することも可能となる。このため、ナノワイヤトランジスタの特性バラツキを抑制することができる。

【0084】

なお、実施形態1におけるコア・シェルナノワイヤの半導体コア部分は、Si、SiGeなどの、Siを含有するIV族半導体から形成されているが、本実施形態におけるコア・シェルナノワイヤ13の半導体部分は、Siを含有する半導体結晶から形成されている必要はない。例えば、GaAs、InP、InAsなどのIII-V族半導体、またはZnS、ZnSe、CdSなどのII-VI族半導体から形成されていてもよい。また、絶縁性シェル部分も、シリコン酸化膜、シリコン酸窒化膜、シリコン窒化膜、ハフニウム酸化膜などの絶縁物から形成され得る。

【0085】

(実施形態3)

次に、図12(a)及び(b)を参照しながら、本発明によるナノワイヤトランジスタの第3の実施形態を説明する。図12(a)は、本実施形態のナノワイヤトランジスタの構成を模式的に示す上面図であり、図12(b)は、そのE-E'線断面図である。

【0086】

図12に示すように、本実施形態のナノワイヤトランジスタが実施形態1のナノワイヤトランジスタと大きく異なる点は、下部に位置するソース・ドレイン電極に溝が形成され、溝内にはコア・シェルナノワイヤが配置されている点にある。

【0087】

本実施形態では、埋め込みソース電極23及び埋め込みドレイン電極24が基板11に設けられており、これらの電極23、24の表面に複数の溝20が形成されている。溝20にはコア・シェルナノワイヤ13が配置されている。実施形態2について説明したよう

10

20

30

40

50

に、1つの溝20に複数本のコア・シェルナノワイヤ13が配置されてもよい。また、溝20の断面形状も、四角形に限らず、V字型やU字型であってもよい。

【0088】

本実施形態では、ソース電極が、埋め込みソース電極23と上層ソース電極14によって構成され、また、ドレイン電極が、埋め込みドレイン電極24と上層ドレイン電極15とによって構成されている。しかしながら、重要な点は、コア・シェルナノワイヤの下方に位置する電極23、24に溝が形成されていることであり、これらが基盤11中に埋め込まれている必要はない。なお、溝20は電極23、24だけではなく、ゲート電極12にも形成されてよい。

【0089】

複数本のコア・シェルナノワイヤ13からチャンネルが形成されるナノワイヤトランジスタは、各々が1本のコア・シェルナノワイヤからチャンネルが形成された複数のトランジスタを並列に接続した構成と回路的には等価である。このため、個々のコア・シェルナノワイヤ13の形状や材料特性により、キックが発生する場合がある。本実施形態では、ソース電極及びドレイン電極に形成した溝20に長さの揃ったコア・シェルナノワイヤ13を配置しているため、ナノワイヤトランジスタ特性のキックを低減することができる。

【0090】

次に、本実施形態の製造方法を説明する。この製造方法は、基本的には前述の実施形態について説明した方法と同様である。以下、図13を参照しながら、溝20を形成する方法の一例を説明する。

【0091】

まず、図13(a)に示すように、ゲート電極12、埋め込みソース電極23及び埋め込みドレイン電極24を基板11に形成する。これらの電極12、23、24は、基板11の表面より突出するように形成する。

【0092】

次に、インプリントリソグラフィ法を用いて、図13(b)に示すように電極23、24に溝20を形成する。また、電極12は基板11の表面とほぼ同じ高さにする。次に、図13(c)に示すように、ソース電極23及びドレイン電極24の溝20にコア・シェルナノワイヤ13を配置する。

【0093】

本実施形態の製造方法によれば、溝20にコア・シェルナノワイヤ13を配置させるため、溝20の方向にコア・シェルナノワイヤ13を配向することが容易である。また、溝20の形状により、ナノワイヤ13の配置本数がある程度制御することも可能となる。ソース電極23及びドレイン電極24に溝20を形成するため、長さの揃ったコア・シェルナノワイヤ13を配置することができる。このため、ナノワイヤトランジスタの製造バラツキを抑制することができる。

【0094】

(実施形態4)

図14及び図15を参照しながら、本発明によるナノワイヤトランジスタを備えるディスプレイの実施形態を説明する。本実施形態のディスプレイは、有機エレクトロルミネッセンス素子(有機EL素子)を用いたディスプレイである。

【0095】

図14は、ディスプレイの構成を模式的に示す平面図であり、図15は、画素近傍の回路図である。図14に示されるディスプレイは、フレキシブル基板40と、フレキシブル基板4上にマトリックス状に配列された複数の画素45と、各画素を駆動するためのXドライバ41及びYドライバ42と、これらのドライバ41、42を画素45に電氣的に接続するX走査電極43及びY走査電極44とを備えている。

【0096】

各画素45には、有機EL素子が配置されている。有機EL素子は、その近傍に配置されたナノワイヤトランジスタを含む回路で制御される。このナノワイヤトランジスタは、

10

20

30

40

50

前述の実施形態のいずれの構成を有していてもよい。フレキシブル基板 40 上には、ナノワイヤトランジスタを制御するための X 走査電極 43、Y 走査電極 44、X ドライバ 41、及び Y ドライバ 42 が形成されている。

【0097】

図 15 を参照する。画素 45 は、スイッチ用トランジスタ 50 とドライバ用トランジスタ 51 とによって制御される。Y ドライバ 42 から Y 走査電極 44 を介してスイッチ用トランジスタ 50 のソース電極に電圧が印加される。スイッチ用トランジスタ 50 のドレイン電極とドライバ用トランジスタ 51 のゲート電極とは電氣的に接続されている。ドライバ用トランジスタ 51 のドレイン電極は、画素の下部に配置された画素電極（図示せず）に電氣的に接続されている。また、ドライバ用トランジスタ 51 のソース電極には、画素を発光させるための電圧が印加される。

10

【0098】

一方、スイッチ用トランジスタ 50 のゲート電極には、X ドライバ 41 から X 走査電極 43 を介して画像信号電圧が印加される。画像信号の電圧が印加されたスイッチ用トランジスタ 50 から、ドライバ用トランジスタ 51 のゲート電極に電圧が加えられる。これによって、ドライバ用トランジスタ 51 から画素電極に電圧が加えられる。図示はしていないが、画素上には透明電極が配置されている。画素電極と透明電極との間に電圧が加わることによって、画素部分が発光する。

【実施例】

【0099】

以下、図 16 に示す構成を有する実施例について、トランジスタ特性を説明する。

20

【0100】

図 16 に示すナノワイヤトランジスタは、図 4 (a) 及び図 4 (b) を参照しながら説明した実施形態のナノワイヤトランジスタと比較すると、プラスチック基板 11 の表面に SiN からなるゲート絶縁膜（厚さ：200 nm）4 が形成されている点で異なっている。他の点では、図 16 の構成は、図 4 (b) に示す構成と同様である。

【0101】

本実施例におけるコア・シェルナノワイヤ 13 のコア部分 13a はシリコン、シェル部分はシリコン酸化膜から形成されている。シリコン酸化膜は、シリコンナノワイヤを熱酸化することによって形成されたものである。

30

【0102】

ソース電極 14 とドレイン電極 15 との間に 10 ボルトの印加を印加した状態で、ゲート電極 12 に種々の大きさのゲート電圧を印加してトランジスタを ON 状態にした。そのときにソース電極 14 とドレイン電極 15 との間を流れるドレイン電流を測定した。測定結果を図 17 に示す。図 17 は、横軸がゲート電圧、縦軸がドレイン電流のグラフである。このグラフには、図 1 に示す構成を有する従来のナノワイヤトランジスタ（従来例）について測定した結果も示されている。実施例におけるシェル部分 13b の厚さは 20 nm、ゲート絶縁膜 4 の厚さは実施例および従来 TFT のいずれも 200 nm である。

【0103】

図 17 からわかるように、本実施例と従来 TFT とを比較すると、本実施例では、トランジスタの導通時におけるドレイン電流（オン電流： I_{on} ）が相対的に大きく、また、非導通時におけるドレイン電流（オフ電流： I_{off} ）が格段に小さい。オフ電流（ I_{off} ）と「リーク電流」を意味し、少ないことが好ましい。図 17 から明らかなように、本実施例のトランジスタは従来例よりも格段に優れたトランジスタ特性を示している。

40

【0104】

図 18 は、ドレイン電流とオン電流（ I_{on} ）およびオフ電流（ I_{off} ）とシェル部分 13b の厚さとの関係を示すグラフである。グラフ左側の縦軸はゲート電圧が -30 ボルトのときのオン電流（ I_{on} ）であり、グラフ右側の縦軸はオフ電流（ I_{off} ）の最終値である。シェル部分 13b が厚くなるほど、オフ電流（ I_{off} ）が少なくなる。

【0105】

50

図19は、トランジスタのヒステリシス特性を示すグラフである。図17に示す例では、ゲート電圧を0ボルトから-30ボルトに低下させる場合と、ゲート電圧を0ボルトから-30ボルトから0ボルトに上昇させる場合との間でゲート-ドレイン特性が異なっている。すなわち、ドレイン電流が 1.0×10^{-8} Aとなるときのゲート電圧の大きさがゲート電圧の増減方向によって異なっている。本明細書では、このようなゲート電圧の差異を「ヒステリシス」と称することとする。図19は、このヒステリシスとシェル部分13bの厚さとの関係を示すグラフである。図19からわかるように、シェル部分13bの厚さが15nmよりも小さくなると、ヒステリシスが大きくなる。

【0106】

以上の結果から、シェル部分13bの厚さは15nm以上に設定することが好ましく、20nm以上にすることが更に好ましい。

10

【0107】

なお、形成すべきシェル部分13bの厚さは、熱酸化を行なう前におけるナノワイヤ素材の直径に依存する。シェル部分13bの厚さは、ナノワイヤ素材の直径の15~75%の範囲に設定することが好ましい。この場合、熱酸化後におけるコア部分13aの直径は、例えばシェル部分13bの厚さの0.3~6倍の範囲内になる。

【産業上の利用可能性】

【0108】

本発明のナノワイヤトランジスタは、フレキシブル基板を用いた電子デバイスやディスプレイ等に好適に用いられる。

20

【図面の簡単な説明】

【0109】

【図1】従来のナノワイヤトランジスタ構造斜視図である。

【図2】(a)は、図1のナノワイヤトランジスタの上面図、(b)は、そのA-A'線断面構造図である。

【図3】(a)は、コア・シェルナノワイヤ13の斜視図、(b)は(a)のB-B'線断面図である。

【図4】(a)は、実施形態のナノワイヤトランジスタの構成を模式的に示す上面図であり、(b)は、そのC-C'線断面図である。

【図5】(a)及び(b)は、中心軸を含む平面に平行なコア・シェルナノワイヤの断面TEM写真であり、(c)はシェル部分(シリコン酸化膜)の膜厚と酸化処理時間との関係を示すグラフである。

30

【図6】(a)は、熱酸化前におけるナノワイヤの中心軸(長軸)方向を垂直に横切る平面に平行な断面TEM写真であり、(b)は、熱酸化後におけるナノワイヤの中心軸(長軸)方向を垂直に横切る平面に平行な断面TEM写真である。

【図7A】本発明の実施形態1における製造方法を示す図である。

【図7B】本発明の実施形態1における製造方法を示す図である。

【図7C】本発明の実施形態1における製造方法を示す図である。

【図7D】本発明の実施形態1における製造方法を示す図である。

【図7E】本発明の実施形態1における製造方法を示す図である。

40

【図7F】本発明の実施形態1における製造方法を示す図である。

【図8】(a)は、実施形態1のナノワイヤトランジスタの構成を模式的に示す上面図であり、(b)は、そのD-D'線断面図である。

【図9】(a)及び(b)は、それぞれ、U字型及びV字型の溝を示す断面図であり、(c)は、他の溝構造を示す断面図であり、(d)は、深さの異なる溝にコア・シェルナノワイヤを配置した場合におけるゲート電界が半導体コア部分13aに影響を与える領域を示す断面図である。

【図10】(a)及び(b)は、本発明の実施形態2における製造方法を示す図である。

【図11】(a)及び(b)は、本発明の実施形態2における他の製造方法を示す図である。

50

【図12】(a)は、本発明の実施形態3のナノワイヤトランジスタの構成を模式的に示す上面図であり、(b)は、そのE - E'線断面図である。

【図13】(a)から(c)は、実施形態3における製造方法を示す図である。

【図14】本発明によるディスプレイの構成を示す平面図である。

【図15】図14のディスプレイにおける画素駆動用トランジスタの回路図である。

【図16】本発明の実施例におけるトランジスタ構成を示す断面図である。

【図17】実施例と従来例について得られたトランジスタ特性の測定結果を示すグラフである。

【図18】実施例について測定されたドレイン電流とシェル部分13bの厚さとの関係を示すグラフである。

10

【図19】実施例のトランジスタにおけるヒステリシス特性を示すグラフである。

【図20】(a)、(b)は、それぞれ、そのようなナノワイヤをゲート絶縁膜上に配置したときの断面を示す図であり、(c)は、本発明で使用するナノワイヤをゲート絶縁膜上に配置したときの断面を示す図である。

【符号の説明】

【0110】

1 基板

2 ゲート電極

3 ナノワイヤ

4 ゲート絶縁膜

5 ソース電極

6 ドレイン電極

11 プラスティック基板

12 ゲート電極

13 コア・シェルナノワイヤ

13a 半導体コア部分

13b 絶縁性シェル部分

14 ソース電極

15 ドレイン電極

16 レジスト

17 ゲート金属

20 溝

21 モールド

22 レーザー光

23 埋め込みソース電極

24 埋め込みドレイン電極

40 フレキシブル基板

41 Xドライバ

42 Yドライバ

43 X走査電極

44 Y走査電極

45 画素

50 スイッチ用トランジスタ

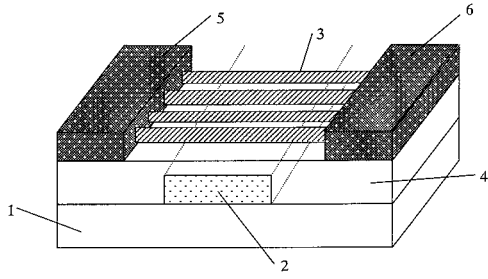
51 ドライバ用トランジスタ

20

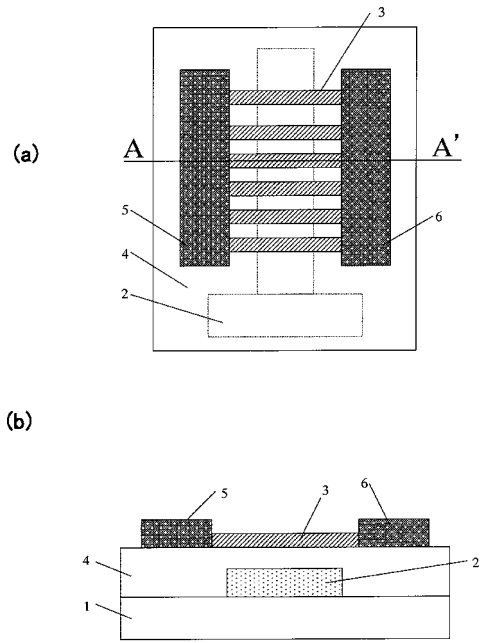
30

40

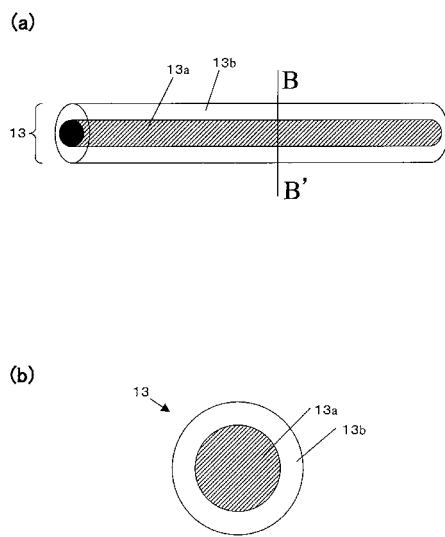
【図1】



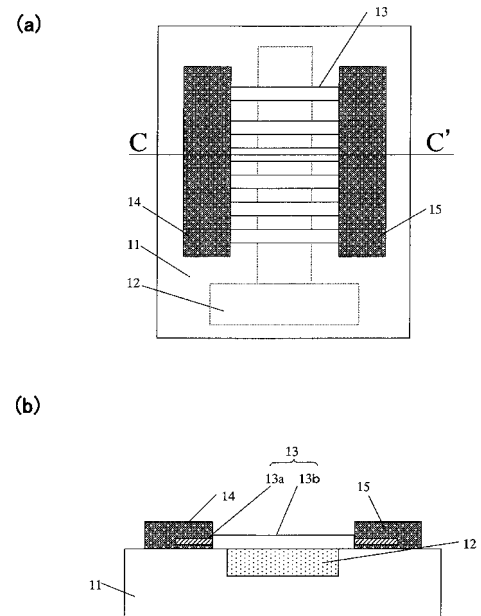
【図2】



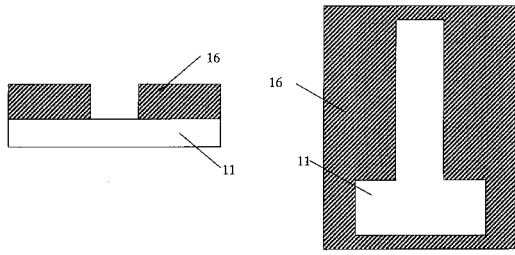
【図3】



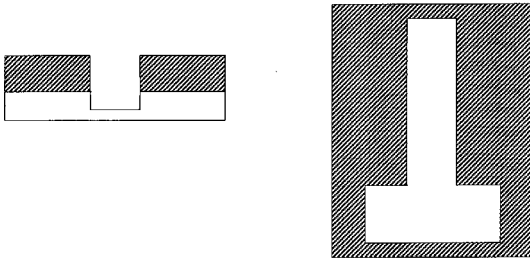
【図4】



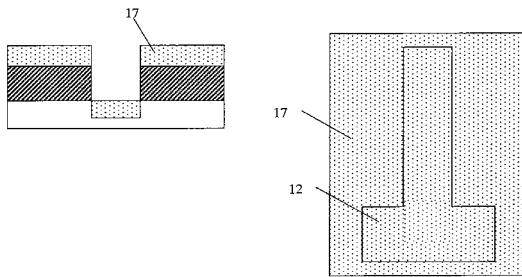
【図7A】



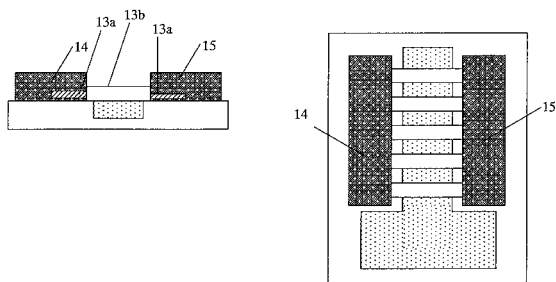
【図7B】



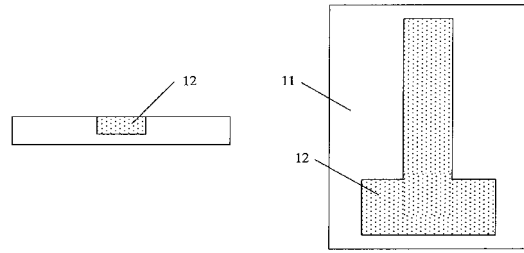
【図7C】



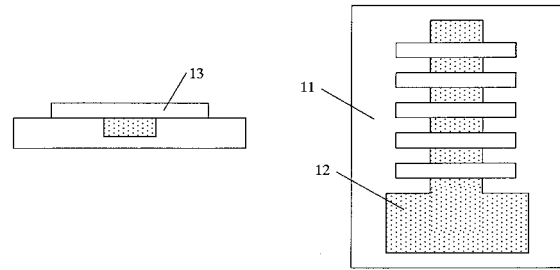
【図7F】



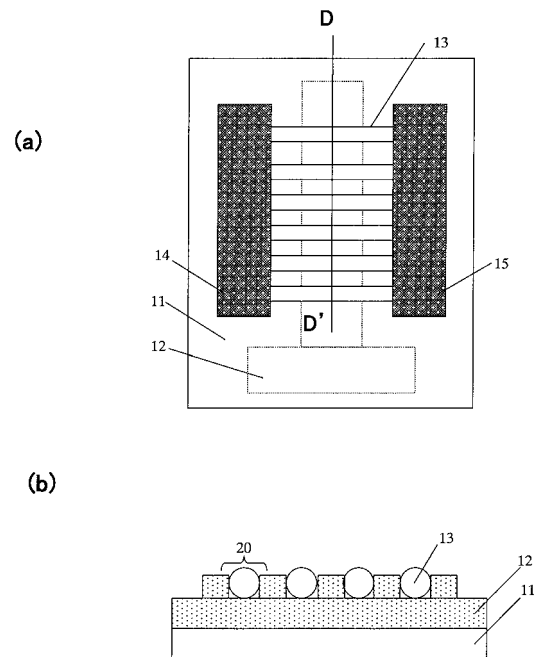
【図7D】



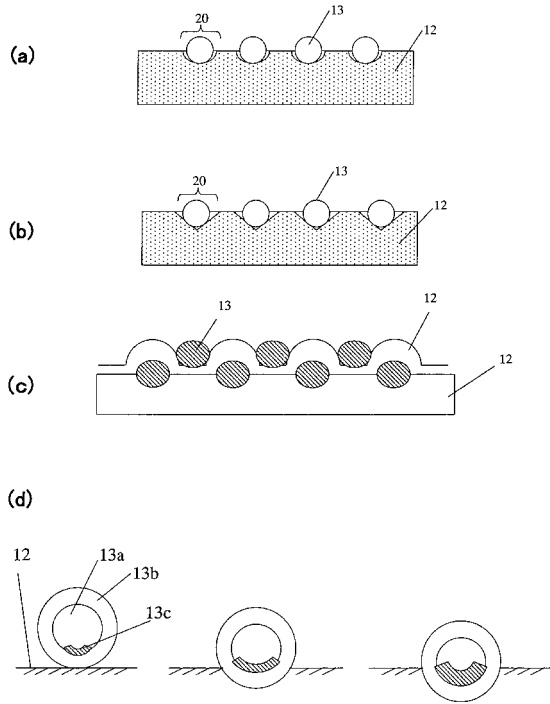
【図7E】



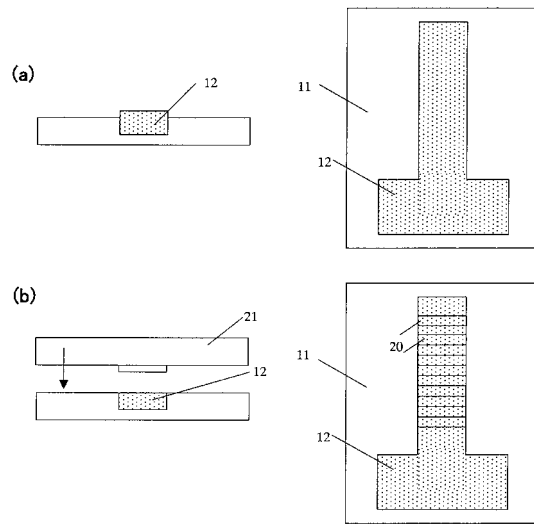
【図8】



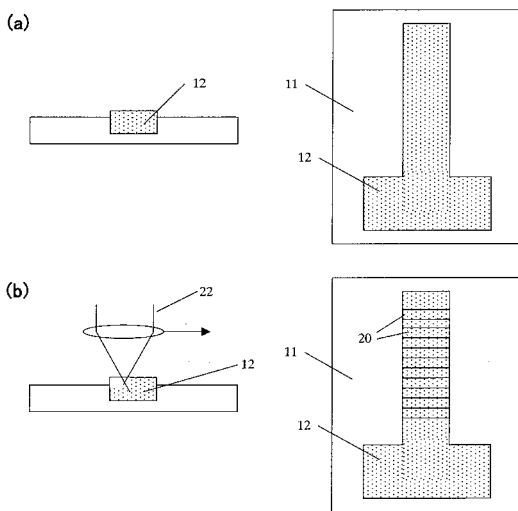
【 図 9 】



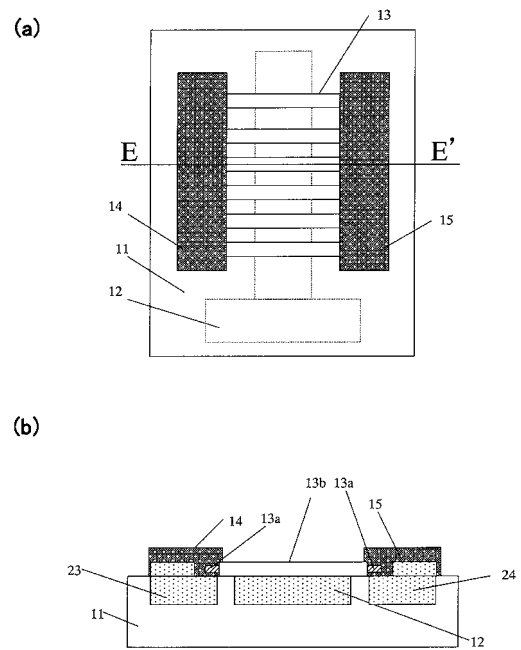
【 図 10 】



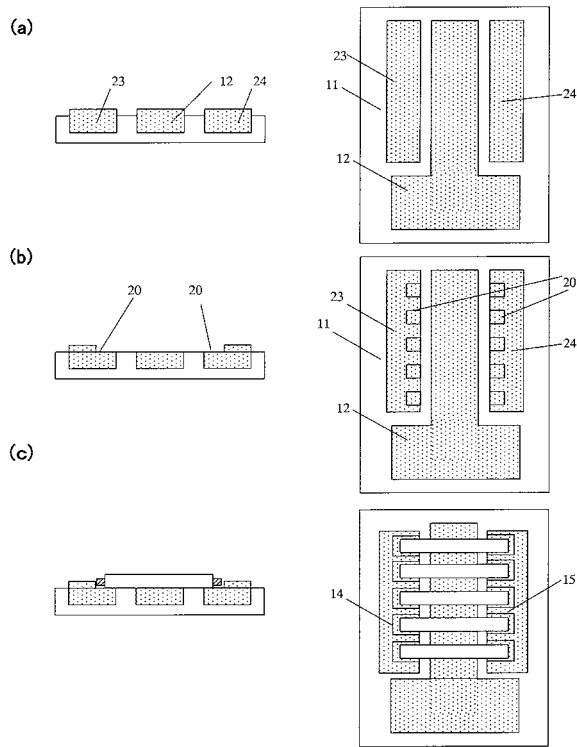
【 図 11 】



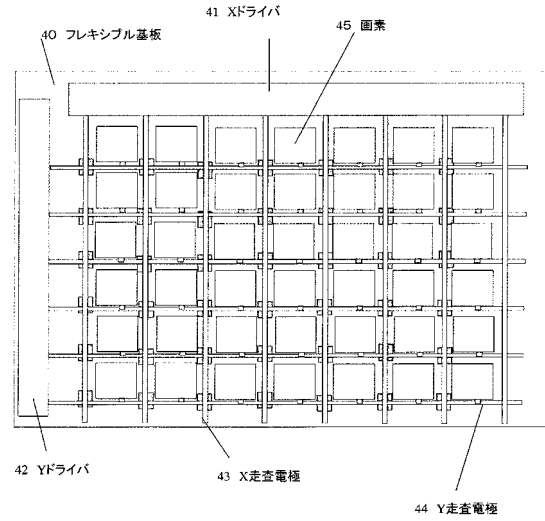
【 図 12 】



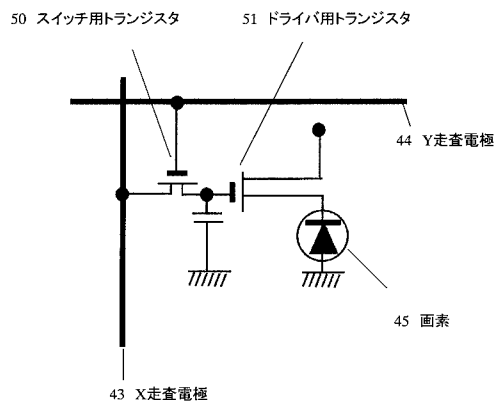
【図13】



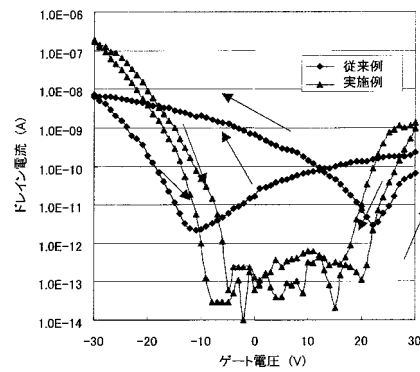
【図14】



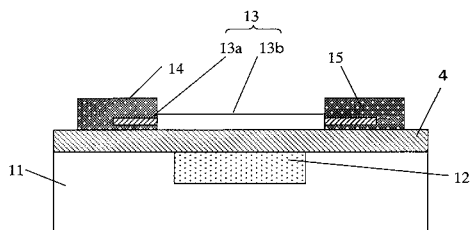
【図15】



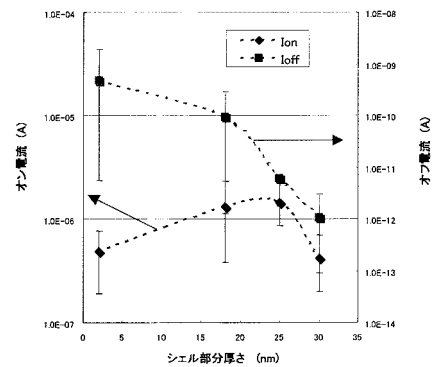
【図17】



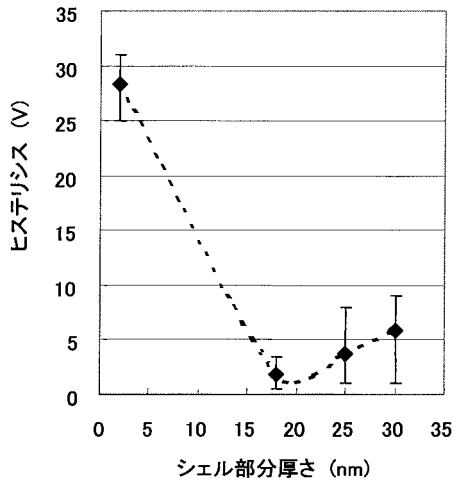
【図16】



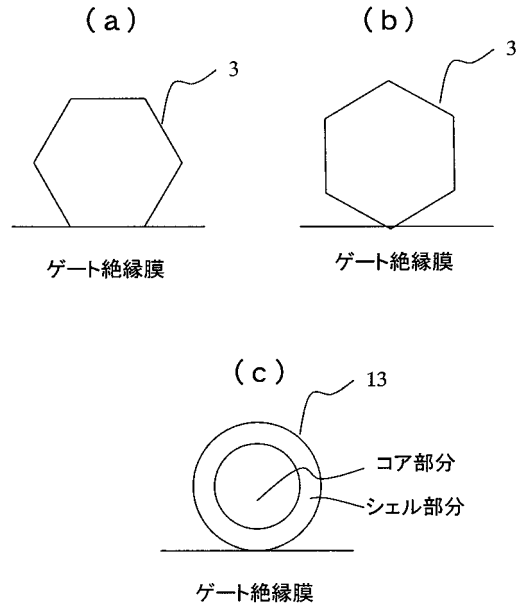
【図18】



【図19】

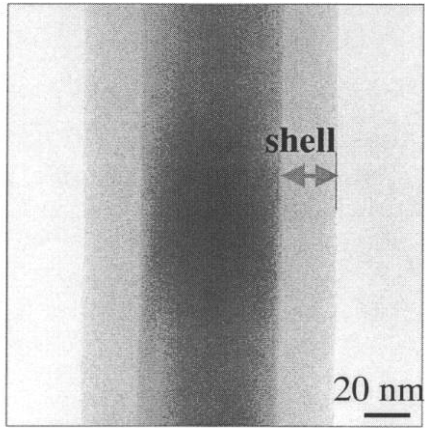


【図20】

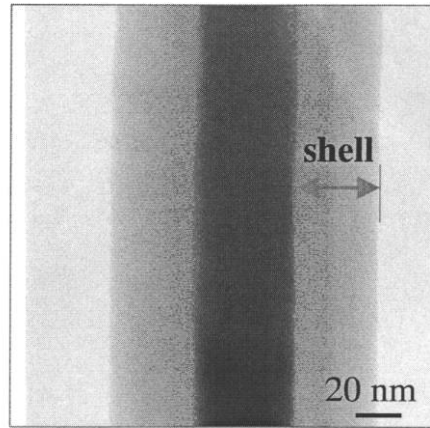


【図5】

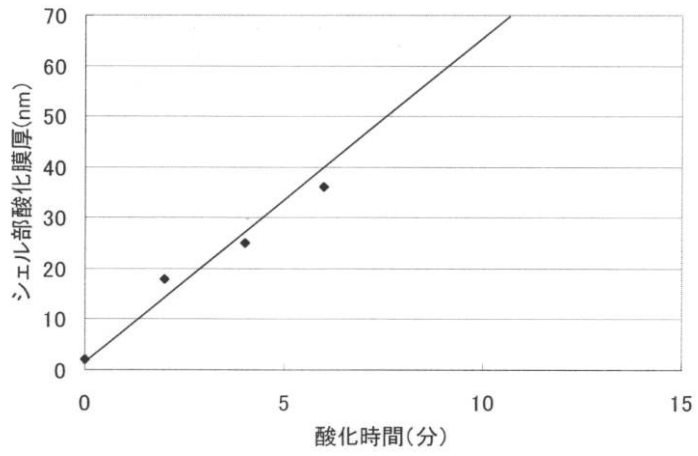
(a)



(b)

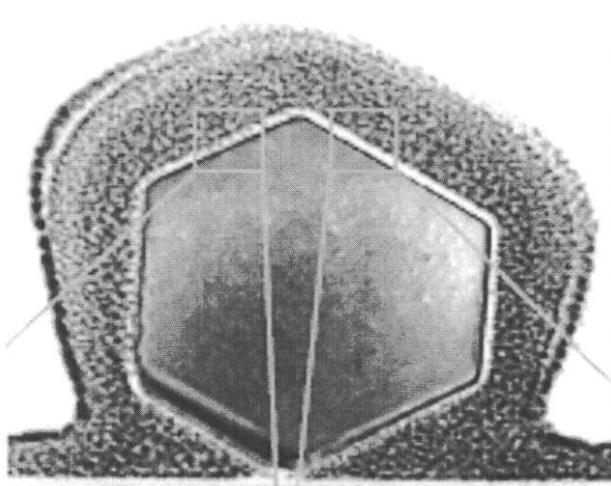


(c)

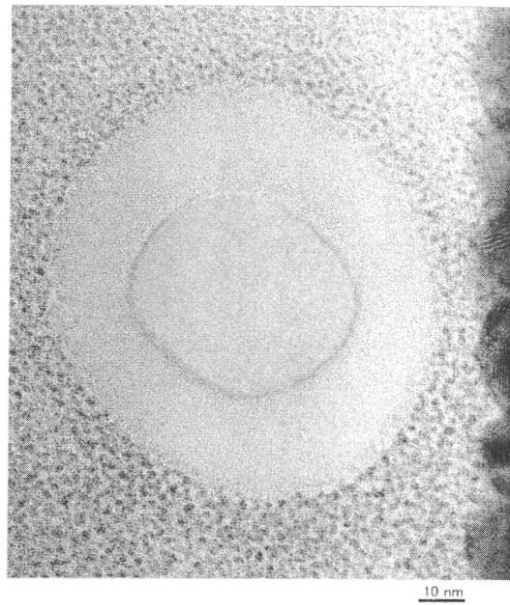


【 図 6 】

(a)



(b)



フロントページの続き

(51)Int.Cl. F I
 H 0 1 L 29/78 6 1 6 T
 H 0 1 L 29/78 6 1 7 K
 H 0 1 L 29/78 6 1 7 U

(72)発明者 七井 識成
 大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72)発明者 竹内 孝之
 大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 柴山 将隆

(56)参考文献 特表2006-501690(JP,A)
 国際公開第2004/111319(WO,A1)
 特開昭62-290155(JP,A)
 特開2002-075907(JP,A)
 特開2006-080519(JP,A)
 Volker Schmidt etc. , Diameter-Dependent Growth Direction of Epitaxial Silicon Nanowires , NANO LETTERS , 2005年 3月24日 , Vol.5, No.5, 2005, 931-935
 Yufeng Zhao etc. , What is the Ground-State Structure of the Thinnest Si Nanowires? , Physical Review Letters , 2003年 7月17日 , Vol.91, No.3, 035501-1 - 035501-4
 S.Sharma, T.T.Kamins, R.Stanley Williams , Diameter Control of Ti-catalayzed silicon nanowires , Journal of Crystal Growth , 2004年 4月20日 , 267, 613-618

(58)調査した分野(Int.Cl. , DB名)
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 9 / 0 6
 H 0 1 L 2 9 / 4 1
 H 0 1 L 2 9 / 7 8 6