

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5614791号
(P5614791)

(45) 発行日 平成26年10月29日 (2014. 10. 29)

(24) 登録日 平成26年9月19日 (2014. 9. 19)

(51) Int. Cl. F I
 HO 4 L 25/49 (2006. 01) HO 4 L 25/49 H
 HO 4 L 25/493 (2006. 01) HO 4 L 25/493

請求項の数 5 (全 19 頁)

(21) 出願番号	特願2008-48313 (P2008-48313)	(73) 特許権者	000004237
(22) 出願日	平成20年2月28日 (2008. 2. 28)		日本電気株式会社
(65) 公開番号	特開2009-206958 (P2009-206958A)		東京都港区芝五丁目7番1号
(43) 公開日	平成21年9月10日 (2009. 9. 10)	(74) 代理人	100085235
審査請求日	平成23年1月18日 (2011. 1. 18)		弁理士 松浦 兼行
		(73) 特許権者	500174247
			マイクロンメモリジャパン株式会社
			東京都中央区八重洲2-2-1
		(72) 発明者	齋藤 英彰
			東京都港区芝5丁目7番1号 日本電気株式会社内
		(72) 発明者	池田 博明
			東京都中央区八重洲2-2-1 エルピーダメモリ株式会社内

最終頁に続く

(54) 【発明の名称】 伝送方法、伝送回路及び伝送システム

(57) 【特許請求の範囲】

【請求項1】

3線以上の配線を介して伝送データを伝送する伝送方法において、
 各配線により、クロックの1クロックサイクルあたり1回の立ち上がり又は立ち下りの
 振幅遷移を有し、かつ、前記クロックのエッジから前記振幅遷移までの2つ以上の位相に
 より、1ビット以上の値を有するデータを伝送すると共に、伝送する別のデータの1ビット
 以上の値に応じて、前記クロックの連続する前記配線と同数のクロックサイクルにおい
 て前記3線以上の配線のうち前記振幅遷移があるクロックサイクルの位置により伝送する
 一つの配線を選択して、データを伝送することを特徴とする伝送方法。

【請求項2】

L本の配線へ伝送データを伝送する伝送回路において、
 クロックをN逡倍（Nは2以上の自然数で、かつ、前記Lの値が3以上の自然数である
 か、又は、Nは3以上の自然数で、かつ、前記Lの値が2以上の自然数）して得た逡倍ク
 ロックを生成する逡倍クロック生成手段と、
 前記逡倍クロックをカウントして前記クロックの1クロックサイクルで一巡するカウン
 ト値を得るカウント手段と、
 伝送するMビットデータ（Mは2以上の自然数）のうち（M-K）ビット（Kは1以上
 でM未満の自然数）の値と前記カウント手段のカウント値とが一致するか否かを検出する
 検出手段と、

L個の信号を出力すると共に、そのL個の信号のうち1つの信号のみが前記Mビットデ

ータのうち残りの K ビットの値に基づいて、前記クロックの1クロックサイクルあたり所定論理値となるようにデコードするデコード手段と、

前記検出手段の出力信号と、前記デコード手段からの L 個の信号とに基づいて、前記クロックの1クロックサイクルで、前記 L 本の配線で伝送される信号のうちの一つの配線で伝送される信号のみが振幅遷移し、その振幅遷移の立ち上がりあるいは立ち下がりのエッジは前記クロックのエッジから N 相のいずれかの位相ずれをもつ L 個の信号を、前記 L 本の配線のそれぞれで伝送する伝送データとして生成するデータ生成手段と

を有することを特徴とする伝送回路。

【請求項3】

伝送する M ビットデータ (M は2以上の自然数)のうちクロックの1クロックサイクルで、 L 本の配線で伝送される信号のうちの一つの配線で伝送される信号のみが K ビット (K は2以上の自然数)のデータに基づいて振幅遷移し、その振幅遷移の立ち上がりあるいは立ち下がりのエッジは残りの $(M-K)$ ビットのデータに基づいて前記クロックのエッジから N 相 (N は2以上の自然数で、かつ、前記 L の値が3以上の自然数であるか、又は、 N は3以上の自然数で、かつ、前記 L の値が2以上の自然数)のいずれかの位相ずれをもつ L 個の信号を、前記 L 本の配線のそれぞれを介して受信する伝送回路であって、

前記 L 本の配線を介して受信した L ビットの伝送データに対して所定の論理演算を行って、前記 N 相のいずれの位相ずれであるかを検出する位相検出手段と、

前記位相検出手段の検出結果に基づいて、前記 $(M-K)$ ビットのデータを復元する第1の復元手段と、

前記 L 本の配線を介して受信した L ビットの伝送データに対して、論理演算及びエンコード処理を行って前記 L 本の配線のうちどの配線の伝送データが振幅遷移したかを示す K ビットデータを出力する変換手段と、

前記変換手段から出力された K ビットデータを復元する第2の復元手段と

を有することを特徴とする伝送回路。

【請求項4】

第1の半導体チップから L 本のチップ間配線を介して第2の半導体チップへ伝送データを伝送する伝送システムにおいて、

前記第1の半導体チップは、

クロックを N 通倍 (N は2以上の自然数で、かつ、前記 L の値が3以上の自然数であるか、又は、 N は3以上の自然数で、かつ、前記 L の値が2以上の自然数)して得た通倍クロックを生成する通倍クロック生成手段と、

前記通倍クロックをカウントして前記クロックの1クロックサイクルで一巡するカウント値を得るカウント手段と、

伝送する M ビットデータ (M は2以上の自然数)のうち $(M-K)$ ビット (K は1以上で M 未満の自然数)の値と前記カウント手段のカウント値とが一致するか否かを検出する検出手段と、

L 個の信号を出力すると共に、その L 個の信号のうち1つの信号のみが前記 M ビットデータのうち残りの K ビットの値に基づいて、前記クロックの1クロックサイクルあたり所定論理値となるようにデコードするデコード手段と、

前記検出手段の出力信号と、前記デコード手段からの L 個の信号とに基づいて、前記クロックの1クロックサイクルで、前記 L 本の配線で伝送される信号のうちの一つの配線で伝送される信号のみが振幅遷移し、その振幅遷移の立ち上がりあるいは立ち下がりのエッジは前記クロックのエッジから N 相のいずれかの位相ずれをもつ L 個の信号を、前記 L 本の配線のそれぞれで伝送する L ビット伝送データとして生成するデータ生成手段と、を有し、

前記第2の半導体チップは、

前記 L 本のチップ間配線を介して前記第1の半導体チップから受信した L ビットの伝送データに対して所定の論理演算を行って、前記 N 相のいずれの位相ずれであるかを検出する位相検出手段と、

10

20

30

40

50

前記位相検出手段の検出結果に基づいて、前記(M-K)ビットのデータを復元する第1の復元手段と、

前記L本のチップ間配線を介して前記第1の半導体チップから受信したLビットの伝送データに対して、論理演算及びエンコード処理を行って前記L本のチップ間配線のうちのチップ間配線の伝送データが振幅遷移したかを示すKビットデータを出力する変換手段と、

前記変換手段から出力されたKビットデータを復元する第2の復元手段と、を有することを特徴とする伝送システム。

【請求項5】

前記配線は、積層されている前記第1及び第2の半導体チップを貫通する貫通配線であることを特徴とする請求項4記載の伝送システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は伝送方法、伝送回路及び伝送システムに係り、特に半導体チップを複数枚有する半導体装置において、半導体チップ間でデータ伝送する伝送方法、伝送回路及び伝送システムに関する。

【背景技術】

【0002】

近年、半導体集積回路の微細化によって集積密度が向上し、中央処理装置(CPU)の高性能化やメモリの大容量化が進んできた。しかしながら、半導体集積回路の微細化には限界があるために、更に集積密度を上げるためには新たな技術の導入が求められている。その一技術として半導体チップを積層した半導体装置が提案されている(例えば、特許文献1、2参照)。特許文献1には、半導体チップを積層してチップ面積を変えずに大規模集積回路を実現する手段が記載されており、半導体集積回路本体の上に積層した別チップにメモリ回路を集積している。また、特許文献2には、メモリセルアレイを多層化してさらに大容量化した多層メモリ構造が記載されている。

【0003】

図16は、チップ積層半導体装置の一例の断面模式図を示す。半導体チップ120を多層化した場合には、今までのチップ面内の配線に加えて、さらにチップ間の配線が必要となる。このチップ間の配線として、配線密度を高めるためにチップの半導体基板の表面から裏面を貫通した貫通配線121がある。なお、122は、絶縁膜を示す。非特許文献1には、半導体チップのSi基板を50µmまで薄膜化し、基板に表面から裏面まで貫通する10µm角の孔を開けて、そこにメタルを充填してチップ間配線用の貫通配線を形成している。この貫通配線により、チップ間配線はチップ面内で2次元に配置でき、数百本のチップ間配線も可能になる。このような多層化した半導体チップ間では、貫通配線を介してデータを伝送することが行われる。

【0004】

図17は、上記の半導体チップ間でデータ伝送を行う伝送回路の一例の構成図を示す。この伝送回路は、送信側チップ10と受信側チップ20との間で貫通配線15を介して1ビット2値のデジタル伝送をする伝送回路である。図18は、図17の伝送回路において2ビット分を並列に伝送した場合の波形図を示す。

【0005】

図17の伝送回路において、送信側チップ10内のフリップフロップ11からチップ間同期クロックの立ち上がりエッジのタイミングで送信したデータは、出力バッファ12を経て送信側チップ10外へ送られる。図18(A)は、上記のチップ間同期クロックCLKを示す。送信側チップ10は、そのクロックのクロックサイクルの1番目で「1」、2番目で「2」、3番目で「0」、4番目で「3」の値を持つデータを、同図(B)に示すData0と同図(C)に示すData1の1ビット2値で送信する。なお、2ビットを並列で伝送するにはフリップフロップ10及び出力バッファ12からなる回路部が2つ必

10

20

30

40

50

要である。同様に、受信側チップ20も図17の構成の回路部が2つ必要になる。

【0006】

送信側チップ10から送信されたデータは、貫通配線15を伝送して受信側のチップ20に入力される。受信側チップ20は、信号入力端子にESD保護素子21が設けられており、受信したデータを入力バッファ22を経て、フリップフロップ23のデータ入力端子に入力する。フリップフロップ23は、そのクロック入力端子に入力されるクロックの立ち上がりエッジのタイミングでデータ入力端子に入力された受信データを取り込む。図18(D)、(E)は、受信側チップ20のフリップフロップ23で取り込まれた1ビット2値の受信データData0、data1を示す。ここで、送信側チップ10のクロックと受信側チップ20のクロックは同期したタイミングを持つ。

10

【0007】

「0」と「1」の2値のデジタル伝送を行う図17の伝送回路においては、伝送データにより貫通配線15の寄生容量と受信側チップ20内のESD保護素子21の容量を充放電する。その充放電回数は、伝送データが「1」から「1」、「1」から「0」、「0」から「0」、「0」から「1」への4つのデータ遷移パターンのうち、「1」から「0」が放電、「0」から「1」が充電となるので、充電あるいは放電が1回で充放電回数が1であると定義すると、1ビット伝送する場合の充放電回数は1クロックサイクルあたり平均0.5回となる。

【0008】

上記の伝送回路においては、貫通配線15を使ってチップ間の信号伝送を行う際に、貫通配線15の寄生容量とESD保護素子21の容量とを充放電するために大きな電力を消費するという問題がある。すなわち、太さが1 μ m以下のチップ面内の配線とは異なり、貫通配線は10 μ m以上の太さが必要である。これは、貫通配線のプロセス同士で貫通配線の位置を合わせるためにチップ間の目合わせ精度である数 μ mより一桁大きいサイズの貫通配線が必要なためである。

20

【0009】

貫通配線の太さが大きいために、基板との寄生容量がチップ面内配線と比べて大きい。例えば、断面が直径20 μ mの円状の貫通配線が250nm厚の絶縁膜を挟んでSi半導体基板を貫通している場合の配線容量は、基板の厚さが50 μ m、つまり貫通配線長50 μ mでは0.45pFである。チップ面内で通常使われている面内配線が1mmあたり0.2pF程度であることから、面内配線に比べて貫通配線の寄生容量は単位長さあたり45倍になる。さらに、チップ間伝送の場合には、チップの信号入力端子にESD保護素子をつけることも必要で、これによる付加容量もある。その結果、貫通配線15を使ってチップ間の信号伝送を行う際に、容量を充放電するために大きな電力を消費してしまう。

30

【0010】

このように、貫通配線を使う場合に消費電力が問題となるチップ間伝送において、チップ間伝送の充放電電力を低減するためには、2値デジタル伝送よりも少ない充放電回数で同じデータ量を送る必要がある。言い換えると、同じ充放電回数でより多くのデータ量を送る必要がある。例えば、伝送信号の振幅を多電位にして、より多くの値を伝送する方法がある。多電位を使わない方法としては、パルス幅を多段階にするパルス幅変調してデータを伝送する方法が知られている(例えば、特許文献3参照)。この特許文献3には、1クロックサイクルで異なるパルス幅を使ってデータを多重にして伝送している。

40

【0011】

【特許文献1】特開平4-196263号公報

【特許文献2】特開2002-26283号公報

【特許文献3】特開2005-79873号公報

【非特許文献1】K.Takahashi et al., Japanese Journal of Applied Physics, 40, 3032(2001)

【発明の開示】

【発明が解決しようとする課題】

50

【 0 0 1 2 】

しかしながら、伝送信号の振幅を多電位にすることで、2値デジタル伝送よりも少ない充放電回数で同じデータ量を送ることで充放電電力を低減する方法は、多電源が必要であることや、低振幅の信号がノイズの影響を受け易いという問題がある。

【 0 0 1 3 】

更に、貫通配線を使う場合に消費電力が問題となるチップ間伝送において、特許文献3に記載されたパルス幅変調したデータを伝送する方法は、以下の問題がある。図19は、パルス幅変調伝送を使って1配線で3ビット分を送る4値伝送の送信波形を示す。ここでは、図19(A)に示すクロックCLKの1クロックサイクル内で4段階のパルス幅を使い、パルス幅が最も短い場合は「0」、以下パルス幅が長くなるほど「1」、「2」、「3」の値のデータを伝送するものとする。従って、図19(B)に示すパルス幅変調された伝送データは、「1」、「2」、「0」、「3」の値の順でデータが伝送される場合を示しており、図18に示したデジタル伝送と同じデータ順である。

10

【 0 0 1 4 】

ここで、充放電回数は1クロックサイクルあたり充電と放電が1回ずつ、合計2回になる。1ビットで2値のデジタルデータを伝送するデジタル伝送回路と同じデータ量を伝送するには、配線数は半分になるが、充放電回数は2倍になる。パルス幅変調方式の充放電回数を上記のデジタル伝送回路より増やさないためには、1配線で4ビット分の16値伝送よりも大きい多値で伝送することが必要となる。従って、パルス幅変調伝送を行う伝送回路では、上記のデジタル伝送回路よりも消費電力を増やさないためには、クロックサイ

20

【 0 0 1 5 】

本発明は以上の点に鑑みなされたもので、チップ間でデータ伝送する場合に貫通配線を使う場合であっても、多電位伝送のような多電源を用いず、かつ、パルス幅変調データ伝送方式で必要とされる高速クロックあるいは高速遅延制御を用いず、1ビットで2値のデジタルデータを伝送する場合と比べて1クロックサイクルあたりのチップ間配線充放電回数を減らして消費電力を削減し得る伝送方法、伝送回路及び伝送システムを提供することを目的とする。

【課題を解決するための手段】

30

【 0 0 1 6 】

上記の目的を達成するため、第1の発明の伝送方法は、3線以上の配線を介して伝送データを伝送する伝送方法において、各配線により、クロックの1クロックサイクルあたり1回の立ち上がり又は立ち下りの振幅遷移を有し、かつ、クロックのエッジから振幅遷移までの2つ以上の位相により、1ビット以上の値を有するデータを伝送すると共に、伝送する別のデータの1ビット以上の値に応じて、クロックの連続する配線と同数のクロックサイクルにおいて3線以上の配線のうち振幅遷移があるクロックサイクルの位置により伝送する一つの配線を選択して、データを伝送することを特徴とする。

【 0 0 1 7 】

また、上記の目的を達成するため、第2の発明の伝送回路は、L本の配線へ伝送データを伝送する伝送回路において、クロックをN逡倍（Nは2以上の自然数で、かつ、Lの値が3以上の自然数であるか、又は、Nは3以上の自然数で、かつ、Lの値が2以上の自然数）して得た逡倍クロックを生成する逡倍クロック生成手段と、逡倍クロックをカウントしてクロックの1クロックサイクルで一巡するカウント値を得るカウント手段と、伝送するMビットデータ（Mは2以上の自然数）のうち（M - K）ビット（Kは1以上でM未満の自然数）の値とカウント手段のカウント値とが一致するか否かを検出する検出手段と、L個の信号を出力すると共に、そのL個の信号のうち1つの信号のみがMビットデータのうち残りのKビットの値に基づいて、クロックの1クロックサイクルあたり所定論理値となるようにデコードするデコード手段と、検出手段の出力信号と、デコード手段からのL個の信号とに基づいて、クロックの1クロックサイクルで、L本の配線で伝送される信号

40

50

のうちの一つの配線で伝送される信号のみが振幅遷移し、その振幅遷移の立ち上がりあるいは立ち下がりのエッジはクロックのエッジからN相のいずれかの位相ずれをもつL個の信号を、L本の配線のそれぞれで伝送する伝送データとして生成するデータ生成手段とを有することを特徴とする。

【0018】

また、上記の目的を達成するため、第3の発明の伝送回路は、伝送するMビットデータ(Mは2以上の自然数)のうちクロックの1クロックサイクルで、L本の配線で伝送される信号のうちの一つの配線で伝送される信号のみがKビット(Kは2以上の自然数)のデータに基づいて振幅遷移し、その振幅遷移の立ち上がりあるいは立ち下がりのエッジは残りの(M-K)ビットのデータに基づいてクロックのエッジからN相(Nは2以上の自然数で、かつ、Lの値が3以上の自然数であるか、又は、Nは3以上の自然数で、かつ、Lの値が2以上の自然数)のいずれかの位相ずれをもつL個の信号を、L本の配線のそれぞれを介して受信する伝送回路であって、L本の配線を介して受信したLビットの伝送データに対して所定の論理演算を行って、N相のいずれの位相ずれであるかを検出する位相検出手段と、位相検出手段の検出結果に基づいて、(M-K)ビットのデータを復元する第1の復元手段と、L本の配線を介して受信したLビットの伝送データに対して、論理演算及びエンコード処理を行ってL本の配線のうちどの配線の伝送データが振幅遷移したかを示すKビットデータを出力する変換手段と、変換手段から出力されたKビットデータを復元する第2の復元手段とを有することを特徴とする。

【0019】

更に、上記の目的を達成するため、第4の発明の伝送システムは、第1の半導体チップからL本のチップ間配線を介して第2の半導体チップへ伝送データを伝送する伝送システムにおいて、上記の第1の半導体チップは、

クロックをN通倍(Nは2以上の自然数で、かつ、Lの値が3以上の自然数であるか、又は、Nは3以上の自然数で、かつ、Lの値が2以上の自然数)して得た通倍クロックを生成する通倍クロック生成手段と、通倍クロックをカウントしてクロックの1クロックサイクルで一巡するカウント値を得るカウント手段と、伝送するMビットデータ(Mは2以上の自然数)のうち(M-K)ビット(Kは1以上でM未満の自然数)の値とカウント手段のカウント値とが一致するか否かを検出する検出手段と、L個の信号を出力すると共に、そのL個の信号のうち1つの信号のみがMビットデータのうち残りのKビットの値に基づいて、クロックの1クロックサイクルあたり所定論理値となるようにデコードするデコード手段と、検出手段の出力信号と、デコード手段からのL個の信号とに基づいて、クロックの1クロックサイクルで、L本の配線で伝送される信号のうちの一つの配線で伝送される信号のみが振幅遷移し、その振幅遷移の立ち上がりあるいは立ち下がりのエッジはクロックのエッジからN相のいずれかの位相ずれをもつL個の信号を、L本の配線のそれぞれで伝送するLビット伝送データとして生成するデータ生成手段と、を有し、

上記の第2の半導体チップは、

L本のチップ間配線を介して第1の半導体チップから受信したLビットの伝送データに対して所定の論理演算を行って、N相のいずれの位相ずれであるかを検出する位相検出手段と、位相検出手段の検出結果に基づいて、(M-K)ビットのデータを復元する第1の復元手段と、L本のチップ間配線を介して第1の半導体チップから受信したLビットの伝送データに対して、論理演算及びエンコード処理を行ってL本のチップ間配線のうちどのチップ間配線の伝送データが振幅遷移したかを示すKビットデータを出力する変換手段と、変換手段から出力されたKビットデータを復元する第2の復元手段と、を有することを特徴とする。

【発明の効果】

【0020】

本発明によれば、複数の半導体チップを積層又は同一面上に並べた半導体装置において、2ビット以上のデータを半導体チップ間で伝送する際に、振幅遷移の位相及び/又は配線選択を使って1クロックサイクルあたりの配線充放電回数を減らすことで、半導体装置

の消費電力の低減が実現できる。

【発明を実施するための最良の形態】

【0021】

次に、本発明の実施形態について図面を参照して詳細に説明する。

【0022】

本発明は、伝送信号がクロックサイクルあたり1回の立ち上がり、あるいは立ち下がり振幅遷移を持ち、その立ち上がり、あるいは立ち下がりエッジのクロックエッジからの位相によって2ビット以上のデータを伝送することを特徴とする。また、本発明は、クロックサイクル毎に立ち上がりと立ち下がりの振幅遷移を交互に伝送することを特徴とする。また、伝送に使う配線を複数備え、クロックサイクルあたり1つの配線を選択して振幅遷移することを特徴とする。

10

【0023】

(第1の実施形態)

図1は、本発明になる伝送回路及び伝送システムの第1の実施形態のブロック図を示す。本実施形態は、8つの位相を使った多相伝送である8相伝送の構成である。

【0024】

そこで、まず、多相伝送について説明する。図2は多相伝送方式の一例の伝送波形を示す。図2(B)は、時間軸を4分割してデータエッジをずらした4相伝送波形を示しており、同図(A)に示すクロックCLKの立ち上がりエッジからのデータ振幅の立ち上がり(あるいは、立ち下がり)の位相を使った多相伝送方式の送信波形を示す。

20

【0025】

図2に示す4相伝送方式では、図19のパルス幅変調伝送方式と同じデータ量を同じ配線数で伝送することになるが、充放電回数は半分で済む。この4相を使った伝送では、図17に示した伝送回路で2ビットデータを伝送する場合と、同じ充放電回数になる。従って、2ビットデータを伝送する伝送回路よりも充放電回数を減らすことで低消費電力化するためには、4相よりも多い位相を使って伝送することになる。

【0026】

図3は8相伝送波形の一例を示す波形図である。すなわち、図3(B)は、時間軸を8分割してデータエッジをずらした8相伝送波形を示しており、同図(A)に示すクロックCLKの立ち上がりエッジからのデータ振幅の立ち上がり(あるいは、立ち下がり)の位相を使った8相伝送方式の送信波形を示す。1つのチップ間配線にて8相伝送方式でデータ伝送する場合には、後述するように3ビットデータを伝送できるので、チップ間回線の充放電回数は、図17に示したデジタル伝送回路を使って2ビットを伝送する場合の充放電回数の2/3になる。

30

【0027】

さらに、16相伝送方式の場合は1つのチップ間配線にて4ビットデータを伝送することができるので、その場合の充放電回数は、図17に示したデジタル伝送回路により2ビットデータを伝送する場合に比べて充放電回数を半分まで減らすことができ、低消費電力化することが可能になる。

【0028】

再び図1に戻って説明する。本実施形態の伝送システムは、送信側の半導体チップ(以下、送信側チップという)30と受信側の半導体チップ(以下、受信側チップという)40とが貫通配線50で接続されており、送信側チップ30からデータを8相伝送方式で貫通配線50を介して受信側チップ40へ伝送する。送信側チップ30と受信側チップ40とは、実際には図5の斜視図に模式的に示すように積層され、それらの間のチップ間配線を貫通配線50とした構成であるが、図1では説明の便宜上、送信側チップ30と受信側チップ40とを横に並べて、3ビット伝送に必要な回路と貫通配線50だけを図示している。

40

【0029】

図1において、送信側チップ30は、各々1ビットの送信データData0、Data

50

1、Data 2がデータ入力端子に入力されるフリップフロップ31、32、33と、クロックCLKを8通倍したクロックCK8をカウントするカウンタ34と、入力端子A、Bにそれぞれ入力された3ビットのデータの値を大小比較するデジタルコンパレータ35と、クロックCLKを1/2倍の周波数に分周する分周器36と、デジタルコンパレータ35の出力信号又はその逆極性の出力信号を選択するセレクタ37と、出力バッファ38とからなる。

【0030】

また、受信側チップ40は、入力端子に接続されたESD保護素子41と、受信データを緩衝増幅する入力バッファ42と、クロックCLKを1/2倍の周波数に分周する分周器43と、入力信号又はその逆極性の入力信号を選択するセレクタ44と、クロックCLKを8通倍したクロックCK8をダウンカウントするダウンカウンタ45と、ダウンカウンタ45の3ビットの出力信号の各ビットがそれぞれデータ入力端子に供給されるフリップフロップ46、47及び48とからなる。

10

【0031】

次に、本実施形態の動作について、図4のフローチャートを併せ参照して説明する。まず、送信側チップ30の内部の3ビットの送信データは、図4(B)、(C)、(D)に示すように各1ビットの送信データ0、1、2とされて、フリップフロップ31、32、33に同図(A)に示すクロックCLKの立ち上がり同期して取り込まれた後、デジタルコンパレータ35の入力端子Aに3ビットデータとして印加される。

【0032】

20

一方、8ビットのカウンタ34は、上記のクロックCLKの周波数を8通倍して得られた図4(E)に示すクロックCK8をアップカウントすることにより、同図(F)に示すように、値が「0」から1ずつカウントアップしていき「7」に達した後「0」に戻るような、値が「0」～「7」で一巡する3ビットのカウント値をデジタルコンパレータ35へ出力する。デジタルコンパレータ35は、入力端子Aに入力されるフリップフロップ31～33からの3ビットの送信データと、入力端子Bに入力されるカウンタ34からの3ビットのカウント値とを大小比較し、入力端子Aの入力の値が入力端子Bの入力の値以下であるとき、すなわちカウンタ値が3ビットの送信データの値以上であるときに、図4(G)に示すようにハイレベルの信号を出力し、それ以外の場合はローレベルの信号を出力する。

30

【0033】

セレクタ37は、デジタルコンパレータ35から出力された信号と同一極性の信号と逆極性の信号とを、分周器36からのクロックCLKの1/2倍の周波数の制御信号に基づいて、1クロックサイクル毎に交互に選択する。従って、このセレクタ37からは、1クロックサイクルで立ち上がりか立ち下がり whichever に1回振幅遷移する波形の、図4(H)に示す信号が出力される。ここで、上記のカウンタ値は、立ち上がりあるいは立ち下がりエッジのクロックエッジからの位相(1クロックサイクル180度を8分割した分割単位の位相)を示しており、セレクタ37の出力信号の振幅遷移の位置(位相)によって「0」～「7」までの値をもつ3ビットのデータの値を識別させることができる。出力バッファ38は、このセレクタ37から出力された信号を送信側チップ30の外部の貫通配線50へ出力する。

40

【0034】

受信側チップ40では、貫通配線50から入力した図4(H)に示す信号を入力バッファ42で受けてセレクタ44に受信データとして供給する。セレクタ44は、入力バッファ42から出力された信号と同一極性の信号と逆極性の信号とを、分周器43からのクロックCLKの1/2倍の周波数の制御信号に基づいて、1クロックサイクル毎に交互に選択してダウンカウンタ45のリセット端子RSTに入力する。このダウンカウンタ45のリセット端子RSTの入力信号(以下、リセット信号ともいう)は、図4(I)に示される。

【0035】

50

ダウンカウンタ45は、クロックCLKの周波数を8通倍して得られた図4(E)に示すクロックCK8をダウンカウントする。ここで、ダウンカウンタ45は、リセット信号がローレベルの時には3ビットの最大値「7」を出力し、リセット信号がハイレベルの時にはクロックCK8に同期して値が「7」から1ずつカウントダウンしていき「0」に達した後「7」に戻るような、値が「7」~「0」で一巡する3ビットのカウント値を出力する。ダウンカウンタ45のリセットはクロック同期式であり、リセット値が変化した次のクロックでカウント値はリセットされる。

【0036】

これにより、ダウンカウンタ45からは、図4(J)に示すような値の3ビットの信号が出力されて、その各1ビットがフリップフロップ46、47及び48の各データ入力端子に印加される。フリップフロップ46、47及び48は、図4(A)に示すチップ間同期クロックCLKがクロック端子に共通に印加されており、このチップ間同期クロックCLKの例えば立ち上がりのタイミングで、データ入力端子に印加された信号を取り込む。その結果、フリップフロップ46、47及び48のQ出力端子からは、図4(K)、(L)、(M)に示すように、送信側チップ30から送信されたデータと同じ値の各1ビットのデータが取り出され、3ビットデータに復元されて、受信側チップ40の内部の回路(図示せず)へと送られる。

10

【0037】

この本実施形態によれば、8相伝送により1クロックサイクルあたり1回振幅遷移する波形の伝送データを貫通配線50を介して受信側チップ40へ伝送するため、貫通配線50の1クロックサイクルあたり1回の充放電で送信側チップ30から受信側チップ40へ3ビットデータを伝送することができる。これにより、本実施形態によれば、3ビットデータを3つの貫通配線を使って伝送する伝送回路と比べて配線の充放電回数を2/3に減らすことができ、容量の大きい貫通配線50からなるチップ間配線とESD保護素子41を用いたチップ間伝送を低消費電力にすることができる。

20

【0038】

すなわち、本実施形態によれば、チップ間でデータ伝送する場合に貫通配線を使う場合であっても、多電位伝送のような多電源を用いず、かつ、パルス幅変調データ伝送方式で必要とされる高速クロックあるいは高速遅延制御を用いず、1ビットで2値のデジタルデータを伝送する場合と比べて1クロックサイクルあたりのチップ間配線充放電回数を減らして消費電力を削減することができる。

30

【0039】

なお、本実施の形態は8相伝送であるが、図17に示したデジタル伝送回路よりも充放電回数を減らすためには、4相よりも大きい位相の数であればよい。例えば、16相伝送では、1クロックサイクルで4ビット分のデータを1回の充放電で伝送できるので、充放電回数は図17に示したデジタル伝送回路よりも半減し、消費電力を8相伝送よりもさらに低減することができる。

【0040】

(第2の実施形態)

図6は、本発明になる伝送回路及び伝送システムの第2の実施形態のブロック図を示す。同図中、図1と同一構成部分には同一符号を付し、その説明を省略する。本実施形態も、第1の実施形態と同様に8つの位相を使った多相伝送である8相伝送の構成である。本実施形態は、図1の第1の実施形態と比べて、送信側チップ60のセクタ37と出力バッファ38の間に8通倍のクロックCK8がクロック入力端子に印加されるフリップフロップ61を追加している点に特徴がある。

40

【0041】

図7は図6の各部の信号波形図を示す。図7(A)に示すクロックCLK、同図(B)~(D)に示す3ビットの送信データ、同図(E)に示す8通倍クロックCK8、同図(F)に示すカウンタ35の出力カウンタ値、同図(G)に示すデジタルコンパレータ35の出力信号は、図4(A)~(G)の各信号と同一である。また、図7(J)~(M)に

50

示す信号も、図4(J)~(M)に示す信号と同一である。フリップフロップ61を設けることにより、出力バッファ38から貫通配線50への出力波形に、セクタ37の選択切り替え時のノイズパルスがのることを避けることができる。

【0042】

ただし、本実施形態では、フリップフロップ61を追加したことにより、チップ間伝送波形、すなわちフリップフロップ61から出力バッファ38を介して貫通配線50へ出力される信号波形は、図7(H)に示す如くになり、これによりダウンカウンタ45のリセット信号波形も図7(I)に示す如くになり、それぞれクロックCLKの1クロックサイクルの8分の1だけ遅延する。そこで、本実施形態では、受信側のダウンカウンタ45のリセットはクロック非同期式にして、リセット値が変化した時にすぐにカウンタ値の出力をリセットする。

10

【0043】

(第3の実施形態)

図8は、本発明になる伝送回路及び伝送システムの第3の実施形態の送信側チップのブロック図を示す。同図中、図1と同一構成部分には同一符号を付し、その説明を省略する。本実施形態の送信側チップ70は、チップ内部の3ビットのデータを、8通倍のクロックCK8を使ってカウンタ34で生成された3ビットのアップカウント値と比較して、同じ値になった時にハイレベルの信号を出力するデジタルコンパレータ71を使用する。

【0044】

図9(A)はクロックCLKの波形、同図(B)~(D)は3ビットの送信データData0~Data2、同図(E)は上記の8通倍したクロックCK8の波形、同図(F)はカウンタ34の出力カウント値を示す。これにより、デジタルコンパレータ71の出力信号は、図9(G)に示すように、3ビットの送信データの値とカウンタ34の出力カウント値とが一致したときのみ、ハイレベルとなる。

20

【0045】

図8において、デジタルコンパレータ71の出力信号は、セクタ72の制御信号として供給される。セクタ72は、出力信号をフリップフロップ73のデータ入力端子に供給する。フリップフロップ73は、8通倍したクロックCK8がクロック入力端子に入力され、Q出力端子の出力信号を出力バッファ38とセクタ72の非反転入力端子と反転入力端子にそれぞれ供給する。セクタ72はデジタルコンパレータ71からの制御信号がハイレベルとなった時に、フリップフロップ73から出力された信号を極性反転して(すなわち、反転入力端子に入力された信号を出力して)フリップフロップ73のデータ入力端子に供給する。これにより、フリップフロップ73からは図9(H)に示す信号が送信データとして出力される。この送信データの波形は、図7(H)に示した第2の実施形態の送信データと同様の波形である。

30

【0046】

本実施形態の送信側チップ70から出力された送信データを、貫通配線を通して受信する受信側チップの構成は、図6の受信側チップ40と同一構成である。また、その受信側チップの各部の信号波形は、図7と同様である。

【0047】

本実施形態も、フリップフロップ73を設けることにより、出力バッファ38から貫通配線への出力波形に、セクタ72の選択切り替え時のノイズパルスがのることを避けることができる。

40

【0048】

(第4の実施形態)

図10は、本発明になる伝送回路及び伝送システムの第4の実施形態のブロック図を示す。本実施形態は、上記の各実施形態における多相伝送に加えて、更に充放電回数を減らすために配線選択を使った多線伝送を併用した場合の構成である。

【0049】

そこで、まず、多相伝送に多線伝送を併用した場合について図11の波形図と共に説明

50

する。多相伝送では、1クロックサイクルで1本の配線について必ず立ち上がりあるいは立ち下りのいずれかに振幅を遷移させる。これに対し、多線伝送の併用では、複数の配線を備え、1クロックサイクルでいずれか一本の配線を選択して、立ち上がりあるいは立ち下りのいずれかで振幅遷移させる。これにより、どの配線を使ったかという情報が付加される。

【0050】

図11の場合には、(A)に示すクロックCLKの連続する4つのクロックサイクルのうちの何番目のクロックサイクルで伝送データの立ち上がり又は立ち下りの振幅遷移があるかにより、伝送する4本のチップ間配線A~Dのどの配線を使用しているかを示している。すなわち、図11(A)に示す1番目のクロックサイクルで伝送データの立ち上がりがあるときは同図(B)に示すように配線Aを、2番目のクロックサイクルで伝送データの立ち上がりがあるときは同図(D)に示す配線Cを、3番目のクロックサイクルで立ち下りがあるときは同図(E)に示すように配線Dを、4番目のクロックサイクルで立ち上がりがあるときは同図(C)に示すように配線Bを、それぞれ選んでその配線で伝送されるように、信号の立ち上がりあるいは立ち下りエッジを発生させてデータ伝送している。

10

【0051】

この配線選択の多線伝送では、各クロックサイクルで2ビット相当のデータ量になる。更に、4相伝送も同時に行う場合は、立ち上がりあるいは立ち下りのエッジは各サイクルで位相を変えて2ビット分の情報を載せることができる。従って、4相4線伝送では、1クロックサイクルあたり合計で4ビット分のデータ伝送を1回の充放電で行うことができる。これにより、時間軸で4分割しかしていないにもかかわらず、図17に示したデジタル伝送回路の充放電回数と比べて、同じデータ量を送るのに半分の充放電回数にすることができ、消費電力を低減することができる。

20

【0052】

再び図10に戻って説明する。本実施形態は、送信側チップ80から4ビットの送信データを4本の貫通配線110a~110dで受信側チップ90に伝送する4相4線式伝送の伝送システムである。ここで、それぞれ半導体チップである送信側チップ80と受信側チップ90を積層し、チップ間配線を貫通配線としたものである。しかし、図10では説明の便宜上、送信側チップ80と受信側チップ90を横に並べて、4ビットデータの伝送に必要な回路とチップ間配線のみを図示した。

30

【0053】

送信側チップ80は、各々1ビットの送信データData0、Data1、Data2、Data3がデータ入力端子に入力されるフリップフロップ81a、81b、81c、81dと、クロックCLKを4逓倍したクロックCK4をアップカウントするカウンタ82と、入力端子A、Bにそれぞれ入力された2ビットのデータの値の一致/不一致を検出するデジタルコンパレータ83と、2ビットのデータをデコードして4ビットデータを出力するデコーダ(DEC)84と、デコーダ84からの各ビットとデジタルコンパレータ83の出力信号との論理積をとるAND回路85a、85b、85c、85dと、セレクタ86a、86b、86c、86dと、クロックCK4に同期してセレクタ86a、86b、86c、86dの各出力信号を取り込むフリップフロップ87a、87b、87c、87dと、出力バッファ88a、88b、88c、88dとからなる。

40

【0054】

また、受信側チップ90は、貫通配線110a、110b、110c、110dに接続されている入力端子に接続されたESD保護素子91a、91b、91c、91dと、受信データの各1ビットを緩衝増幅する入力バッファ92a、92b、92c、92dと、2段の排他的論理和(以下、XORと記す)回路93と、クロックCLKを1/4周期位相シフトして得た1/4シフトCLKに同期して動作するフリップフロップ94a、94b、94c、94dと、フリップフロップ94a、94b、94c、94dの入力信号と出力信号がそれぞれ供給される2入力XOR回路95a、95b、95c、95dと、クロ

50

ックCLKを1/2倍の周波数に分周する分周器96と、入力信号又はその逆極性の入力信号を選択するセクタ97と、クロックCLKを4通倍したクロックCK4をダウンカウントするダウンカウンタ98と、XOR回路95a~95dの各出力信号をエンコードするエンコーダ(ENC)99と、ダウンカウンタ98の2ビットの出力信号の各ビットがそれぞれデータ入力端子に供給されるフリップフロップ100a及び100bと、エンコーダ99の2ビットの出力信号の各ビットがそれぞれデータ入力端子に供給されるフリップフロップ100c及び100dとからなる。

【0055】

次に、本実施形態の動作について、図12のフローチャートを併せ参照して説明する。まず、送信側チップ80は、内部の4ビット送信データの各1ビットデータData0、Data1、Data2、Data3(図12(B)、(C)、(D)、(E))をフリップフロップ81a、81b、81c、81dにより、図12(A)に示すクロックCLKの立ち上がり同期して取り込む。なお、4ビット送信データは、Data0がLSB、Data3がMSBであるものとする。

10

【0056】

4相伝送のために、フリップフロップ81a、81b、81c、81dに取り込まれた各1ビットの送信データのうち、下位側の2ビットの送信データはフリップフロップ81a、81bからデジタルコンパレータ83の入力端子Bに入力され、上位側の2ビットの送信データはフリップフロップ81c、81dからデコーダ84に供給される。

【0057】

デジタルコンパレータ83は、図12(F)に示す4通倍クロックCK4をアップカウントするカウンタ82から出力される同図(G)に示す2ビットのカウント値の値と、フリップフロップ81a、81bから出力される下位側2ビットの送信データとの値とが一致するかどうか検出し、図12(H)に示すように、一致する時ハイレベルの信号を出力し、不一致の時はローレベルの信号を出力する。

20

【0058】

4線伝送のために、デコーダ84は、フリップフロップ81c、81dから出力される4ビット送信データの残りの上位側の2ビット送信データの値に基づいて、クロックCLKの1クロックサイクルあたり4つの出力信号の一つがハイレベルになるようにデコードする。このデコーダ84から出力された4つの出力信号の一つずつと、デジタルコンパレータ83から出力された信号とをAND回路85a~85dは、それぞれ論理積演算をして、その出力信号をセクタ86a~86dに制御信号として別々に供給する。

30

【0059】

セクタ86a~86dは、4通倍クロックCK4に同期して動作するフリップフロップ87a~87dの各Q出力信号が非反転入力端子と反転入力端子とに供給され、制御信号がハイレベルになった時に反転入力端子に入力されるQ出力信号を選択出力し、制御信号がローレベルの時には、非反転入力端子に入力されるQ出力信号を選択出力する。セクタ86a~86dの各出力信号は、フリップフロップ86a~86dにより4通倍クロックCK4に同期して取り込まれた後、フリップフロップ86a~86dのQ出力端子から出力バッファ88a~88dを経由して送信側チップ80の外部の貫通配線110a~110dへ出力される。

40

【0060】

これにより、貫通配線110a、110b、110c、110dにより伝送される信号は、図12(I)、(J)、(K)、(L)に示すように、クロックCLKの1クロックサイクルで、4本の貫通配線110a~110dで伝送される信号のうち一本の貫通配線で伝送される信号のみが振幅遷移し、その立ち上がりあるいは立ち下がりエッジはクロック立ち上がりエッジから4相のいずれかの位相ずれをもつ。

【0061】

受信側チップ90は、4本の貫通配線110a~110dから入力した信号を入力バッファ92a~92dで受信データとして受ける。受信側チップ90は、これらの受信デー

50

タを送信側チップ80の内部の送信データと同じ4ビットのデジタルデータに復元するために、4相から2ビット分、4線から2ビット分を戻す。

【0062】

受信側チップ90は、4相伝送から2ビット分を戻すために、2段のXOR回路93、分周器96、セクタ97、ダウンカウンタ98、フリップフロップ100a及び100bからなる回路部を用いる。すなわち、まず、2段のXOR回路93は、入力バッファ92a~92dから出力される4つの受信データのうちの1つが振幅遷移したときに振幅遷移する図12(M)に示すような信号を出力する。セクタ97は、このXOR回路93の出力信号を反転入力端子と、非反転入力端子に供給され、分周器96からのクロックCLKの1クロックサイクル毎に反転する制御信号に基づいて、XOR回路93の出力信号と同極性の信号と極性反転した信号とを1クロックサイクル毎に交互に選択してダウンカウンタ98のリセット端子RSTに入力する。

10

【0063】

ダウンカウンタ98は、セクタ97からリセット端子RSTに供給される図12(N)に示すリセット信号がローレベルの場合には、2ビットの最大値「3」を出力し、リセット信号がハイレベルになると4逓倍クロックCK4に同期してカウントダウンする。従って、ダウンカウンタ98からは図12(O)に示すカウント値の2ビット信号が出力される。フリップフロップ100a、100bは、ダウンカウンタ98から出力される上記の2ビットの信号の各1ビットがデータ入力端子に供給され、クロックCLKをその1/4クロックサイクル分位相シフトして得た図12(R)に示す1/4シフトCLKの立ち上がりタイミングでデータ入力端子に入力されたデータを取り込んだ後、Q出力端子から出力する。これにより、フリップフロップ100a、100bのQ出力端子からは、図12(P)、(Q)に示す各1ビットの信号が出力されて受信側チップ90の内部の回路(図示せず)へ送られる。これにより、4相伝送された信号が元の下位2ビットのデジタル信号に戻されたことになる。

20

【0064】

一方、受信側チップ90は、4線伝送から2ビット分を戻すために、フリップフロップ94a~94d、XOR回路95a~95d、エンコーダ99、フリップフロップ100c及び100dからなる回路部を用いる。すなわち、まず、フリップフロップ94a~94dは、入力バッファ92a~92dからの各1ビットの受信データのそれぞれを、1/4シフトCLKに同期して出力する。続いて、XOR回路95a~95dは、上記のフリップフロップ94a~94dのQ出力端子からの出力信号と、そのデータ入力端子の入力受信データとを入力として受け、1クロックサイクル前の信号から値が変化するときハイレベルの信号を出力する。これにより、XOR回路95a、95b、95c、95dの各出力信号は、図12(S)、(T)、(U)、(V)に示す如くなる。

30

【0065】

エンコーダ99は、これらXOR回路95a~95dから出力された信号を入力として受け、その入力信号に基づいて、4本の貫通配線110a~110dの伝送信号のうちのどの貫通配線の伝送信号が振幅遷移したかを示す2ビットデータに変換する。すなわち、エンコーダ99は、XOR回路95a~95dの各出力信号のうち、XOR回路95aの出力信号のみハイレベルのときは「00」、XOR回路95bの出力信号のみハイレベルのときは「10」、XOR回路95cの出力信号のみハイレベルのときは「01」、XOR回路95dの出力信号のみハイレベルのときは「11」の2ビットデータに変換する。

40

【0066】

フリップフロップ100c、100dは、エンコーダ99から出力された上記の2ビットデータの1ビット目と2ビット目がデータ入力端子にそれぞれ印加され、それを1/4シフトCLKの立ち上がりタイミングで取り込んだ後、Q出力端子より出力する。これにより、フリップフロップ100c、100dのQ出力端子からは、図12(W)、(X)に示す各1ビットの信号が出力されて受信側チップ90の内部の回路(図示せず)へ送られる。これにより、4線伝送された信号が元の上位2ビットのデジタル信号に戻された

50

ことになる。こうして、フリップフロップ100a～100dからは4相の2ビット分とを合わせて、4相4線で4ビット分が復元された受信データが出力される。

【0067】

本実施形態によれば、4相4線伝送により、4ビットデータを1クロックサイクルで貫通配線を1回の充放電で別の半導体チップである受信側チップ90へ伝送することができるため、4ビットデータを4本のチップ間配線を使って伝送する伝送回路と比べて配線の充放電回数を半分に減らすことができ、容量の大きい貫通配線とESD端子を使ったチップ間通信を低消費電力にすることができる。

【0068】

なお、本実施形態は4相4線伝送であるが、2ビットデータを1本のチップ間配線を使って伝送する伝送回路よりも充放電回数を減らすためには、2相2線よりも大きい位相の数、あるいは配線の数であればよい。2相2線伝送では、2相で1ビット、2線で1ビット分のデータを伝送することになるので、合計で2ビットの伝送を1クロックサイクルあたり1回の充電あるいは放電で行うことになり、これは2ビットデータを1本のチップ間配線を使って伝送する伝送回路と同じ充放電回数で同じデータ量の伝送となる。そこで、2相4線伝送にすれば、2相の1ビットと4線の2ビットの合計3ビットのデータ伝送が1クロックサイクルあたり1回の充電あるいは放電で可能となるため、充放電回数は2ビットデータを1本のチップ間配線を使って伝送する伝送回路の2/3倍になる。これは、位相だけを**使用した**8相伝送と同じ低消費電力効果を、時間軸の2分割だけで得ることができる利点がある。また、2相8線伝送の場合には、2相の1ビットと8線の3ビットの合計4ビットのデータ伝送が1クロックサイクルあたり1回の充電あるいは放電で可能となるため、充放電回数は2ビットデータを1本のチップ間配線を使って伝送する伝送回路の半分にできる。

【0069】

なお、以上の実施形態では、チップ間配線として半導体チップを積層した場合の貫通配線を用いたが、本発明はこれに限定されるものではなく、半導体チップを積層せずに横方向に半導体チップを並べた場合のチップ間配線を用いることもできる。この場合は図13に示すように、横方向に並べた半導体チップ140、150の間のチップ間配線としてボンディングワイヤ142を用いる。あるいは、図14に示すように、基板150上に横方向に並べた半導体チップ151、152の間のチップ間配線として基板配線153を使う。これらのボンディングワイヤ142や基板配線152は、配線駆動のために大きな電流を必要とするために消費電力が大きい。従って、充放電回数を減らして低消費電力にするためには、本発明のような多相伝送が有効である。

【0070】

また、本発明は異なる半導体チップ間の通信を例にとりて説明したが、図15に示すように、1つの半導体チップ160内の配線距離が長い回路161、162同士の通信を基板配線163を用いて行う場合に、長配線によって大きくなった配線容量による充放電電力を低減するために用いてもよい。

【図面の簡単な説明】

【0071】

【図1】本発明の伝送回路及び伝送システムの第1の実施形態のブロック図である。

【図2】多相伝送方式の一例の伝送波形図である。

【図3】8相伝送波形の一例を示す波形図である。

【図4】図1の動作説明用タイミングチャートである。

【図5】積層した半導体チップのチップ同士で貫通配線を使ってデータ伝送する半導体装置の斜視図である。

【図6】本発明の伝送回路及び伝送システムの第2の実施形態のブロック図である。

【図7】図6の動作説明用タイミングチャートである。

【図8】本発明の伝送回路及び伝送システムの第3の実施形態の送信側チップのブロック図である。

10

20

30

40

50

【図 9】図 8 の動作説明用タイミングチャートである。

【図 10】本発明の伝送回路及び伝送システムの第 4 の実施形態のブロック図である。

【図 11】本発明の多相伝送に多線伝送を併用した動作を説明する波形図である。

【図 12】図 10 の動作説明用タイミングチャートである。

【図 13】ボンディングワイヤを使って横置きチップ同士でデータ伝送する半導体装置の斜視図である。

【図 14】基板配線を使って横置きチップ同士でデータ伝送する半導体装置の斜視図である。

【図 15】チップ内配線を使って回路同士でデータ伝送する半導体装置の斜視図である。

【図 16】チップ積層型 3 次元半導体の断面模式図である。

10

【図 17】デジタル伝送回路の一例の構成図である。

【図 18】デジタル伝送の 2 ビット伝送の波形である。

【図 19】パルス幅変調伝送の波形図である。

【符号の説明】

【0072】

30、60、70、80 送信側チップ

31～33、46～48、61、73、81a～81d、87a～87d、94a～94d、100a～100d フリップフロップ

34、82 カウンタ

35、71、83 デジタルコンパレータ

20

36、43、96 分周器

37、44、72、86a～86d、97 セレクタ

38、88a～88d 出力バッファ

40、90 受信側チップ

41、91a～91d ESD保護素子

42、92a～92d 入力バッファ

45、98 ダウンカウンタ

50、110a～110d 貫通配線

84 デコーダ(DEC)

85a～85d AND回路

30

93 2段のXOR回路

95a～95d XOR回路

99 エンコーダ(ENC)

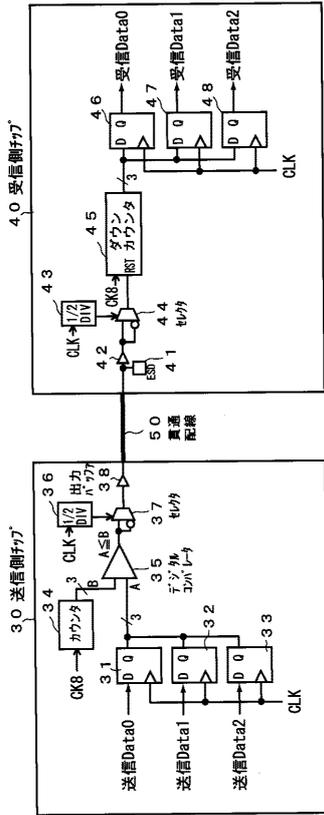
140、141、151、152、160 半導体チップ

142 ボンディングワイヤ

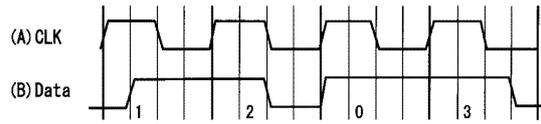
153、163 基板配線

161、162 回路

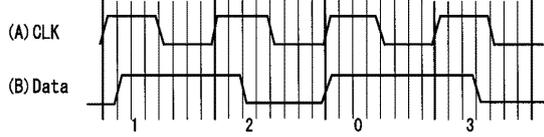
【図1】



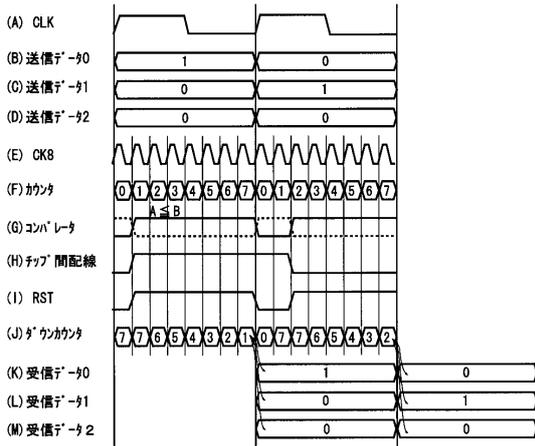
【図2】



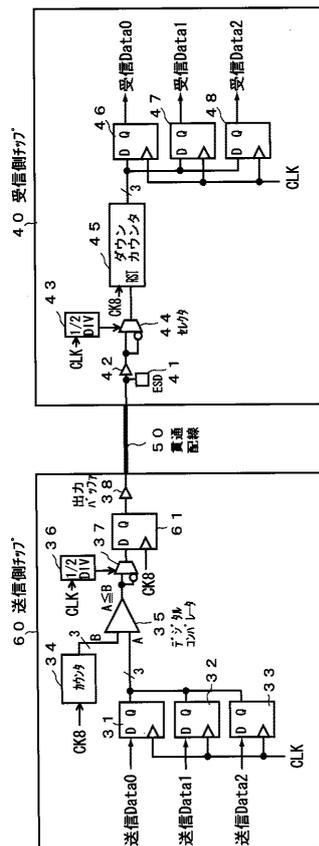
【図3】



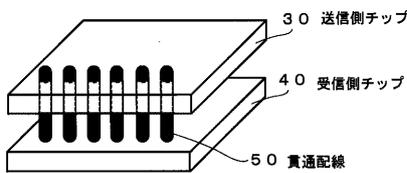
【図4】



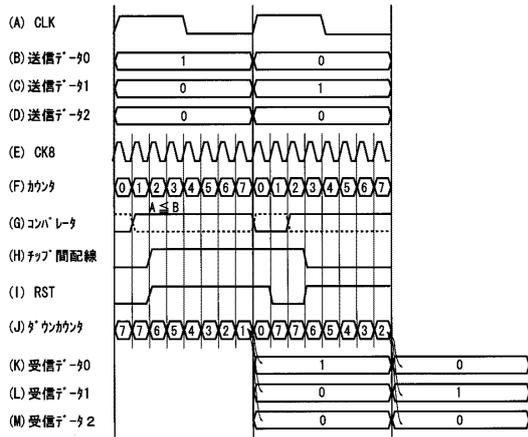
【図6】



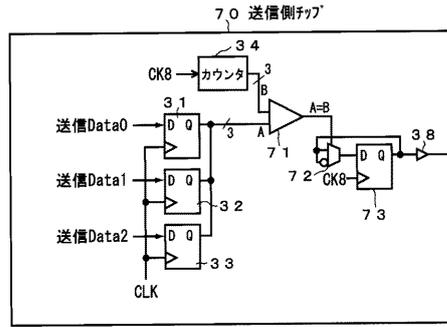
【図5】



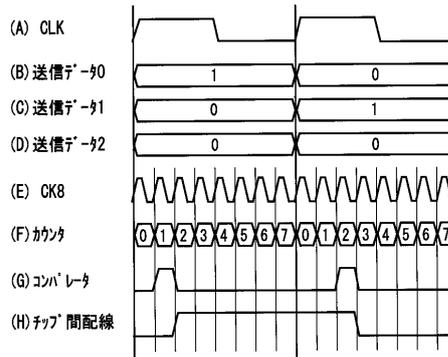
【図7】



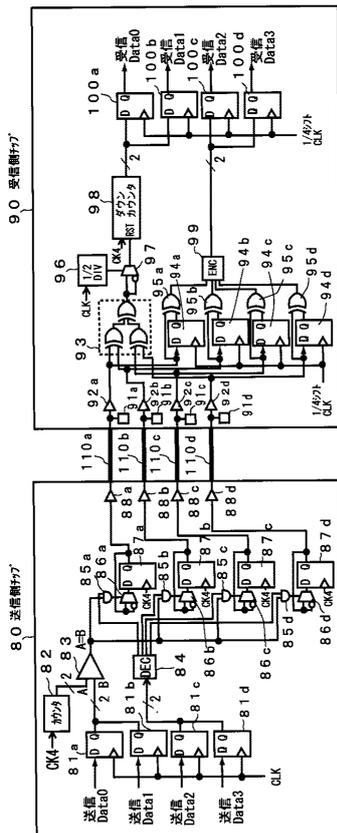
【図8】



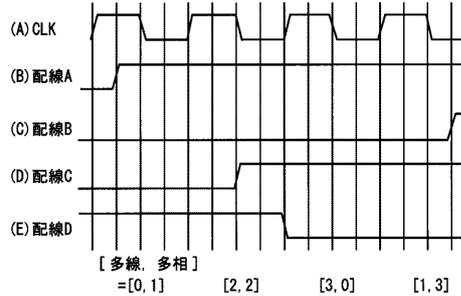
【図9】



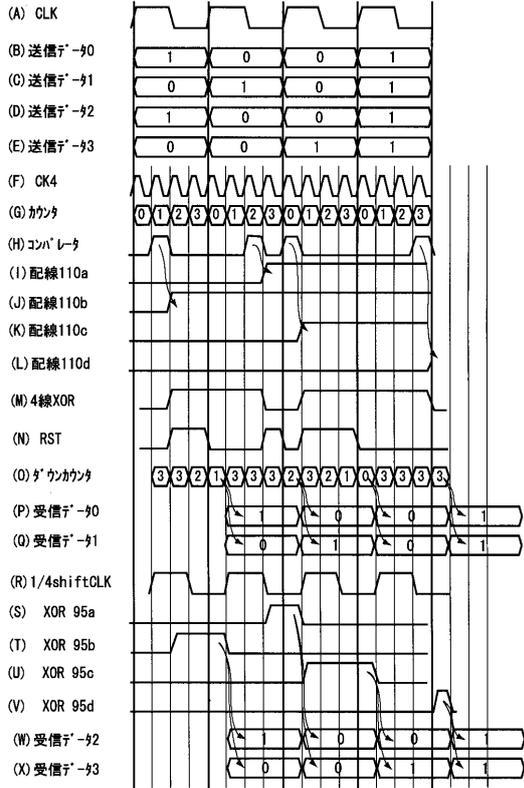
【図10】



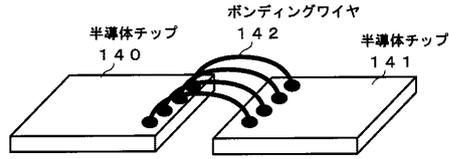
【図11】



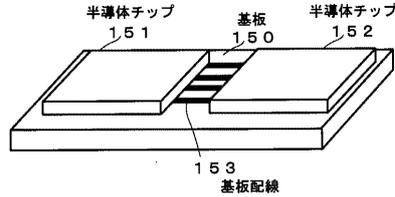
【図12】



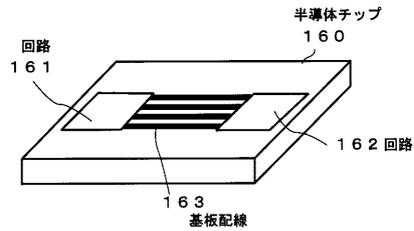
【図13】



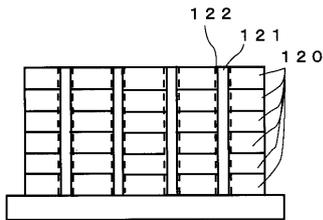
【図14】



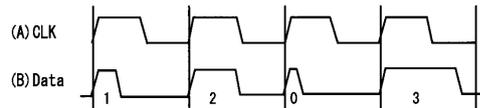
【図15】



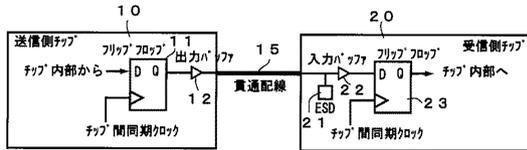
【図16】



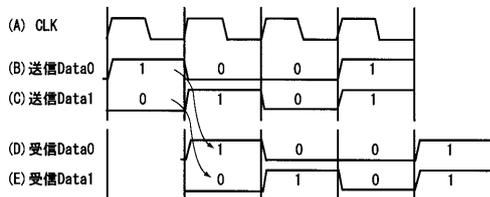
【図19】



【図17】



【図18】



フロントページの続き

審査官 白井 亮

- (56)参考文献 特開2003-032084(JP,A)
国際公開第2007/005060(WO,A1)
特開平06-350456(JP,A)
特開昭62-200847(JP,A)
特開2004-289330(JP,A)
特開2005-079873(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H04L 25/49
H04L 25/493