



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2011년07월15일  
 (11) 등록번호 10-1049799  
 (24) 등록일자 2011년07월11일

(51) Int. Cl.  
*H01L 29/786* (2006.01) *H05B 33/02* (2006.01)  
 (21) 출원번호 10-2009-0018199  
 (22) 출원일자 2009년03월03일  
 심사청구일자 2009년03월03일  
 (65) 공개번호 10-2010-0099616  
 (43) 공개일자 2010년09월13일  
 (56) 선행기술조사문헌  
 JP2003100629 A\*  
 KR1020080086967 A\*  
 KR1020020021546 A  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 삼성모바일디스플레이주식회사  
 경기도 용인시 기흥구 농서동 산24번지  
 (72) 발명자  
 이동현  
 경기도 수원시 영통구 신동 575  
 이기용  
 경기도 수원시 영통구 신동 575  
 (뒷면에 계속)  
 (74) 대리인  
 팬코리아특허법인

전체 청구항 수 : 총 11 항

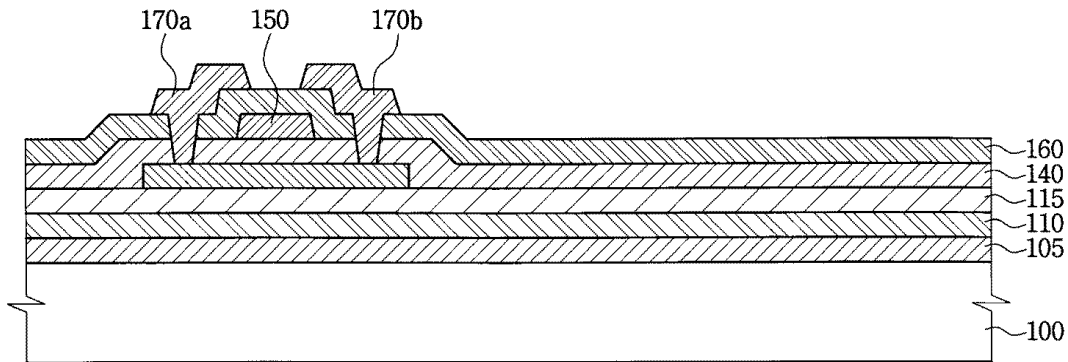
심사관 : 이상호

**(54) 박막트랜지스터, 그의 제조방법 및 이를 포함하는 유기전계발광표시장치**

**(57) 요약**

박막트랜지스터의 제조방법은, 기판 상에 실리콘막, 확산층, 비정질 실리콘층, 캡핑층, 및 금속 촉매층을 차례로 형성하는 단계와, 기판을 열처리하여 금속 촉매층의 금속 촉매를 캡핑층을 통해 비정질 실리콘층으로 확산시키고, 확산층을 통해 실리콘막으로 확산시켜 비정질 실리콘층을 다결정 실리콘층으로 형성하는 단계와, 금속 촉매층과 캡핑층을 제거하는 단계와, 다결정 실리콘층을 패터닝하여 반도체층을 형성하는 단계와, 게이트 절연막에 의해 반도체층과 절연되는 게이트 전극, 및 층간 절연막에 의해 반도체층과 분리되며 일부가 반도체층에 연결되는 소스/드레인 전극을 형성하는 단계를 포함한다.

**대표도**



(72) 발명자

**서진욱**

경기도 수원시 영통구 신동 575

**양태훈**

경기도 수원시 영통구 신동 575

**박병건**

경기도 수원시 영통구 신동 575

**이길원**

경기도 수원시 영통구 신동 575

**리사첸코, 막심**

경기도 수원시 영통구 신동 575번지

**정재완**

경기도 수원시 영통구 신동 575

---

**특허청구의 범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

기판 상에 실리콘막, 확산층, 비정질 실리콘층, 캡핑층, 및 금속 촉매층을 차례로 형성하고,

상기 기판을 열처리하여 상기 금속 촉매층의 금속 촉매를 상기 캡핑층을 통해 상기 비정질 실리콘층으로 확산시키고, 상기 확산층을 통해 상기 실리콘막으로 확산시켜 상기 비정질 실리콘층을 다결정 실리콘층으로 형성하고,

상기 금속 촉매층과 상기 캡핑층을 제거하고,

상기 다결정 실리콘층을 패터닝하여 반도체층을 형성하고,

게이트 절연막에 의해 상기 반도체층과 절연되는 게이트 전극, 및 층간 절연막에 의해 상기 반도체층과 분리되며 일부가 상기 반도체층에 연결되는 소스/드레인 전극을 형성하는 단계들을 포함하는 박막트랜지스터의 제조방법.

**청구항 9**

제8항에 있어서,

상기 캡핑층의 두께는 1Å 내지 2,000Å인 것을 특징으로 하는 박막트랜지스터의 제조방법.

**청구항 10**

제8항에 있어서,

상기 열처리는 350℃ 내지 500℃에서 진행하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

**청구항 11**

제8항에 있어서,

상기 금속 촉매층은 Ni, Pd, Ag, Au, Al, Sn, Sb, Cu, Tr, 및 Cd로 이루어진 군에서 선택되는 어느 하나로 형성하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

**청구항 12**

제8항 내지 제11항 중 어느 한 항의 방법으로 제조되며, 상기 실리콘막과 상기 반도체층은 상이한 결정립 크기를 가지는 박막트랜지스터.

**청구항 13**

제12항에 있어서,

상기 반도체층 상에 상기 게이트 절연막, 상기 게이트 전극, 상기 층간 절연막, 및 상기 소스/드레인 전극이 순차적으로 위치하는 것을 특징으로 하는 박막트랜지스터.

**청구항 14**

제12항에 있어서,

상기 게이트 전극과 상기 게이트 절연막은 상기 실리콘막 하부에 위치하고, 상기 층간 절연막과 상기 소스/드레인 전극은 상기 반도체층 상에 위치하는 것을 특징으로 하는 박막트랜지스터.

**청구항 15**

제8항 내지 제11항 중 어느 한 항의 방법으로 제조된 박막트랜지스터를 포함하고, 상기 박막트랜지스터 상에 형성된 보호막, 제1 전극, 유기막층, 및 제2 전극을 더 포함하는 유기전계발광표시장치.

**청구항 16**

제15항에 있어서,

상기 실리콘막과 상기 반도체층은 상이한 결정립 크기를 가지는 것을 특징으로 하는 유기전계발광표시장치.

**청구항 17**

제15항에 있어서,

상기 반도체층 상에 상기 게이트 절연막, 상기 게이트 전극, 상기 층간 절연막, 및 상기 소스/드레인 전극이 순차적으로 위치하는 것을 특징으로 하는 유기전계발광표시장치.

**청구항 18**

제15항에 있어서,

상기 게이트 전극과 상기 게이트 절연막은 상기 실리콘막 하부에 위치하고, 상기 층간 절연막과 상기 소스/드레인 전극은 상기 반도체층 상에 위치하는 것을 특징으로 하는 유기전계발광표시장치.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 박막트랜지스터, 그의 제조 방법, 및 이를 포함하는 유기전계발광표시장치에 관한 것으로, 더욱 상세하게는 금속 촉매를 이용하여 결정화된 반도체층의 금속 촉매의 농도를 조절하여 전기적 특성이 우수한 박막트랜지스터, 그의 제조 방법, 및 이를 구비하는 유기전계발광표시장치에 관한 것이다.

**배경기술**

[0002] 일반적으로, 다결정 실리콘층은 높은 전계 효과 이동도로 인해 고속 동작 회로에 적용이 가능하며 CMOS 회로 구성이 가능하다는 장점이 있어 박막트랜지스터용 반도체층의 용도로서 많이 사용되고 있다. 이러한 다결정 실리콘층을 이용한 박막트랜지스터는 주로 능동 행렬 액정 디스플레이 장치(AMLCD)의 능동소자와 유기 전계 발광 소

자(OLED)의 스위칭 소자 및 구동 소자에 사용된다.

[0003] 상기 비정질 실리콘을 다결정 실리콘으로 결정화하는 방법은 고상 결정화법(Solid Phase Crystallization), 엑시머 레이저 결정화법(Excimer Laser Crystallization), 금속 유도 결정화법(Metal Induced Crystallization) 및 금속 유도 측면 결정화법(Metal Induced Lateral Crystallization) 등이 있는데, 고상 결정화법은 비정질 실리콘층을 박막트랜지스터가 사용되는 디스플레이 소자의 기판을 형성하는 물질인 유리의 변형 온도인 약 700 °C 이하의 온도에서 수 시간 내지 수십 시간에 걸쳐 어닐링하는 방법이고, 엑시머 레이저 결정화법은 엑시머 레이저를 비정질 실리콘층에 주사하여 매우 짧은 시간 동안 국부적으로 높은 온도로 가열하여 결정화하는 방법이며, 금속 유도 결정화법은 니켈, 팔라듐, 금, 알루미늄 등의 금속을 비정질 실리콘층과 접촉시키거나 주입하여 상기 금속에 의해 비정질 실리콘층이 다결정 실리콘층으로 상 변화가 유도되는 현상을 이용하는 방법이고, 금속 유도 측면 결정화법은 금속과 실리콘이 반응하여 생성된 실리사이드가 측면으로 계속하여 전파되면서 순차로 비정질 실리콘층의 결정화를 유도하는 방법을 이용하는 결정화 방법이다.

[0004] 그러나, 상기의 고상 결정화법은 공정 시간이 너무 길뿐만 아니라 고온에서 장시간 열처리함으로써 기판의 변형이 발생하기 쉽다는 단점이 있고, 엑시머 레이저 결정화법은 고가의 레이저 장치가 필요할 뿐만 아니라 다결정화된 표면의 돌기(protrusion)가 발생하여 반도체층과 게이트 절연막의 계면 특성이 나쁘다는 단점이 있다.

[0005] 현재, 금속을 이용하여 비정질 실리콘층을 결정화하는 방법은 고상결정화(Solid Phase Crystallization)보다 낮은 온도에서 빠른 시간 내에 결정화시킬 수 있는 장점을 가지고 있기 때문에 많이 연구되고 있다. 금속을 이용한 결정화 방법은 금속 유도 결정화(MIC, Metal Induced Crystallization) 방법과 금속 유도 측면 결정화(MILC, Metal Induced Lateral Crystallization) 방법, SGS 결정화(Super Grain Silicon Crystallization) 방법 등이 있다.

[0006] 박막트랜지스터의 특성을 결정하는 중요한 요소 중의 하나가 누설전류인데, 특히 상기의 금속 촉매를 이용하여 결정화된 반도체층에서는 상기 금속 촉매가 채널 영역에 잔류하여 누설전류가 증가할 수 있다. 따라서 채널 영역에서의 잔류 금속 촉매의 농도를 제어하지 않으면 박막트랜지스터의 누설 전류가 증가하여 전기적 특성이 저하되는 문제점이 있다.

### 발명의 내용

#### 해결 하고자하는 과제

[0007] 본 발명은 상기한 종래 기술의 문제점을 해결하기 위한 것으로써, 금속 촉매를 이용하여 결정화된 반도체층을 이용한 박막트랜지스터에 있어서, 상기 반도체층에 잔류하는 잔류 금속 촉매를 최소화하며 특성이 향상된 박막트랜지스터와 그의 제조방법 및 상기 박막트랜지스터를 구비하는 유기전계발광표시장치와 그의 제조방법을 제공하는데 목적이 있다.

#### 과제 해결수단

[0008] 본 발명은 박막트랜지스터, 그의 제조방법 및 그를 구비하는 유기전계발광표시장치에 관한 것으로, 기판; 상기 기판 상에 형성된 실리콘막; 상기 실리콘막 상부에 형성된 확산층; 상기 확산층 상에 형성된 금속 촉매를 이용하여 결정화된 반도체층; 상기 반도체층의 채널 영역에 대응되게 위치하는 게이트 전극; 상기 반도체층과 상기 게이트 전극을 절연시키기 위하여 상기 게이트 전극과 상기 반도체층 사이에 위치하는 게이트 절연막; 및 상기 반도체층의 소오스/드레인 영역에 전기적으로 연결되는 소오스/드레인 전극을 포함하는 것을 특징으로 하는 박막트랜지스터, 그의 제조방법을 제공한다.

[0009] 또한, 기판; 상기 기판 상에 형성된 실리콘막; 상기 실리콘막 상부에 형성된 확산층; 상기 확산층 상에 형성된 금속 촉매를 이용하여 결정화된 반도체층; 상기 반도체층의 채널 영역에 대응되게 위치하는 게이트 전극; 상기 반도체층과 상기 게이트 전극을 절연시키기 위하여 상기 게이트 전극과 상기 반도체층 사이에 위치하는 게이트 절연막; 상기 반도체층에 전기적으로 연결되는 소오스/드레인 전극; 상기 기판 전면에 걸쳐 위치하는 보호막; 및 상기 보호막 상에 위치하며, 상기 소오스/드레인 전극과 전기적으로 연결되는 제 1 전극, 유기막층 및 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광표시장치를 제공한다.

#### 효과

[0010] 본 발명은 금속촉매를 이용하여 결정화한 반도체층을 구비하는 박막트랜지스터 및 그의 제조방법과 그를 구비하

는 유기전계발광표시장치를 제공함으로써, 종래의 금속촉매를 이용하여 결정화된 반도체층보다 결정립이 크고 잔류금속이 적은 우수한 반도체층을 형성하는 방법을 제공함으로써, 문턱전압, Ioff 특성이 향상된 박막트랜지스터 및 그의 제조방법과 그를 구비하는 유기전계발광표시장치를 제공함으로써, 특성이 향상된 소자를 생산할 수 있는 효과가 있다.

**발명의 실시를 위한 구체적인 내용**

- [0011] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 이하의 실시예는 이 기술 분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서, 여러 가지 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다.
- [0012] (실시예 1)
- [0013] 도 1a 내지 도 1f는 본 발명에 따른 박막트랜지스터에 관한 도면이다.
- [0014] 도 1a를 참조하면, 유리 또는 플라스틱으로 이루어진 기판(100) 상에 버퍼층(105)을 형성한다. 상기 버퍼층(105)은 화학적 기상 증착(Chemical Vapor Deposition)법 또는 물리적 기상 증착(Physical Vapor Deposition)법을 이용하여 실리콘 산화막, 실리콘 질화막과 같은 절연막을 이용하여 단층 또는 이들의 적층구조로 형성한다. 이때 상기 버퍼층(105)은 상기 기판(100)에서 발생하는 수분 또는 불순물의 확산을 방지하거나, 결정화시 열의 전달 속도를 조절함으로써, 비정질 실리콘층의 결정화가 잘 이루어질 수 있도록 하는 역할을 한다.
- [0015] 그리고 나서, 상기 버퍼층(105) 상에 실리콘막(110)을 형성한다. 상기 실리콘막(110)은 비정질 실리콘층으로 형성하며, 화학적 기상 증착법(Chemical Vapor Deposition) 또는 물리적 기상 증착법(Physical Vapor Deposition)을 이용하여 형성한다.
- [0016] 그 후에, 도 1b를 참조하면, 상기 실리콘막(105) 상에 확산층(115)을 형성한다. 이때, 상기 확산층(115)은 추후의 공정에서 형성되는 금속 촉매가 열처리 공정을 통해 확산할 수 있는 실리콘 질화막으로 형성하는 것이 바람직하고, 실리콘 질화막과 실리콘 산화막의 복층을 사용할 수 있다.
- [0017] 그리고 나서, 확산층(115) 상에 비정질 실리콘층(120a)을 형성한다.
- [0018] 이때 상기 비정질 실리콘층(120a)은 화학적 기상 증착법(Chemical Vapor Deposition) 또는 물리적 기상 증착법(Physical Vapor Deposition)을 이용할 수 있다. 또한, 상기 비정질 실리콘층(120a)을 형성할 때, 또는, 형성한 후에 탈수소 처리하여 수소의 농도를 낮추는 공정을 진행할 수 있다.
- [0019] 다음, 상기 비정질 실리콘층(120a)을 다결정 실리콘층으로 결정화한다. 본 발명에서는 MIC(Metal Induced Crystallization)법, MILC(Metal Induced Lateral Crystallization)법 또는 SGS(Super Grain Silicon)법 등과 같은 금속 촉매를 이용한 결정화 방법을 이용하여 상기 비정질 실리콘층을 다결정 실리콘층으로 결정화한다.
- [0020] 한편, 본원발명에서는 이하, 상기 결정화법 중 바람직한 실시예로 SGS 결정화법에 대하여 설명한다.
- [0021] 상기 SGS법은 비정질 실리콘층으로 확산되는 금속 촉매의 농도를 저농도로 조절하여 결정립의 크기를 수  $\mu\text{m}$  내지 수백  $\mu\text{m}$ 까지 조절할 수 있는 결정화방법이다. 상기 비정질 실리콘층으로 확산되는 금속 촉매의 농도를 저농도로 조절하기 위한 일 실시예로 상기 비정질 실리콘층 상에 확산층을 형성하고, 상기 확산층 상에 금속 촉매층을 형성한 후 열처리하여 금속 촉매를 확산시킬 수 있으며, 공정에 따라서는 확산층을 형성하지 않고 금속 촉매층을 저농도로 형성하는 것 등에 의해 확산되는 금속 촉매의 농도를 저농도로 조절할 수도 있다.
- [0022] 도 1c를 참조하면, 상기 비정질 실리콘(120a) 상에 캡핑층(125)을 형성한다. 이때, 상기 캡핑층(125)은 추후의 공정에서 형성되는 금속 촉매가 열처리 공정을 통해 확산할 수 있는 실리콘 질화막으로 형성하는 것이 바람직하고, 실리콘 질화막과 실리콘 산화막의 복층을 사용할 수 있다. 상기 캡핑층(125)은 화학적 기상 증착법 또는 물리적 기상 증착법 등과 같은 방법으로 형성한다. 이때, 상기 캡핑층(125)의 두께는 1 내지 2000Å으로 형성한다. 상기 캡핑층(125)의 두께가 1Å 미만인 경우에는 상기 캡핑층(125)이 확산하는 금속 촉매의 양을 저지하기가 어려우며, 2000Å 초과하는 경우에는 상기 비정질 실리콘층(120)으로 확산되는 금속 촉매의 양이 적어 다결정 실리콘층으로 결정화하기 어렵다.
- [0023] 이어서, 상기 캡핑층(125) 상에 금속 촉매를 증착하여 금속 촉매층(130)을 형성한다. 이때, 상기 금속 촉매는 Ni, Pd, Ag, Au, Al, Sn, Sb, Cu, Tr, 및 Cd로 이루어진 군에서 선택되는 어느 하나를 사용할 수 있는데, 바람직하게는 니켈(Ni)을 이용한다. 이때, 상기 금속 촉매층(130)은 상기 확산층(130) 상에  $10^{11}$  내지  $10^{15}$  atoms/cm<sup>2</sup>

의 면밀도로 형성하는데, 상기 금속 촉매가  $10^{11}$  atoms/cm<sup>2</sup>의 면밀도 보다 적게 형성된 경우에는 결정화의 핵인 시드의 양이 적어 상기 제 1 비정질 실리콘층이 SGS법에 의한 다결정 실리콘층으로 결정화하기 어렵고, 상기 금속 촉매가  $10^{15}$  atoms/cm<sup>2</sup>의 면밀도 보다 많이 형성된 경우에는 제 1 비정질 실리콘층으로 확산되는 금속 촉매의 양이 많아 다결정 실리콘층의 결정립이 작아지고, 또한, 잔류하는 금속 촉매의 양이 많아 지게 되어 상기 다결정 실리콘층을 패터닝하여 형성되는 반도체층의 특성이 저하되게 된다.

- [0024] 상기 버퍼층(105), 실리콘막(110), 확산층(115), 비정질 실리콘층(120a), 캡핑층(125) 및 금속 촉매층(130)이 형성된 상기 기판(100)을 열처리하여 상기 금속 촉매층(130)의 금속 촉매 중 일부를 상기 비정질 실리콘층(120a)의 표면으로 이동시킨다. 즉, 상기 열처리(150)에 의해 상기 캡핑층(125)을 통과하여 확산하는 금속 촉매들 중 미량의 금속 촉매들만이 상기 비정질 실리콘층(120a)의 표면으로 확산하게 되고, 대부분의 금속 촉매들은 상기 비정질 실리콘층(120a)에 도달하지도 못하거나 상기 캡핑층(125)을 통과하지 못하게 된다.
- [0025] 따라서, 상기 확산층(130)의 확산 저지 능력에 의해 상기 비정질 실리콘층(120a)의 표면에 도달하는 금속 촉매의 양이 결정되는데, 상기 캡핑층(125)의 확산 저지 능력은 상기 캡핑층(125)의 두께와 밀접한 관계가 있다. 즉, 상기 캡핑층(125)의 두께가 두꺼워질수록 확산되는 양은 적어지게 되어 결정립의 크기가 커지게 되고, 두께가 얇아질수록 확산되는 양은 많아지게 되어 결정립의 크기는 작아지게 된다.
- [0026] 도 1d를 참조하면 열처리가 계속되면서, 상기 비정질 실리콘층(120a) 하부에 확산층(110) 및 비정질 실리콘층으로 이루어진 실리콘막(105)이 형성되어 있으므로, 상기 비정질 실리콘층(120a) 내에 도달한 금속촉매들이 하부의 확산층(110) 및 실리콘막(105)으로 확산된다.
- [0027] 그러므로, 상기 비정질 실리콘층(120a)층 내부의 금속촉매의 양이 줄어들고, 게터링 효과를 볼 수 있다.
- [0028] 도 3a 는 비정질 실리콘층 하부에 버퍼층이 있는 경우의 금속촉매 농도를 측정한 그래프이고, 도 3b는 본 발명에 따라 비정질 실리콘층 하부에 버퍼층이 형성되어 있는 경우의 금속촉매 농도를 측정한 그래프이다.
- [0029] 도 3a 및 도 3b를 참조하면, 도 3a의 금속촉매로 결정화된 다결정 실리콘층 하부에 버퍼층이 있는 경우 버퍼층 내로 금속촉매가 확산되었으나 농도가 낮다. 그러나 도 3b를 참조하면, 금속촉매로 결정화된 다결정 실리콘층 하부에 확산층과 실리콘막이 형성되어 있으며, 다결정 실리콘층의 촉매 농도가 도 3a의 다결정 실리콘층보다 적으며, 확산층과 실리콘막에 금속촉매의 농도가 버퍼층의 경우보다 높은 것을 알 수 있다.
- [0030] 그러므로 확산층과 실리콘막을 다결정 실리콘층 하부에 형성하였을 경우 금속촉매의 확산효과가 더 우수하며, 게터링 효과가 더 우수함을 알 수 있다.
- [0031] 상기 실리콘막(105)에 도달한 금속촉매들은 상기 비정질 실리콘층(120a)과 동일한 원리로 결정화가 이루어져 다결정 실리콘층으로 형성될 수 있으며, 상기 실리콘막(105)의 결정립은 상기 비정질 실리콘층(120a)으로부터 확산된 금속촉매로 결정된 2차적인 결정립으로써, 상기 비정질 실리콘층(120a)이 결정화된 결정립보다 더 크며, 결정립 경계가 모호하여 상기 비정질 실리콘층(120a)이 결정화된 결정립과는 차이가 있다.
- [0032] 이때, 상기 열처리(150) 공정은 200 내지 900℃, 바람직하게 350 내지 500℃의 온도 범위에서 수 초 내지 수 시간 동안 진행하여 상기 금속 촉매를 확산시키게 되는데, 상기 온도와 시간에서 진행하는 경우에 과다한 열처리 공정으로 인한 기판의 변형 등을 방지할 수 있으며, 제조 비용 및 수율의 면에서도 바람직하다. 상기 열처리(150) 공정은 로(furnace) 공정, RTA(Rapid Thermal Annealing) 공정, UV 공정 또는 레이저(Laser) 공정 중 어느 하나의 공정을 이용할 수 있다.
- [0033] 도 1e를 참조하면, 상기와 같은 방법으로 비정질 실리콘층(120a)을 결정화하여 다결정 실리콘층으로 형성한 후 패터닝하여 반도체층(120)으로 형성한다. 그리고 나서, 상기 기판(100) 전면에 걸쳐 게이트 절연막(140)을 형성한 후에, 상기 반도체층(120)에 대응되도록 게이트 전극(150)을 형성한다.
- [0034] 상기 게이트 절연막(140)은 실리콘 산화막, 실리콘 질화막 또는 이들의 이중층일 수 있다.
- [0035] 계속해서, 상기 게이트 절연막(140) 상에 알루미늄(Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금의 단일층이나, 크롬(Cr) 또는 몰리브덴(Mo) 합금 위에 알루미늄 합금이 적층된 다중층을 게이트 전극용 금속층(도시안됨)을 형성하고, 사진 식각공정으로 상기 게이트 전극용 금속층을 식각하여 상기 반도체층(120)과 대응되는 부분에 게이트 전극(150)을 형성한다.
- [0036] 도 1f를 참조하면, 상기 게이트 전극(150)을 포함하는 기판(100) 전면에 걸쳐 층간 절연막(160)을 형성한다. 여

기서, 상기 층간절연막(160)은 실리콘 질화막, 실리콘 산화막 또는 이들의 다중층일 수도 있다.

[0037] 이어서, 상기 층간절연막(160) 및 상기 게이트 절연막 (140)을 식각하여 상기 반도체층(120)의 일부 영역을 노출시키는 콘택홀을 형성하고, 상기 콘택홀을 통하여 상기 소오스/드레인 영역과 연결되는 소오스/드레인 전극(170a,170b)을 형성한다. 여기서, 상기 소오스/드레인 전극(170a,170b)은 몰리브덴(Mo), 크롬(Cr), 텅스텐(W), 몰리브덴텅스텐(MoW), 알루미늄(Al), 알루미늄-네오디뮴(Al-Nd), 티타늄(Ti), 질화티타늄(TiN), 구리(Cu), 몰리브덴 합금(Mo alloy), 알루미늄 합금(Al alloy), 및 구리 합금(Cu alloy) 중에서 선택되는 어느 하나로 형성될 수 있다. 이로써 상기 반도체층(170), 상기 게이트 전극(185) 및 상기 소오스/드레인 전극(200a,200b)을 포함하는 박막트랜지스터를 완성한다.

[0038] (실시예 2)

[0039] 실시예 2는 실시예 1의 박막트랜지스터를 포함하는 유기전계발광표시장치에 관한 것으로서, 실시예 1과 동일한 설명은 생략한다.

[0040] 도 2는 본 발명에 유기전계발광표시장치에 관한 도면이다.

[0041] 도 2를 참조하면, 상기와 같이 반도체층(120), 게이트 전극(150), 게이트 절연막(140) 및 소오스/드레인 전극(170a,170b)을 포함하는 기판(100) 전면에 걸쳐 보호막(175)을 형성한다.

[0042] 보호막(175)은 무기막인 실리콘 산화막, 실리콘 질화막 또는 SOG 중에서 선택되는 어느 하나 또는 유기막인 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin) 또는 아크릴레이트(acrylate) 중에서 선택되는 어느 하나로 형성할 수 있다. 또한 상기 무기막과 상기 유기막의 적층구조로 형성될 수도 있다.

[0043] 상기 보호막(175)을 식각하여 상기 소오스 또는 드레인 전극(200a,200b)을 노출시키는 비아홀을 형성한다. 상기 비아홀을 통하여 상기 소오스 또는 드레인 전극(170a,170b) 중 어느 하나와 연결되는 제 1 전극(180)을 형성한다. 상기 제 1 전극(180)은 애노드 또는 캐소드로 형성할 수 있다. 상기 제 1 전극(180)이 애노드인 경우, 상기 애노드는 ITO, IZO 또는 ITZO 중에서 어느 하나로 이루어진 투명 도전막으로 형성할 수 있으며, 캐소드인 경우 상기 캐소드는 Mg, Ca, Al, Ag, Ba 또는 이들의 합금을 사용하여 형성할 수 있다.

[0044] 이어서, 상기 제 1 전극(180) 상에 상기 제 1 전극(180)의 표면 일부를 노출시키는 개구부를 갖는 화소정의막(185)을 형성하고, 상기 노출된 제 1 전극(180) 상에 발광층을 포함하는 유기막층(190)을 형성한다. 상기 유기막층(190)에는 정공주입층, 정공수송층, 정공억제층, 전자억제층, 전자주입층 및 전자수송층으로 이루어진 군에서 선택되는 하나 또는 복수의 층을 더욱 포함할 수 있다. 이어서, 상기 유기막층(190) 상에 제 2 전극(195)을 형성한다. 이로써 본 발명의 일 실시예에 따른 유기전계발광표시장치를 완성한다.

[0045] 상기에서는 탑게이트 구조의 박막트랜지스터 및 유기전계발광표시장치를 예로들어 설명하였으나, 동일한 방법을 적용하여 바텀 게이트 구조의 박막 트랜지스터 및 이를 포함하는 유기전계발광표시장치를 구성할 수 있다. 즉 바텀 게이트 구조의 박막 트랜지스터에서 게이트 전극과 게이트 절연막은 실리콘막의 하부에 위치하고, 확산층과 층간 절연막 및 소스/드레인 전극은 반도체층 상에 위치한다.

**도면의 간단한 설명**

[0046] 도 1a 내지 도 1f 는 본 발명에 따른 박막트랜지스터에 관한 도면이다.

[0047] 도 2는 본 발명에 따른 유기전계발광표시장치에 관한 도면이다.

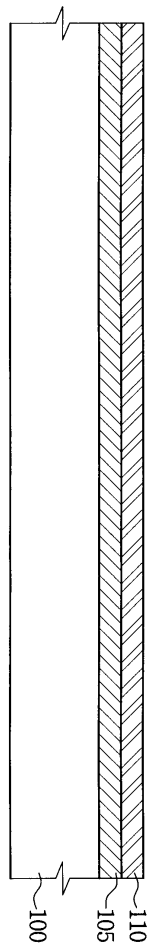
[0048] 도 3a 는 비정질 실리콘층 하부에 버퍼층이 있는 경우의 금속축매 농도를 측정한 그래프이다.

[0049] 도 3b는 본 발명에 따라 비정질 실리콘층 하부에 버퍼층이 형성되어 있는 경우의 금속축매 농도를 측정한 그래프이다.

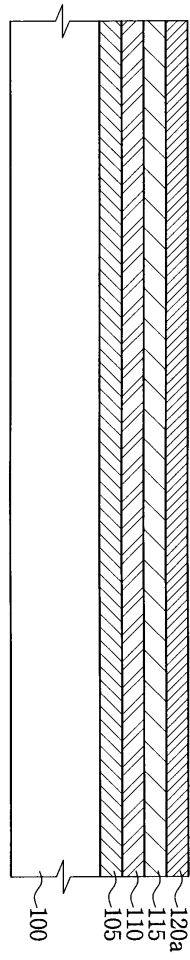


도면

도면1a

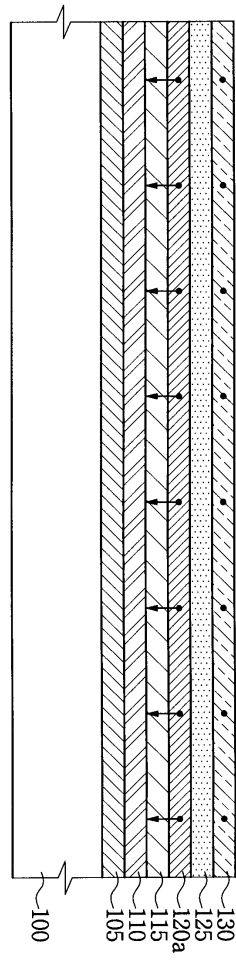


도면1b

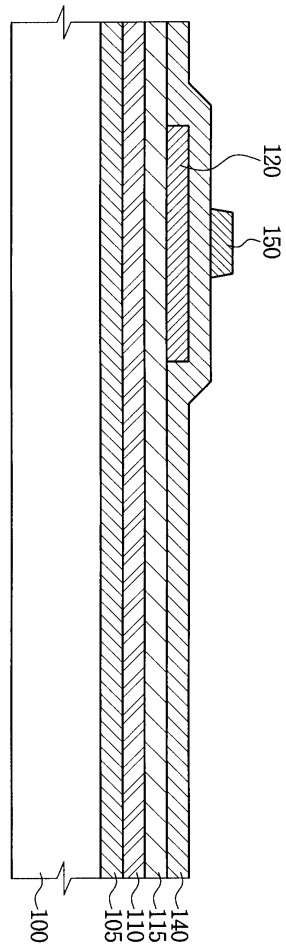




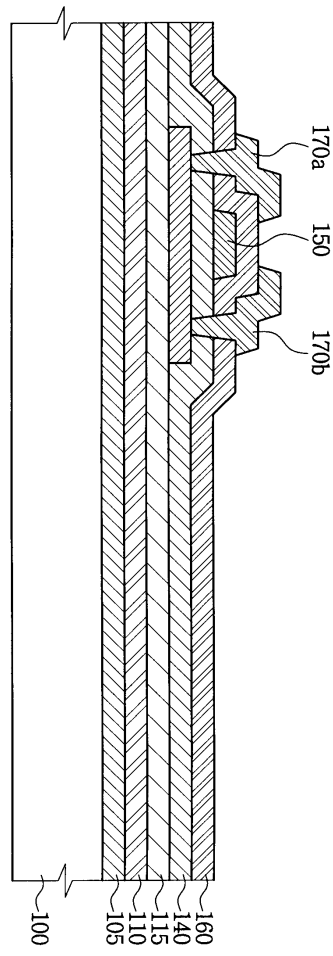
도면1d



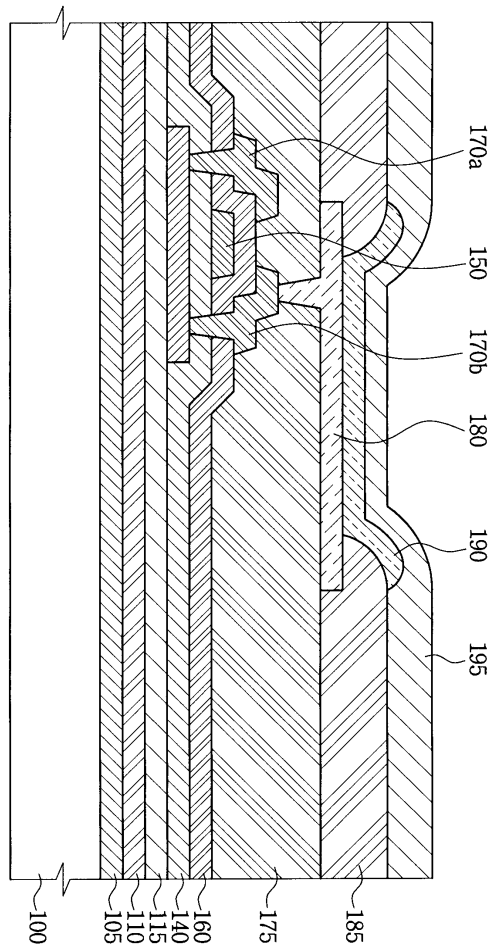
도면1e



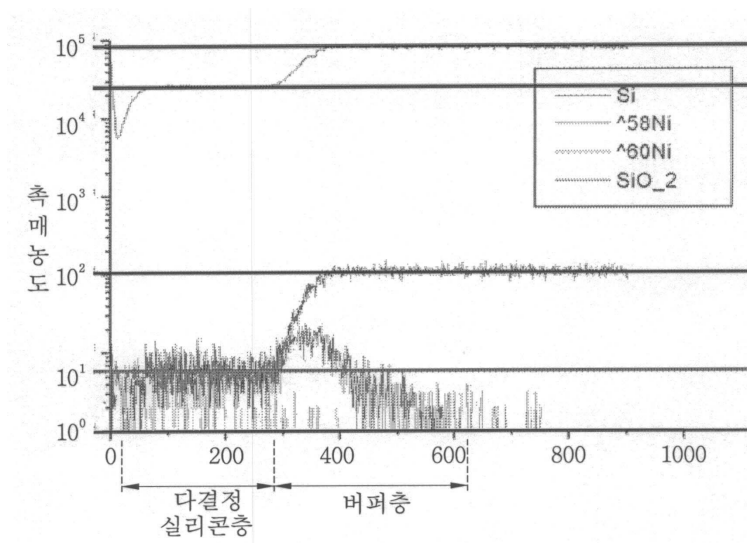
도면1f



도면2



도면3a



도면3b

