

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4613886号
(P4613886)

(45) 発行日 平成23年1月19日(2011.1.19)

(24) 登録日 平成22年10月29日(2010.10.29)

(51) Int.Cl. F I
 HO 1 L 27/148 (2006.01) HO 1 L 27/14 B
 HO 1 L 21/322 (2006.01) HO 1 L 21/322 J

請求項の数 17 (全 9 頁)

(21) 出願番号	特願2006-173681 (P2006-173681)	(73) 特許権者	000002185
(22) 出願日	平成18年6月23日(2006.6.23)		ソニー株式会社
(62) 分割の表示	特願2002-183383 (P2002-183383) の分割		東京都港区港南1丁目7番1号
原出願日	平成6年1月25日(1994.1.25)	(74) 代理人	110000925 特許業務法人信友国際特許事務所
(65) 公開番号	特開2006-313922 (P2006-313922A)	(74) 代理人	100065950
(43) 公開日	平成18年11月16日(2006.11.16)		弁理士 土屋 勝
審査請求日	平成18年6月23日(2006.6.23)	(72) 発明者	滝澤 律夫
(31) 優先権主張番号	特願平5-95388		東京都品川区北品川6丁目7番35号 ソニー株式会社内
(32) 優先日	平成5年3月30日(1993.3.30)	(72) 発明者	日下 卓久
(33) 優先権主張国	日本国(JP)		東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像素子の製造方法、及び半導体基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の表面に酸化膜を形成する工程と、

前記半導体基板に加速エネルギー200keV以上800keV以下で炭素を少なくとも $1 \times 10^{16} \text{ cm}^{-3}$ のピーク濃度でイオン注入する工程と、

前記酸化膜を除去する工程と、

前記半導体基板にエピタキシャル層を形成する工程と、

前記エピタキシャル層に固体撮像素子を形成する工程と

を有することを特徴とする固体撮像素子の製造方法。

【請求項2】

前記酸化膜は、SiO₂膜である

請求項1に記載の固体撮像素子の製造方法。

【請求項3】

前記半導体基板がCZ基板であり、抵抗率が1~10 cmであることを特徴とする請求項1又は2に記載の固体撮像素子の製造方法。

【請求項4】

前記酸化膜を形成する前に、前記半導体基板をNH₄OH/H₂O₂水溶液で洗浄し、更にHCl/H₂O₂水溶液で洗浄する工程を有する

請求項1~3のうちいずれか一項に記載の固体撮像素子の製造方法。

【請求項5】

10

20

前記固体撮像素子がCCDであることを特徴とする請求項1に記載の固体撮像素子の製造方法。

【請求項6】

前記炭素のドーズ量が $5 \times 10^{13} \text{ cm}^{-2}$ 以上 $5 \times 10^{15} \text{ cm}^{-2}$ 以下であることを特徴とする請求項1に記載の固体撮像素子の製造方法。

【請求項7】

前記半導体基板が固溶限界以上の酸素を含有していることを特徴とする請求項1に記載の固体撮像素子の製造方法。

【請求項8】

前記半導体基板がSiであり、酸素濃度が 8×10^{17} 原子 cm^{-3} 以上であることを特徴とする請求項1に記載の固体撮像素子の製造方法。

10

【請求項9】

前記半導体基板がSiであり、成長速度が 1 mm分^{-1} 以下であることを特徴とする請求項1に記載の固体撮像素子の製造方法。

【請求項10】

半導体基板の表面に酸化膜を形成する工程と、
前記半導体基板に加速エネルギー 200 keV 以上 800 keV 以下で炭素を少なくとも $1 \times 10^{16} \text{ cm}^{-3}$ のピーク濃度でイオン注入する工程と、
前記酸化膜を除去する工程と、
前記半導体基板にエピタキシャル層を形成する工程と、
を有することを特徴とする半導体基板の製造方法。

20

【請求項11】

前記酸化膜は、 SiO_2 膜である
請求項10に記載の半導体基板の製造方法。

【請求項12】

前記半導体基板がCZ基板であり、抵抗率が $1 \sim 10 \text{ cm}$ であることを特徴とする請求項10又は11に記載の半導体基板の製造方法。

【請求項13】

前記酸化膜を形成する前に、前記半導体基板を $\text{NH}_4\text{OH} / \text{H}_2\text{O}_2$ 水溶液で洗浄し、更に $\text{HCl} / \text{H}_2\text{O}_2$ 水溶液で洗浄する工程を有する
請求項10～12のうちいずれか一項に記載の半導体基板の製造方法。

30

【請求項14】

前記炭素のドーズ量が $5 \times 10^{13} \text{ cm}^{-2}$ 以上 $5 \times 10^{15} \text{ cm}^{-2}$ 以下であることを特徴とする請求項10に記載の半導体基板の製造方法。

【請求項15】

前記半導体基板が固溶限界以上の酸素を含有していることを特徴とする請求項10に記載の半導体基板の製造方法。

【請求項16】

前記半導体基板がSiであり、酸素濃度が 8×10^{17} 原子 cm^{-3} 以上であることを特徴とする請求項10に記載の半導体基板の製造方法。

40

【請求項17】

前記半導体基板がSiであり、成長速度が 1 mm分^{-1} 以下であることを特徴とする請求項10に記載の半導体基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像素子の製造方法、及び半導体基板の製造方法に関するものである。

【背景技術】

【0002】

半導体装置を形成するための半導体基板としては、CZ法で成長させたCZ基板や、M

50

CZ法で成長させたMCZ基板や、これらのCZ基板やMCZ基板の表面にエピタキシャル層を形成したエピタキシャル基板等が従来から用いられている。

【0003】

一方、半導体装置の形成工程は現在ではクラス100以下の超クリーンルーム内で行われているが、ガス、水や半導体製造装置等からの不純物による半導体基板の汚染を完全には避けることができない。しかも、半導体基板の表面にエピタキシャル層を形成する工程で半導体基板に導入される不純物の量は、半導体装置の形成工程で導入される不純物の量よりも更に多い。

【0004】

不純物や結晶欠陥が半導体基板の素子活性領域に存在していると、半導体装置の品質及び特性が著しく劣化する。また、不純物や結晶欠陥が半導体基板に存在していると、線等の放射線による照射損傷を半導体基板が受け易く、この損傷によって半導体装置の品質及び特性が更に劣化する。

10

【0005】

そこで、これらの不純物や結晶欠陥を素子活性領域から除去するために、イントリンシックゲッタリング(IG)やエクストリンシックゲッタリング(EG)が従来から行われている。図2、3は、これらの処理を施したエピタキシャル基板等に形成した半導体装置の特性を示している。

【0006】

これらの図2、3の結果を得るために、まず、ゲッタリングを行っていないCZ基板と、EGを行ったCZ基板と、IGを行ったCZ基板とに、同時にエピタキシャル層を形成した。この場合のEGは、620の温度のCVD法で膜厚が1.5 μ mの多結晶Si膜をCZ基板の裏面に形成して行った。また、IGは、1100、1.5時間の熱処理と、650、10時間の熱処理と、1050、2時間の熱処理とを順次に加え、酸素の析出でCZ基板の内部に結晶欠陥を発生させて行った。

20

【0007】

そして、これらのエピタキシャル基板に、膜厚が20nmのSiO₂膜から成るゲート絶縁膜とAl膜から成るゲート電極とを有するMOSキャパシタと、CCD撮像装置とを形成した。図2は、このMOSキャパシタを用いたC-t法で求めた発生寿命を、CZ基板における測定値を1として規格化した値として示している。図3は、CCD撮像装置の白傷欠陥の数を、MCZ基板における測定値を1として規格化した値として示している。なお、この白傷欠陥は、不純物等に起因する暗電流に相当している。

30

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところが、これらの図2、3から明らかな様に、エピタキシャル基板では、EGやIGを行っても、発生寿命はCZ基板と大差がなく、白傷欠陥の数に至ってはMCZ基板程度にまでも低減させることができていない。一方、CZ基板やMCZ基板でも、基板のみならず基板の表面に形成したゲート絶縁膜にも欠陥が存在しており、ゲート絶縁膜の耐圧劣化に起因する電流リークや界面準位の増大によって、CCD撮像装置における転送不良等が生じている。

40

【課題を解決するための手段】

【0009】

上述の点に鑑み、本発明の固体撮像素子の製造方法は、半導体基板の表面に酸化膜を形成する工程と、半導体基板に加速エネルギー200keV以上800keV以下で炭素を少なくとも $1 \times 10^{16} \text{ cm}^{-3}$ のピーク濃度でイオン注入する工程と、酸化膜を除去する工程と、半導体基板にエピタキシャル層を形成する工程と、エピタキシャル層に固体撮像素子を形成する工程とを有する。

【0010】

また、本発明の半導体基板の製造方法は、半導体基板の表面に酸化膜を形成する工程と

50

、半導体基板に加速エネルギー200keV以上800keV以下で炭素を少なくとも $1 \times 10^{16} \text{ cm}^{-3}$ のピーク濃度でイオン注入する工程と、酸化膜を除去する工程と、半導体基板にエピタキシャル層を形成する工程と、を有することを特徴とする。

【発明の効果】

【0011】

本発明による固体撮像素子及びその製造方法では、白傷欠陥の少ない固体撮像素子を提供することができる。

【0012】

本発明による半導体基板の製造方法では、品質及び特性の優れた半導体装置の形成が可能な半導体基板を提供することができる。

10

【発明を実施するための最良の形態】

【0013】

以下、本発明の第一及び第二実施形態を、図1～6を参照しながら説明する。図1が、第一実施形態を示している。この第一実施形態では、図1(a)に示す様に、CZ法で成長させたSi基板であるCZ基板11を準備する。このCZ基板11では、 $\langle 100 \rangle$ 面をミラー表面12としてあり、抵抗率が $1 \sim 10 \text{ cm}$ であり、酸素濃度が 1.5×10^{18} 原子 cm^{-3} である。そして、このCZ基板11を、まず $\text{NH}_4\text{OH} / \text{H}_2\text{O}_2$ 水溶液で洗浄し、更に $\text{HCl} / \text{H}_2\text{O}_2$ 水溶液で洗浄する。

【0014】

次に、 1000°C の温度でドライ酸化を行って、図1(b)に示す様に、膜厚が 20 nm 程度の SiO_2 膜13をミラー表面12に形成する。そして、 SiO_2 膜13を介してミラー表面12から、 800 keV の加速エネルギー及び $1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量で、炭素14をCZ基板11にイオン注入する。このときの炭素14の、投影飛程距離は $1.3 \mu\text{m}$ 程度であり、ピーク濃度は 1×10^{18} 原子 cm^{-3} 程度である。

20

【0015】

次に、 N_2 雰囲気中で 1000°C 、10分間のアニールを施す。この結果、図1(c)に示す様に、CZ基板11のミラー表面12よりも深い位置にピーク濃度を有する炭素注入領域15が形成される。この炭素注入領域15中における炭素14のピーク濃度は、 1×10^{16} 原子 cm^{-3} 以上であればよい。

【0016】

その後、 $\text{HF} / \text{NH}_4\text{F}$ 水溶液で SiO_2 膜13を除去する。そして、 SiHCl_3 ガスを用いて、 1150°C 程度の温度で、抵抗率が $20 \sim 30 \text{ cm}$ 程度のSiエピタキシャル層16を、ミラー表面12上に $10 \mu\text{m}$ 程度の厚さに成長させて、エピタキシャル基板17を完成させる。

30

【0017】

なお、炭素注入領域15中における炭素14のピーク濃度の位置をミラー表面12よりも深い位置にするのは、ピーク濃度の位置をミラー表面12にすると、ミラー表面12の結晶性が劣化して、このミラー表面12上に成長させるSiエピタキシャル層16の結晶性も劣化するからである。また、炭素14のイオン注入後に N_2 雰囲気中でアニールを行うのは、後にミラー表面12上にSiエピタキシャル層16を成長させるので、イオン注入で非晶質化されたミラー表面12の近傍部における結晶性を回復させるためである。

40

【0018】

更に、ミラー表面12に SiO_2 膜13を形成するのは、炭素14をイオン注入する際に、チャネリングが発生するのを防止すると共に、ミラー表面12がスパッタリングされるのを防止するためである。但し、 SiO_2 膜13と N_2 雰囲気中でのアニールとは、炭素14をイオン注入する際の加速エネルギーやドーズ量によっては、必ずしも必要ではない。

【0019】

図2、3には、この第一実施形態のエピタキシャル基板17を用いて測定した値も示されている。なお、図2、3に示されている従来例のエピタキシャル基板を形成するためのCZ基板と、この第一実施形態のエピタキシャル基板17を形成するためのCZ基板11

50

とは、同じ仕様である。これらの図 2、3 から明らかな様に、発生寿命は C Z 基板の 1 . 4 倍程度に改善されており、白傷欠陥の数は M C Z 基板の 1 / 2 程度に改善されている。つまり、エピタキシャル基板 1 7 では、半導体装置を形成した後もゲッタリング能力が有効に機能している。

【 0 0 2 0 】

なお、以上の第一実施形態では、800 keV の加速エネルギー及び $1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量で炭素 1 4 を C Z 基板 1 1 にイオン注入しているが、図 4 は、これらの条件のうちでドーズ量のみを種々に変化させて得た、炭素 1 4 のドーズ量と、エピタキシャル基板 1 7 に形成した C C D 撮像装置の白傷欠陥の数との関係を示している。

【 0 0 2 1 】

図 4 も、図 3 と同様に、M C Z 基板に形成した C C D 撮像装置の白傷欠陥の数を 1 として規格化した値を示している。但し、図 3 が対数グラフであるのに対して、図 4 は線型グラフである。この図 4 から、炭素 1 4 をイオン注入しさえすれば M C Z 基板よりも白傷欠陥の数が少なくなるが、ドーズ量が $5 \times 10^{13} \text{ cm}^{-2}$ 以上の場合に白傷欠陥の数が特に少なくて炭素 1 4 のイオン注入によるゲッタリング効果が大きいことが分かる。

【 0 0 2 2 】

但し、炭素 1 4 のドーズ量が $5 \times 10^{15} \text{ cm}^{-2}$ を超えると、C Z 基板 1 1 のミラー表面 1 2 の結晶性が劣化して、このミラー表面 1 2 上に成長させる S i エピタキシャル層 1 6 の結晶性も劣化する。従って、炭素 1 4 のドーズ量としては、 $5 \times 10^{13} \sim 5 \times 10^{15} \text{ cm}^{-2}$ の範囲が好ましい。

【 0 0 2 3 】

また、上述の第一実施形態では、800 keV の加速エネルギーで炭素 1 4 をイオン注入しているが、この加速エネルギーを 400 keV にしても、炭素 1 4 のイオン注入によるゲッタリング効果は 800 keV の場合と同じであり、200 keV にしても、ゲッタリング効果はやはり 800 keV の場合と同じであると考えられる。

【 0 0 2 4 】

従って、炭素 1 4 を低エネルギーでイオン注入する様にすれば、一般に用いられている高電流イオン注入装置を使用することができ、且つ C^{2+} に比べて約 10 倍の電流を得ることができる C^{+} を使用することができるので、スループットを約 10 倍に向上させることができる。

【 0 0 2 5 】

なお、加速エネルギーを 400 keV 及び 200 keV にした場合の炭素 1 4 の投影飛程距離は、夫々 0 . 75 μm 程度及び 0 . 40 μm 程度であり、何れの場合も、800 keV の場合と同様に、C Z 基板 1 1 のミラー表面 1 2 よりも深い位置にピーク濃度を有する炭素注入領域 1 5 を形成することができる。

【 0 0 2 6 】

また、上述の第一実施形態では、C Z 基板 1 1 のミラー表面 1 2 上に S i エピタキシャル層 1 6 を一時に成長させているが、エピタキシャル成長温度で S i エピタキシャル層 1 6 を所定の膜厚まで成長させてから一旦エピタキシャル成長温度の 1 / 2 以下の温度まで冷却するという一連の工程を 2 回以上繰り返すことによって、所望の膜厚の S i エピタキシャル層 1 6 を形成してもよい。

【 0 0 2 7 】

この様にすると、S i エピタキシャル層 1 6 の形成に際して 2 回以上の熱履歴が加えられるので、炭素 1 4 のイオン注入によって C Z 基板 1 1 に形成された結晶欠陥が更に成長し、エピタキシャル基板 1 7 のゲッタリング能力が更に高くなる。

【 0 0 2 8 】

また、上述の第一実施形態では、エピタキシャル基板 1 7 のゲッタリング能力を高めるために、炭素 1 4 のイオン注入のみを行っているが、C Z 基板 1 1 の裏面に多結晶 S i 膜やリンガラス膜を形成すること等によって行う E G を併用すると、ゲッタリング能力を更に高めることができる。

10

20

30

40

50

【0029】

また、上述の第一実施形態では、Si基板であるCZ基板11に炭素14のみをイオン注入しているが、IV族元素であるGe、Sn、Pb等を炭素14の代わりにイオン注入してもよく、IV族以外の元素を炭素14等のIV族元素と同時にイオン注入してもよい。また、この第一実施形態では、Si基板であるCZ基板11を用いているが、MCZ基板を用いてもよく、Si基板以外の基板を用いてもよい。Si基板以外の基板を用いる場合は、基板を形成している元素とは異なるがこの元素と同族で電氣的に中性な元素を少なくともイオン注入する。

【0030】

また、上述の第一実施形態では、SiHCl₃を用いてSiエピタキシャル層16を成長させているが、SiCl₄、SiH₂Cl₂、SiH₃ClまたはSiH₄をSiHCl₃の代わりに用いてもよく、特にSiH₄を用いると半導体装置の特性が更に良くなることが判明している。

10

【0031】

次に、第二実施形態を説明する。この第二実施形態では、MCZ法によるSi結晶の成長速度を0.5mm分⁻¹に設定して、酸素濃度が1×10¹⁸原子cm⁻³であり、<100>面をミラー表面とし、抵抗率が20Ωcm程度であるSi基板を作成した。そして、このSi基板に、膜厚が20nmのSiO₂膜から成るゲート絶縁膜とAl膜から成るゲート電極とを有するMOSキャパシタと、CCD撮像装置とを形成した。

【0032】

この第二実施形態で製造したSi基板を、従来例で製造したSi基板と比較すると、MOSキャパシタのSiO₂膜耐圧の良品率は4倍程度に改善されており、CCD撮像装置の白傷欠陥の数も1/5以下に改善されている。なお、この第二実施形態ではMCZ法でSi結晶を成長させたが、CZ法でも同様の効果を期待することができる。

20

【0033】

図5は、第二実施形態におけるSi基板の酸素濃度を更に種々に変化させて得た、Si基板の酸素濃度と、このSi基板に形成したCCD撮像装置の白傷欠陥の数との関係を示している。この図5から、酸素濃度が8×10¹⁷原子cm⁻³以上で白傷欠陥の数が低めに安定していることが分かる。これは、CCD撮像装置の形成工程で自然に導入されるIG効果によって不純物や結晶欠陥がゲッターリングされたためではないかと推測される。

30

【0034】

図6は、Si基板の酸素濃度を9×10¹⁷原子cm⁻³に固定した状態でSi結晶の成長速度を種々に変化させて得た、Si結晶の成長速度と、このSi基板に形成したMOSキャパシタのSiO₂膜耐圧の良品率及びCCD撮像装置の白傷欠陥の数との関係を示している。この図6から、成長速度が1mm分⁻¹以下であればSiO₂膜耐圧の良品率も白傷欠陥の数も良好であることが分かる。これは、成長速度が遅いために、結晶成長時に導入される点欠陥やそのクラスタ等が少ないためではないかと推測される。

【0035】

従って、このSi基板にCCD撮像装置を形成すると、白傷欠陥が少ないのみならず、ゲート絶縁膜の耐圧劣化に起因する転送不良等も少ない。なお、Si結晶の成長速度としては、従来は、生産性の観点等から、1.5mm分⁻¹程度が一般的に採用されていた。

40

【産業上の利用可能性】

【0036】

本発明は、固体撮像素子及びその製造方法と半導体装置の形成が可能なSi基板及び半導体基板の製造方法とに利用することができる。

【図面の簡単な説明】

【0037】

【図1】本発明の第一実施形態を工程順に示す側断面図である。

【図2】半導体基板の種類と発生寿命との関係を示すグラフである。

【図3】半導体基板の種類と白傷欠陥の数との関係を示すグラフである。

50

【図4】炭素のドーズ量と白傷欠陥の数との関係を示すグラフである。

【図5】Si基板の酸素濃度と白傷欠陥の数との関係を示すグラフである。

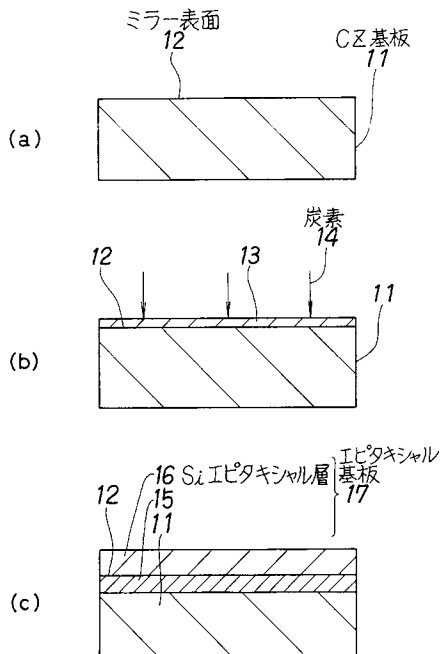
【図6】Si結晶の成長速度とSiO₂膜耐圧の良品率及び白傷欠陥の数との関係を示すグラフである。

【符号の説明】

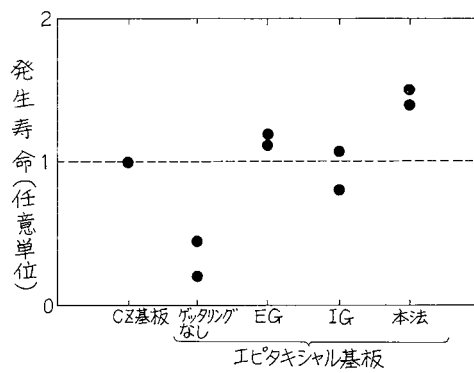
【0038】

- 11 CZ基板
- 12 ミラー表面
- 14 炭素
- 16 Siエピタキシャル層
- 17 エピタキシャル基板

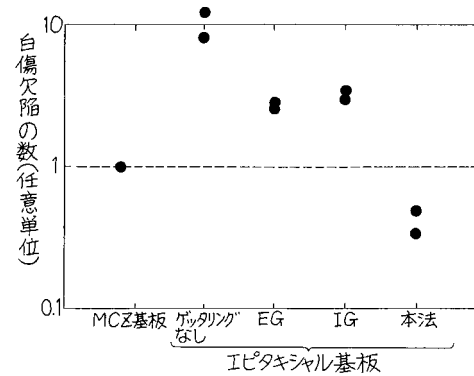
【図1】



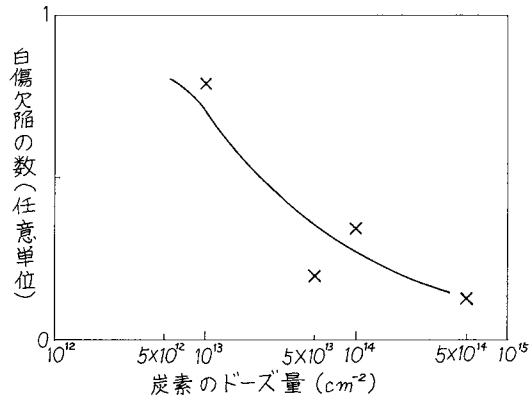
【図2】



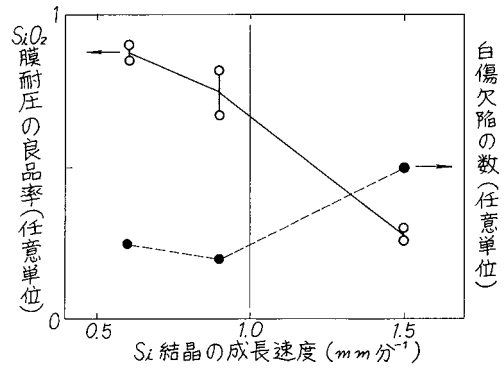
【図3】



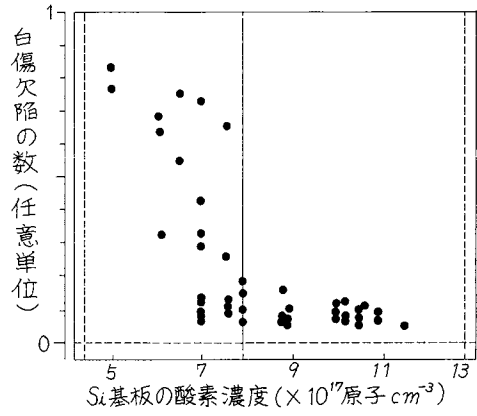
【図4】



【図6】



【図5】



フロントページの続き

- (72)発明者 樋口 孝良
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 神戸 秀夫
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 大橋 正典
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 綿引 隆

- (56)参考文献 特開平04-010544(JP,A)
特開平04-130731(JP,A)
特開昭63-164440(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|-----------|--------|
| C30B15/00 | - 36 |
| H01L | 21/322 |
| H01L | 27/148 |