

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H04L 1/00 (2009.01)
H04W 88/08 (2009.01)



[12] 实用新型专利说明书

专利号 ZL 200820125222.6

[45] 授权公告日 2009年4月29日

[11] 授权公告号 CN 201230316Y

[22] 申请日 2008.6.2

[21] 申请号 200820125222.6

[30] 优先权

[32] 2007.5.31 [33] US [31] 60/941,239

[73] 专利权人 美商内数位科技公司

地址 美国特拉华州

[72] 发明人 辛颂佑 D·M·格利可 N·夏

P·J·派翠司基 R·L·奥勒森

[74] 专利代理机构 北京润平知识产权代理有限公司

代理人 刘国平 王敬波

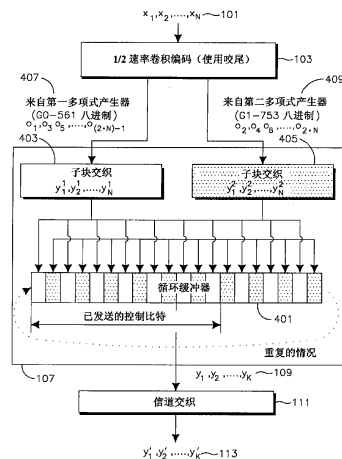
权利要求书 6 页 说明书 14 页 附图 12 页

[54] 实用新型名称

用于发送和接收控制信道的无线发射/接收单元和基站

[57] 摘要

公开了一种用于发送和接收控制信道的无线发射/接收单元和基站，包括卷积码编码器。耦合到卷积码编码器且还耦合到循环缓冲器的速率匹配模块执行速率匹配。速率匹配模块可以耦合到单个交织器或者可替换地耦合到多个子块交织器。子块交织器可以将已编码的比特以交织的格式存储在所述循环缓冲器中，或者独立的子块交织器可以输出已编码的比特流并将其连续地存储在所述循环缓冲器中。子块交织器被配置成执行不同的交织模式。速率匹配模块被配置成执行比特删余或重复以匹配有效物理信道资源的速率。与速率匹配模块相耦合的信道交织器被配置成对已速率匹配的输出比特进行交织。



1、一种用于无线通信中的发送和接收控制信道的无线发射/接收单元，其特征在于，该无线发射/接收单元包括：

卷积编码器，用于编码所述控制信道；

速率匹配模块，耦合到所述卷积编码器，并且该速率匹配模块用于对所述控制信道进行速率匹配；和

循环缓冲器，耦合到所述速率匹配模块。

2、根据权利要求1所述的无线发射/接收单元，其特征在于，所述卷积编码器被配置成执行速率 $1/2$ 卷积编码以从 N 比特输入块中产生 $2 \cdot N$ 个已编码比特。

3、根据权利要求1所述的无线发射/接收单元，其特征在于，该无线发射/接收单元还包括耦合到所述速率匹配模块的信道交织器。

4、根据权利要求1所述的无线发射/接收单元，其特征在于，所述速率匹配模块被配置成当 $2 \cdot N$ 大于 K 比特时，输出所述循环缓冲器的前 K 比特，其中 K 是在有效物理信道资源上能被发送的比特的数量。

5、根据权利要求1所述的无线发射/接收单元，其特征在于，所述速率匹配模块被配置成：当 $2 \cdot N$ 小于 K 比特时，当到达所述循环缓冲器的终点时，从所述循环缓冲器的起点重新读起，直到已经读出 K 比特，其中 K 是在有效物理信道资源上能被发送的比特的数量。

6、根据权利要求2所述的无线发射/接收单元，其特征在于，该无线发射/接收单元还包括一个耦合到所述速率匹配模块的块交织器。

7、根据权利要求 2 所述的无线发射/接收单元，其特征在于，该无线发射/接收单元还包括两个耦合到所述速率匹配模块的子块交织器。

8、根据权利要求 7 所述的无线发射/接收单元，其特征在于，所述两个子块交织器中的每一个子块交织器被配置成输出不同的交织模式。

9、根据权利要求 7 所述的无线发射/接收单元，其特征在于，当输出比特流存储在所述循环缓冲器中时，所述两个子块交织器被配置成交错所述输出比特流，所述输出比特流来自所述两个子块交织器中的每一个子块交织器。

10、根据权利要求 7 所述的无线发射/接收单元，其特征在于，所述两个子块交织器中的每一个子块交织器被配置成将来自所述两个子块交织器中的每一个子块交织器的输出比特流连续地存储在所述循环缓冲器中。

11、根据权利要求 1 所述的无线发射/接收单元，其特征在于，所述卷积编码器被配置成执行速率 $1/3$ 卷积编码以从 N 比特输入块中产生 $3 \cdot N$ 个已编码比特。

12、根据权利要求 11 所述的无线发射/接收单元，其特征在于，所述速率匹配模块被配置成当 $3 \cdot N$ 大于 K 比特时，输出所述循环缓冲器的前 K 比特，其中 K 是在所述有效物理信道资源上能被发送的比特的数量。

13、根据权利要求 11 所述的无线发射/接收单元，其特征在于，所述速率匹配模块被配置成：当 $3 \cdot N$ 小于 K 比特时，当到达所述循环缓冲器的终点时，从所述循环缓冲器的起点重新读起，直到已经读出 K 比特，其中 K 是

在所述有效物理信道资源上能被发送的比特的数量。

14、根据权利要求 11 所述的无线发射/接收单元，其特征在于，该无线发射/接收单元还包括一个耦合到所述速率匹配模块的块交织器。

15、根据权利要求 11 所述的无线发射/接收单元，其特征在于，该无线发射/接收单元还包括三个耦合到所述速率匹配模块的子块交织器。

16、根据权利要求 15 所述的无线发射/接收单元，其特征在于，所述三个子块交织器中的每一个子块交织器被配置成输出不同的交织模式。

17、根据权利要求 15 所述的无线发射/接收单元，其特征在于，当输出比特流存储在所述循环缓冲器中时，所述三个子块交织器被配置成交错所述输出比特流，所述输出比特流来自所述三个子块交织器中的每一个子块交织器。

18、根据权利要求 15 所述的无线发射/接收单元，其特征在于，所述三个子块交织器的每一个子块交织器被配置成将来自所述三个子块交织器中的每一个子块交织器的输出比特流连续地存储在所述循环缓冲器中。

19、一种用于无线通信中发送和接收控制信道的基站，其特征在于，该基站包括：

卷积编码器，用于编码所述控制信道；

速率匹配模块，耦合到所述卷积编码器，并且该速率匹配模块用于对所述控制信道进行速率匹配；和

循环缓冲器，耦合到所述速率匹配模块。

20、根据权利要求 19 所述的基站，其特征在于，所述卷积编码器被配置成执行速率 $1/2$ 卷积编码以从 N 比特输入块中产生 $2 \cdot N$ 个已编码比特。

21、根据权利要求 19 所述的基站，其特征在于，该基站还包括耦合到所述速率匹配模块的信道交织器。

22、根据权利要求 19 所述的基站，其特征在于，所述速率匹配模块被配置成当 $2 \cdot N$ 大于 K 比特时，输出所述循环缓冲器的前 K 比特，其中 K 是在有效物理信道资源上能被发送的比特的数量。

23、根据权利要求 19 所述的基站，其特征在于，所述速率匹配模块被配置成：当 $2 \cdot N$ 小于 K 比特时，当到达所述循环缓冲器的终点时，从所述循环缓冲器的起点重新读起，直到已经读出 K 比特，其中 K 是在有效物理信道资源上能被发送的比特的数量。

24、根据权利要求 20 所述的基站，其特征在于，该基站还包括一个耦合到所述速率匹配模块的块交织器。

25、根据权利要求 20 所述的基站，其特征在于，该基站还包括两个耦合到所述速率匹配模块的子块交织器。

26、根据权利要求 25 所述的基站，其特征在于，所述两个子块交织器中的每一个子块交织器被配置成输出不同的交织模式。

27、根据权利要求 25 所述的基站，其特征在于，当输出比特流存储在所述循环缓冲器中时，所述两个子块交织器被配置成交错所述输出比特流，

所述输出比特流来自所述两个子块交织器中的每一个子块交织器。

28、根据权利要求 25 所述的基站，其特征在于，所述两个子块交织器中的每一个子块交织器被配置成将来自所述两个子块交织器中的每一个子块交织器的输出比特流连续地存储在所述循环缓冲器中。

29、根据权利要求 19 所述的基站，其特征在于，所述卷积编码器被配置成执行速率 $1/3$ 卷积编码以从 N 比特输入块中产生 $3 \cdot N$ 个已编码比特。

30、根据权利要求 29 所述的基站，其特征在于，所述速率匹配模块被配置成当 $3 \cdot N$ 大于 K 比特时，输出所述循环缓冲器的前 K 比特，其中 K 是在所述有效物理信道资源上能被发送的比特的数量。

31、根据权利要求 29 所述的基站，其特征在于，所述速率匹配模块配置成：当 $3 \cdot N$ 小于 K 比特时，当到达所述循环缓冲器的终点时，从所述循环缓冲器的起点重新读起，直到已经读出 K 比特，其中 K 是在所述有效物理信道资源上能被发送的比特的数量。

32、根据权利要求 29 所述的基站，其特征在于，该基站还包括一个耦合到所述速率匹配模块的块交织器。

33、根据权利要求 29 所述的基站，其特征在于，该基站还包括三个耦合到所述速率匹配模块的子块交织器。

34、根据权利要求 33 所述的基站，其特征在于，所述三个子块交织器中的每一个子块交织器被配置成输出不同的交织模式。

35、根据权利要求 33 所述的基站，其特征在于，当输出比特流存储在所述循环缓冲器中时，所述三个子块交织器被配置成交错所述输出比特流，所述输出比特流来自所述三个子块交织器中的每一个子块交织器。

36、根据权利要求 33 所述的基站，其特征在于，所述三个子块交织器中的每一个子块交织器被配置成将来自所述三个子块交织器的每一个子块交织器的输出比特流连续地存储在所述循环缓冲器中。

用于发送和接收控制信道的无线发射/接收单元和基站

技术领域

本实用新型涉及移动通信系统。更特别地，本实用新型涉及信道编码。

背景技术

对于长期演进（LTE）数据信道、物理上行链路共享信道（PUSCH）和物理下行链路共享信道（PDSCH），基于速率匹配（RM）算法的循环缓冲器（CB）被应用在 Turbo 编码上，其中 Turbo 编码是被用作 LTE 数据信道上的前向纠错（FEC）编码的。对于 LTE 控制信道，例如物理上行链路控制信道（PUCCH）和物理下行链路控制信道（PDCCH）（以及其它公共信道），卷积编码是被用作 FEC 的，但是该 FEC 的细节，包括约束长度和编码速率，有待进一步的研究（FFS）。另外，对于控制信道的速率匹配也是 FFS。

实用新型内容

公开了一种用于物理上行链路控制信道（PUCCH）和物理下行链路控制信道（PDCCH）的信道编码以及速率匹配的无线发射/接收单元（WTRU）和基站，所述 WTRU 和基站包括卷积码编码器。耦合到所述卷积码编码器相且还耦合到循环缓冲器上的速率匹配模块执行速率匹配。速率匹配模块可以被耦合到单个交织器或者可替换地被耦合到多个子块交织器上。子块交织器可以将已编码的比特以交织的格式存储在所述循环缓冲器中，或者独立的子块交织器可以输出已编码的比特流并将该比特流连续地存储在所述循环缓冲器中。子块交织器可以被配置成执行不同的交织模式。所述速率匹配模块可以被配置成执行比特删余或重复以匹配有效（available）物理信道资源的速率。耦合到所述速率匹配模块的信道交织器可以被配置成对已速率匹配

的输出比特进行交织。

附图说明

从以下描述中可以更详细地了解本实用新型，这些描述是以实例的方式给出的，并且可以结合附图加以理解，其中：

图 1 是 PDCCH 和 PUCCH 的信道编码链的示图；

图 2 是速率 1/2 和速率 1/3 的卷积码的示图；

图 3 是使用没有尾比特的 1/2 速率卷积编码器和使用单个交织器的基于循环缓冲器的速率匹配的示图；

图 4 是使用没有尾比特的 1/2 速率卷积编码器和使用两个子块交织器的基于循环缓冲器的速率匹配的示图；

图 5 是使用没有尾比特的 1/3 速率卷积编码器和使用单个交织器的基于循环缓冲器的速率匹配的示图；

图 6 是使用没有尾比特的 1/3 速率卷积编码器和使用三个子块交织器的基于循环缓冲器的速率匹配的示图；

图 7 是使用具有尾比特的 1/2 速率卷积编码器和使用单个交织器的基于循环缓冲器的速率匹配的示图；

图 8 是使用具有尾比特的 1/2 速率卷积编码器和使用两个子块交织器的基于循环缓冲器的速率匹配的示图；

图 9 是使用具有尾比特的 1/3 速率卷积编码器和使用单个交织器的基于循环缓冲器的速率匹配的示图；

图 10 是使用具有尾比特的 1/3 速率卷积编码器和使用三个子块交织器的基于循环缓冲器的速率匹配的示图；

图 11 是使用没有尾比特的 1/2 速率卷积编码器和版本 4 速率匹配的示图；

图 12 是使用没有尾比特的 1/3 速率卷积编码器和版本 4 RM 的示图；
 图 13 是使用具有尾比特的 1/2 速率卷积编码器和版本 4 速率匹配的示图；和
 图 14 是使用具有尾比特的 1/3 速率卷积编码器和版本 4 速率匹配的示图。

具体实施方式

当在下文提及到时，术语“无线发射/接收单元（WTRU）”包括但不限于用户设备（UE）、移动站、固定的或移动的用户单元、寻呼机、蜂窝电话、个人数字助理（PDA）、计算机或任何可在无线环境中操作的其它类型的用户设备。当在下文提及到时，术语“基站”包括但不限于节点 B、站点控制器、接入点（AP）或者任何可在无线环境中操作的其它类型的接口设备。

参考图 1，示出了用于物理下行链路控制信道（PDCCH）和物理上行链路控制信道（PUCCH）的信道编码链。编码块 101 被传送到卷积编码功能 103。编码块 101 被表示为 x_1, x_2, \dots, x_N ，其中 N 是编码块 101 中比特的数量。在卷积编码 103 之后，已编码的比特 105 被表示为 $o_1, o_2, \dots, o_{N/R+N_T}$ ，其中 R 是编码速率（例如 1/2 或 1/3）。已编码比特 105 的数量依赖于编码速率和使用中的尾比特的数量，使用中如下所示：

- 具有尾比特的 1/2 速率： $2 \cdot N + 16$ ，其中 $N_T = 16$ ；
- 移除尾比特的 1/2 速率： $2 \cdot N$ ，其中 $N_T = 0$ ；
- 具有尾比特的 1/3 速率： $3 \cdot N + 24$ ，其中 $N_T = 24$ ；
- 移除尾比特的 1/3 速率： $3 \cdot N$ ，其中 $N_T = 0$ 。

可以使用约束长度为 9、母码速率 1/2 和 1/3 的卷积码，然而，在这里公开的编码和速率匹配可以采用任何的约束长度（例如 7）和/或任何的母码速率，例如 1/5 或 1/6。

然后，已编码比特 105 通过速率匹配处理 107 被删余或重复以匹配有效物理信道资源。例如，示出了两种速率匹配算法，通过循环缓冲器速率匹配和版本 6 规定的速率匹配。

在速率匹配 107 之后，已速率匹配的比特 109 然后通过信道交织 111 被进行序列改变（permute），已速率匹配的比特 109 表示为 y_1, y_2, \dots, y_K ，其中 K 是已发送的物理控制比特的数量。应当提及的是，当采用循环缓冲器速率匹配时，可以省略信道交织处理 111，因为循环缓冲器速率匹配方法包括如以下将详细描述的内部交织，其可以扮演信道交织的角色。

参考图 2，将描述两个卷积编码器。速率 1/2 卷积编码器 201，以及速率 1/3 卷积编码器 203。在速率 1/2 卷积编码器 201 中，对于每一个输入比特，输出两个比特 207 和 209。在速率 1/3 卷积编码器 203 中，对于每一个输入比特，输出三个比特 211、213、和 215。

当输入比特通过存储寄存器 217 被卷积时，存储寄存器 217 的内容通过使用模块添加器 205 可选地进行添加以到达输出比特 207、209、211、213、和 215。表示为 G_0, G_1 和 G_2 的多项式确定哪个存储寄存器 217 被添加来计算特定的输出比特 207、209、211、213 和 215。

应当提及的是，配置用于在 PDCCH 和 PUCCH 中发送的控制信道元素的数量可以承受多种控制信令格式。在这种情况下，控制信道元素的数量将根据控制信令格式来变化。当该情况发生时，可以使用多速率匹配算法。

表 1 列出了优选的候选信道和速率匹配的组合，这些组合是可有利的地应用于 LTE 控制信道和其他使用卷积编码的信道。

表 1

	编码机制	速率匹配 (RM)
选项-1 (a)	没有尾比特的 1/2 速率卷积编码	基于循环缓冲器的、采用单个交织器的速率匹配
选项-1 (b)		基于循环缓冲器的、采用两个子块交织器的速率匹配
选项-2 (a)	没有尾比特的 1/3 速率卷积编码	基于循环缓冲器的、采用单个交织器的速率匹配
选项-2 (b)		基于循环缓冲器的、采用三个子块交织器的速率匹配
选项-3 (a)	具有尾比特的 1/2 速率卷积编码	基于循环缓冲器的、采用单个交织器的速率匹配
选项-3 (b)		基于循环缓冲器的、采用两个子块交织器的速率匹配
选项-4 (a)	具有尾比特的 1/3 速率卷积编码	基于循环缓冲器的、采用单个交织器的速率匹配
选项-4 (b)		基于循环缓冲器的、采用三个子块交织器的速率匹配
选项-5	没有尾比特的 1/2 速率卷积编码	版本 4 速率匹配
选项-6	没有尾比特的 1/3 速率卷积编码	版本 4 速率匹配
选项-7	具有尾比特的 1/2 速率卷积编码	版本 4 速率匹配
选项-8	具有尾比特的 1/3 速率卷积编码	版本 4 速率匹配

现在将详细描述表 1 中的每一个选项。参考图 3，示出了采用基于循环缓冲器的速率匹配 107 和单个子块交织器 201 的 1/2 速率卷积编码器。

表示为 x_1, x_2, \dots, x_N 的、长度为 N 的编码块 101，被输入到 1/2 速率卷积编码器 103。编码器 103 所使用的卷积码，可以是由例如版本 99、版本 4 或版本 5/6 提供的卷积编码，但是在不脱离本公开的范围和实质的情况下，也可以使用其他卷积编码方法。从卷积编码器 103 产生了 $2 \cdot N$ 已编码比特

105, 表示为 $o_1, o_2, \dots, o_{2 \cdot N}$ 。已编码比特 105 然后被子块交织器 301 在循环缓冲器速率匹配 107 中进行序列改变, 因此产生已交织编码比特 305, 其表示为 $y_1, y_2, \dots, y_{2 \cdot N}$ 。

如果将执行删余的话, 也就是 $2 \cdot N \geq K$, 那么从已交织编码比特 305 中取出前 K 比特来匹配 K 个物理信道比特。在 $2 \cdot N \leq K$ 的情况下, 将重复执行以便于, 当达到缓冲器 303 的终点之后, 缓冲器 303 能被再次从头读起直到 K 比特 ($2 \cdot N$ 已编码比特 + $(K - 2 \cdot N)$ 已重复比特) 从缓冲器中取出。

如果需要的话, 作为结果的已速率匹配的 K 比特 109 (表示为 y_1, y_2, \dots, y_K) 随后采用一个信道交织器进行序列改变。最后得到的比特 113 是已交织的、速率匹配的、编码的比特。

参考图 4, 采用基于循环缓冲器的速率匹配和两个内部子块交织器的 $1/2$ 速率卷积编码器。长度为 N 比特的编码块 101 被输入到 $1/2$ 速率卷积编码器 103, 该 $1/2$ 速率卷积编码器 103 采用循环缓冲器 401 和两个子块交织器 403 和 405。卷积编码 103 产生 $2 \cdot N$ 已编码比特 105, 这里从第一多项式产生器 407 产生、表示为 $o_1, o_3, \dots, o_{2 \cdot N - 1}$ 的比特被输入到子块交织器 403。从第二多项式产生器 409 产生、表示为 $o_2, o_4, o_6, \dots, o_{2 \cdot N}$ 的比特被输入到子块交织器 405。这些比特然后交织到循环缓冲器 401。

在可替换的实施例中, 从多项式产生器 407 和 409 产生的比特可以存储到循环缓冲器 401, 这样来自每个子块交织器 403 和 405 的输出流被连续地存储在循环缓冲器 401。

如果在 $2 \cdot N \geq K$ 的情况下将执行删余的话, 那么从已交织比特序列 5 中取出前 K 比特来匹配 K 个物理信道比特。否则, 在 $2 \cdot N \leq K$ 的情况下, 重复执行以便于, 当达到缓冲器 401 的终点之后缓冲器 401 能继续从缓冲器 401 的起点读起直到 K 比特 (即 $2 \cdot N$ 已编码比特 + $(K - 2 \cdot N)$ 已重复比特) 从缓冲器中被取出。

如果需要的话,作为结果的已匹配的 K 比特 109(被表示为 y_1, y_2, \dots, y_K) 随后采用信道交织器 111 进行序列改变。输出 113 表示已卷积编码的、速率匹配的、交织的输出比特。

参考图 5, 示出了采用基于循环缓冲器的速率匹配 107 和单个子块交织器 503 的 $1/3$ 速率卷积编码器 103。没有尾比特、长度为 N 的已编码比特 101 被输入到 $1/3$ 速率卷积编码器 103, 该 $1/3$ 速率卷积编码器 103 使用诸如版本 4、版本 5/6、或版本 99 的卷积码。表示为 $o_1, o_2, \dots, o_{3 \cdot N}$ 的已编码比特 105, 然后进入循环缓冲器速率匹配 107 中。在循环缓冲器速率匹配 107 模块中, 子块交织器 503 交织已编码比特 105 得到已交织编码比特 505, 其表示为 $y_1, y_2, \dots, y_{3 \cdot N}$ 。

如果将执行删余的话,例如 $3 \cdot N \geq K$ 的情况下,那么对于序列 $y_1, y_2, \dots, y_{3 \cdot N}$, 取出前 K 比特以匹配 K 个物理信道比特。否则,在 $3 \cdot N < K$ 的情况下,比特重复将通过以下方式执行:当达到缓冲器 501 的终点时,从缓冲器 501 的起点重新读起直到 K 比特($3 \cdot N$ 已编码比特 + $(K - 3 \cdot N)$ 已重复比特)从缓冲器 501 中取出。删余或重复的结果是已速率匹配的、编码的比特 109, 其表示为 y_1, y_2, \dots, y_K 。如果需要的话,随后已速率匹配的、编码的比特 109 可以输入到信道交织器 111, 产生了已交织的、速率匹配的、编码的比特 113。

参考图 6, 示出了信道编码和速率匹配,其是采用 $1/3$ 速率卷积编码器 103 和具有三个内部子块交织器 601、602、603 的基于循环缓冲器的速率匹配 107。表示为 x_1, x_2, \dots, x_N 的长度为 N 的没有尾比特编码块 101, 被输入到 $1/3$ 速率卷积编码器 103, 该 $1/3$ 速率卷积编码器 103 采用的是诸如在版本 99 中特定的速率 $1/3$ 卷积码。

卷积编码器 103 从 3 个多项式产生器 601、602 和 603 中产生 $3 \cdot N$ 已编码比特, 其中多项式产生器 601、602 和 603 产生三个奇偶比特流, 分别表示为 $o_1, o_4, \dots, o_{(3 \cdot N) - 2}$; $o_2, o_5, \dots, o_{(3 \cdot N) - 1}$; 和 $o_3, o_6, \dots, o_{(3 \cdot N)}$ 。从多项式产

生器 601、602 和 603 产生的已编码比特随后通过三个内部子块交织器 605、607 和 609 输入到基于循环缓冲器的速率匹配 107。每个内部子块交织器 605、607 和 609 产生已交织的、已编码的比特，分别表示为 $\{y^1_1, y^1_2, \dots, y^1_N\}$ ； $\{y^2_1, y^2_2, \dots, y^2_N\}$ ；和 $\{y^3_1, y^3_2, \dots, y^3_N\}$ 。该已交织已编码的比特随后被逐个比特地交织并写入到循环缓冲器 611 中。

在可替换的实施例中，从多项式产生器 601、602 和 603 产生的比特可以存储到循环缓冲器 611，这样来自每个子块交织器 605、607 和 609 的输出流连续地存储在循环缓冲器 611。

如果将执行删余的话，例如在 $3 \cdot N \geq K$ 的情况下，那么对于序列 $y_1, y_2, \dots, y_{3 \cdot N}$ ，取出前 K 比特以匹配 K 个物理信道比特。否则，在 $3 \cdot N < K$ 的情况下，比特重复将通过以下方式执行：当达到缓冲器 611 的终点时，从缓冲器 611 的起点重新读起直到 K 比特（ $3 \cdot N$ 已编码比特 + $(K - 3 \cdot N)$ 已重复比特）从缓冲器 611 中取出。删余或重复的结果是已速率匹配的、编码的比特 109，其表示为 y_1, y_2, \dots, y_K 。如果需要的话，随后已速率匹配的、编码的比特 109 可以输入到信道交织器 111，产生了已速率匹配的、编码的、交织的输出比特 113。

图 7 描述了具有尾比特的速率 $1/2$ 卷积编码，其使用了利用单个子块交织器 701 的、基于循环缓冲器的速率匹配机制 107。

表示为 x_1, x_2, \dots, x_N 、长度为 N 的编码块 101，被输入到使用尾比特的 $1/2$ 速率卷积编码器 103。从卷积编码器 103 产生了 $(2 \cdot N) + 16$ 个已编码比特 105，表示为 $o_1, o_2, \dots, o_{(2 \cdot N) + 16}$ 。已编码比特被单个子块交织器 701 接收以产生 $(2 \cdot N) + 16$ 个已交织编码比特 705，其表示为 $y_1, y_2, \dots, y_{(2 \cdot N) + 16}$ 。已交织已编码比特 705 被写入到循环缓冲器 703。

如果将执行删余的话，例如在 $(2 \cdot N) + 16 \geq K$ 的情况下，那么对于序列 $y_1, y_2, \dots, y_{(2 \cdot N) + 16}$ ，取出前 K 比特以匹配 K 个物理信道比特。否则，在 $(2 \cdot N) + 16 < K$

的情况下，比特重复将通过以下方式执行：当达到缓冲器 703 的终点时，从缓冲器 703 的起点重新读起直到 K 比特 ($(2 \cdot N) + 16$ 已编码比特 + $(K - ((2 \cdot N) + 16))$ 已重复比特) 从缓冲器 703 中取出。删余或重复的结果是已速率匹配的、编码的比特 109，其表示为 y_1, y_2, \dots, y_K 。如果需要的话，随后已速率匹配的、编码比特 109 可以输入到信道交织器 111，产生了已速率匹配的、编码的、交织的输出比特 113。

图 8 中示出了具有尾比特的 1/2 速率卷积编码器 103，其使用了利用两个子块交织器 805 和 807 的、基于循环缓冲器的速率匹配机制 107。

表示为 x_1, x_2, \dots, x_N 、长度为 N 的控制块 101，被输入到使用尾比特的 1/2 速率卷积编码器 103。具有尾比特的 1/2 速率卷积编码器 103 使用的卷积码，可以是由例如版本 99、版本 4、或版本 5/6 提供的卷积编码。1/2 速率卷积编码器 103 产生了 $(2 \cdot N) + 16$ 个已编码比特，其中最后 16 比特对应于尾比特。该 $(2 \cdot N) + 16$ 已编码比特由两个多项式产生器 801 和 803 产生，其中多项式产生器 801 和 803 产生两个独立的速率 1/2 卷积码的奇偶比特流。

从多项式产生器 801 和 803 产生两个独立的速率 1/2 卷积码的奇偶比特流，分别表示为 $\{o_1, o_3, o_5, \dots, o_{(2 \cdot N) + 15}\}$ ；和 $\{o_2, o_4, o_6, \dots, o_{(2 \cdot N) + 16}\}$ ，它们分别由内部子块交织器 805 和 807 进行了序列改变。结果产生的已交织的奇偶比特流，表示为 $\{y^1_1, y^1_2, \dots, y^1_{N+8}\}$ 和 $\{y^2_1, y^2_2, \dots, y^2_{N+8}\}$ ，其是被交织的（例如 $(y^1_1, y^2_1, y^1_2, y^2_2, \dots, y^1_{N+8}, y^2_{N+8})$ ）并写入到循环缓冲器 809 中。

在可替换的实施例中，从多项式产生器 801 和 803 产生的比特可以存储到循环缓冲器 809 中，这样来自每个子块交织器 801 和 803 的输出流连续地存储在循环缓冲器 809。

如果将执行删余的话，例如在 $(2 \cdot N) + 16 \geq K$ 的情况下，那么对于序列 $y_1, y_2, \dots, y_{(2 \cdot N) + 16}$ ，取出前 K 比特以匹配 K 个物理信道比特。否则，在 $(2 \cdot N) + 16 < K$

的情况下，比特重复将通过以下方式执行：当达到缓冲器 703 的终点时，从缓冲器 703 的起点重新读起直到 K 比特 ($(2 \cdot N) + 16$ 已编码比特 + $(K - ((2 \cdot N) + 16))$ 已重复比特) 从缓冲器 703 中取出。删余或重复的结果是速率匹配的、已编码的比特 109，其表示为 y_1, y_2, \dots, y_K 。如果需要的话，随后已速率匹配的、编码的比特 109 可以输入到信道交织器 111，产生了已速率匹配的、编码的、交织的输出比特 113。

图 9 中示出了具有尾比特的速率 1/3 卷积编码，其使用了利用单个交织器 901 的、基于循环缓冲器的速率匹配机制 107。

表示为 x_1, x_2, \dots, x_N 的、长度为 N 的控制块 101，输入到使用尾比特的 1/3 速率卷积编码器 103。产生的卷积码，可以由例如版本 99、版本 4、或版本 5/6 提供的卷积编码。产生的已编码比特 105，表示为 $o_1, o_2, \dots, o_{(3 \cdot N) + 23}, o_{(3 \cdot N) + 24}$ ，其随后通过使用基于循环缓冲器的速率匹配 107 而被速率匹配。已编码比特 105 被输入到单个子块交织器 901，产生了表示为 $y_1, y_2, \dots, y_{(3 \cdot N) + 23}, y_{(3 \cdot N) + 24}$ 的已交织编码比特 903。

已交织已编码比特 903 被存储到循环缓冲器 905。如果将执行删余的话，例如在 $(3 \cdot N) + 24 \geq K$ 的情况下，那么对于序列 $y_1, y_2, \dots, y_{(3 \cdot N) + 24}$ ，取出前 K 比特以匹配 K 个物理信道比特。否则，在 $(3 \cdot N) + 24 < K$ 的情况下，比特重复将通过以下方式执行：当达到缓冲器 905 的终点时，从缓冲器 905 的起点重新读起直到 K 比特 ($(3 \cdot N) + 24$ 已编码比特 + $(K - ((3 \cdot N) + 24))$ 已重复比特) 从缓冲器 905 中取出。删余或重复的结果是已速率匹配的、编码的比特 109，其表示为 y_1, y_2, \dots, y_K 。如果需要的话，随后已速率匹配的、编码的比特 109 可以被输入到信道交织器 111，产生了已速率匹配的、编码的、交织的输出比特 113。

参考图 10，示出了信道编码链，其使用了 1/3 速率卷积编码器 103、带三个子块交织器 1007、1009 和 1011 的基于循环缓冲器的速率匹配机制 107。

表示为 x_1, x_2, \dots, x_N 的、长度为 N 的编码块 101, 输入到使用尾比特的 1/3 速率卷积编码器 103, 该 1/3 速率卷积编码器 103 使用的是速率 1/3 卷积码和尾比特, 例如在版本 99、版本 4、或版本 5/6 中规定的。

使用了尾比特的卷积编码器 103 从三个多项式产生器 1001、1003、和 1005 中产生 $(3 \cdot N) + 24$ 个已编码比特, 其中最后 24 比特代表尾比特, 多项式产生器 1001、1003、和 1005 产生三个奇偶比特流, 分别表示为 $\{o_1, o_4, \dots, o_{(3 \cdot N) + 22}\}$; $\{o_2, o_5, \dots, o_{(3 \cdot N) + 23}\}$; 和 $\{o_3, o_6, \dots, o_{(3 \cdot N) + 24}\}$ 。从多项式产生器 1001、1003、和 1005 产生的已编码比特随后通过三个内部子块交织器 1007、1009、和 1011 进入基于循环缓冲器的速率匹配 107。每个内部子块交织器 1007、1009、和 1011 产生分别表示为 $\{y^1_1, y^1_2, \dots, y^1_{N+8}\}$; $\{y^2_1, y^2_2, \dots, y^2_{N+8}\}$; 和 $\{y^3_1, y^3_2, \dots, y^3_{N+8}\}$ 的已交织已编码比特。已交织已编码比特随后被逐比特地交错并写入到循环缓冲器 1013 中, 可以表示为 $y^1_1, y^2_1, y^3_1, y^1_2, y^2_2, y^3_2, \dots, y^1_{(N+3)+8}, y^2_{(N+3)+8}, y^3_{(N+3)+8}$ 。

在可替换的实施例中, 从多项式产生器 1001、1003、和 1005 产生的比特可以存储到循环缓冲器 1013 中, 这样来自每个子块交织器 1001、1003、和 1005 的输出流被连续地存储在循环缓冲器 1013 中。

如果将执行删余的话, 例如在 $(3 \cdot N) + 24 \geq K$ 的情况下, 那么对于序列 $y_1, y_2, \dots, y_{3 \cdot N}$, 取出前 K 比特以匹配 K 个物理信道比特。否则, 在 $(3 \cdot N) + 24 < K$ 的情况下, 比特重复将通过以下方式执行: 当达到缓冲器 1013 的终点时, 从缓冲器 1013 的起点重新读起直到 K 比特 ($(3 \cdot N) + 24$ 已编码比特 + $(K - ((3 \cdot N) + 24))$ 已重复比特) 从缓冲器 1013 中取出。删余或重复的结果是已速率匹配的、编码的比特 109, 其被表示为 y_1, y_2, \dots, y_K 。如果需要的话, 随后已速率匹配的、编码的比特 109 可以输入到信道交织器 111, 产生了已速率匹配的、编码的、交织的输出比特 113。

图 11 示出了信道编码链, 在该信道编码链中没有尾比特的 1/2 速率卷

积编码器 103 与版本 4、版本 5/6、或版本 99 速率匹配 107 一起使用。

表示为 x_1, x_2, \dots, x_N 的、长度为 N 的编码块 101, 被输入到具有咬尾 (即没有尾比特) 的 $1/2$ 速率卷积编码器 103。卷积编码器可以使用如版本 4、版本 5/6、或版本 99 中规定的卷积码。卷积编码器 103 将产生 $2 \cdot N$ 个已编码比特 105, 表示为 $o_1, o_2, \dots, o_{2 \cdot N}$ 。速率匹配 107 随后按照版本 4、版本 5/6、或版本 99 描述的被执行以达到 K 个已速率匹配的、编码的比特 109, 其表示为 y_1, y_2, \dots, y_K 。如果需要的话, 随后已速率匹配的、编码的比特 109 可以由信道交织器 111 进行交织, 来产生已交织的、速率匹配的、编码的流 113, 其表示为 $y^1_1, y^1_2, \dots, y^1_K$ 。

图 12 描述了信道编码链, 在该信道编码链中没有尾比特的 $1/3$ 速率卷积编码器 103 与版本 4、版本 5/6、或版本 99 速率匹配 107 一起使用。

表示为 x_1, x_2, \dots, x_N 、长度为 N 的编码块 101, 被输入到具有咬尾比特 (即没有尾比特) 的 $1/3$ 速率卷积编码器 103。卷积编码器可以使用如版本 4、版本 5/6、或版本 99 中规定的卷积码。卷积编码器 103 将产生 $3 \cdot N$ 个已编码比特 105, 表示为 $o_1, o_2, \dots, o_{3 \cdot N}$ 。速率匹配 107 随后按照版本 4、版本 5/6、或版本 99 描述的被执行以达到 K 个已速率匹配的、编码的比特 109, 其被表示为 y_1, y_2, \dots, y_K 。如果需要的话, 随后速率匹配的、编码的比特 109 可以由信道交织器 111 进行交织, 来产生已交织的、速率匹配的、编码的流 113, 其表示为 $y^1_1, y^1_2, \dots, y^1_K$ 。

图 13 描述了信道编码链, 在该信道编码链中具有尾比特的 $1/2$ 速率卷积编码器 103 与版本 4、版本 5/6、或版本 99 速率匹配 107 一起使用。

表示为 x_1, x_2, \dots, x_N 的、长度为 N 的编码块 101, 被输入到具有咬尾比特 (即没有尾比特) 的 $1/2$ 速率卷积编码器 103。卷积编码器可以使用如版本 4、版本 5/6、或版本 99 中规定的卷积码。卷积编码器 103 将产生 $(2 \cdot N) + 16$ 个已编码比特 105, 表示为 $o_1, o_2, \dots, o_{(2 \cdot N) + 16}$, 其中最后 16 比特对应于尾比

特。速率匹配 107 随后按照版本 4、版本 5/6、或版本 99 描述的被执行以达到 K 个已速率匹配的、编码的比特 109，其表示为 y_1, y_2, \dots, y_K 。如果需要的话，随后已速率匹配的、编码的比特 109 可以由信道交织器 111 进行交织，来产生已交织的、速率匹配的、编码的流 113，其表示为 $y^1_1, y^1_2, \dots, y^1_K$ 。

图 14 描述了信道编码链，在该信道编码链中具有尾比特的 1/3 速率卷积编码器 103 与版本 4、版本 5/6、或版本 99 速率匹配 107 一起使用。

表示为 x_1, x_2, \dots, x_N 的、长度为 N 的编码块 101，被输入到具有尾比特的 1/3 速率卷积编码器 103。卷积编码器可以使用如版本 4、版本 5/6、或版本 99 中规定的卷积码。卷积编码器 103 将产生 $(3 \cdot N) + 24$ 个已编码比特 105，被表示为 $o_1, o_2, \dots, o_{(2 \cdot N) + 24}$ 。速率匹配 107 随后按照版本 4、版本 5/6、或版本 99 描述的被执行以达到 K 个已速率匹配的、编码的比特 109，其表示为 y_1, y_2, \dots, y_K 。如果需要的话，随后已速率匹配的、编码的比特 109 可以由信道交织器 111 进行交织，来产生已交织的、速率匹配的、编码的流 113，其表示为 $y^1_1, y^1_2, \dots, y^1_K$ 。

虽然本发明的特征和元素在优选的实施方式中以特定的结合在以上进行了描述，但每个特征或元素可以在没有所述优选实施例中的其他特征和元素的情况下单独使用，或在与或不与本发明的其他特征和元素结合的各种情况下使用。本发明提供的方法或流程图可以在由通用计算机或处理器执行的计算机程序、软件或固件中实施，其中所述计算机程序、软件或固件是以有形的方式包含在计算机可读存储介质中的。计算机可读存储介质的例子包括只读存储器 (ROM)、随机接入存储器 (RAM)、寄存器、高速缓冲存储器、半导体存储设备、例如内部硬盘和可移动硬盘的磁介质、磁-光介质以及诸如 CD-ROM 盘和数字多功能光盘 (DVD) 之类的光学介质。

恰当的处理器的例子包括，例如，通用处理器、专用处理器、传统处理器、数字信号处理器 (DSP)、多个微处理器、具有 DSP 核心的一个或多个微处理

器、控制器、微控制器、专用集成电路（ASIC）、现场可编程门阵列（FPGA）电路、任何其它类型的集成电路（IC）和/或状态机。

与软件相关的处理器可用于实现射频收发信机，以在无线发射接收单元（WTRU）、用户设备（UE）、终端、基站、无线网络控制器（RNC）或任何主机计算机中使用。WTRU 可以与采用硬件和/或软件形式实施的模块结合使用，WTRU 可以与实现在硬件和/或软件中的模块，例如照相机、摄影机模块、视频电话、扬声器电话、振动设备、扬声器、麦克风、电视收发器、免提耳机、蓝牙®模块、调频（FM）无线电单元、液晶显示器（LCD）显示单元、有机发光二极管（OLED）显示单元、数字音乐播放器、媒体播放器、视频游戏机模块、互联网浏览器和/或任何无线局域网（WLAN）或超宽带（UWB）模块。

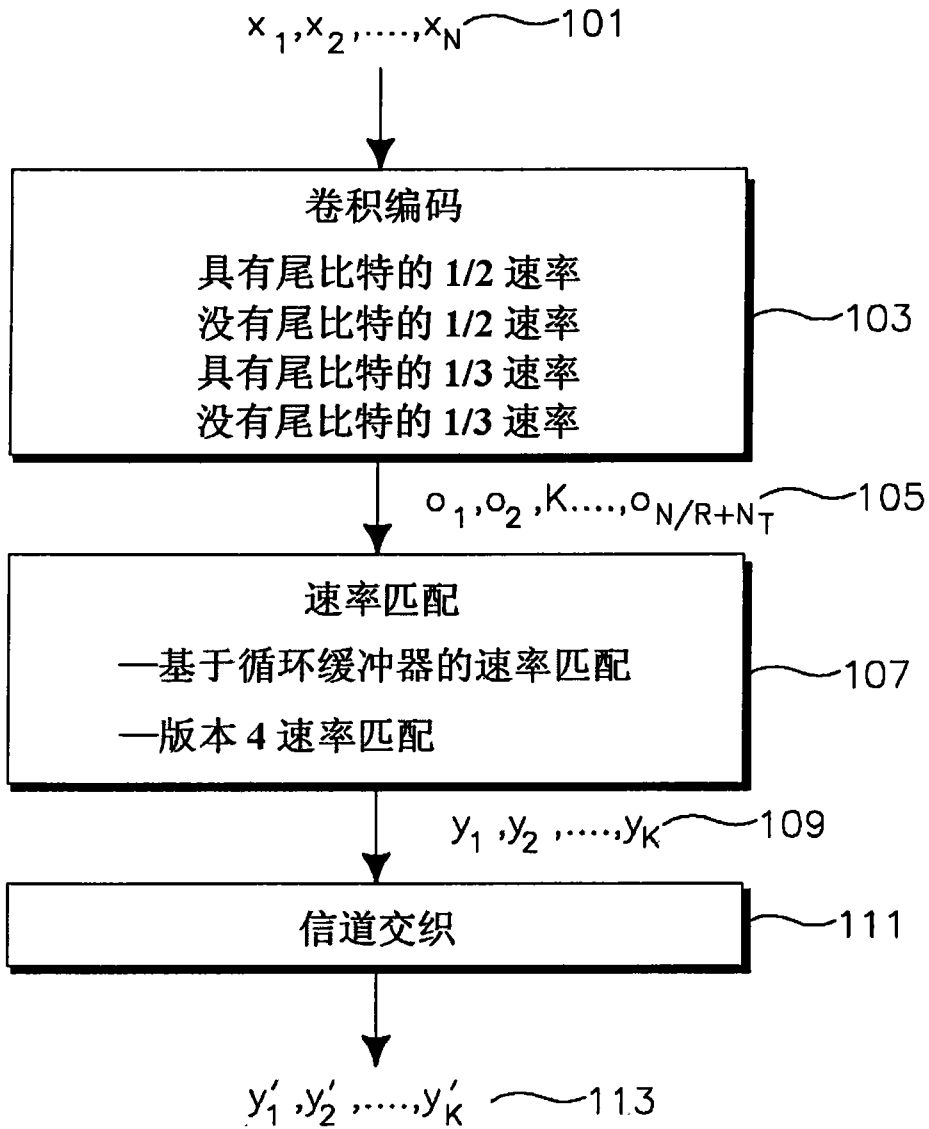


图 1

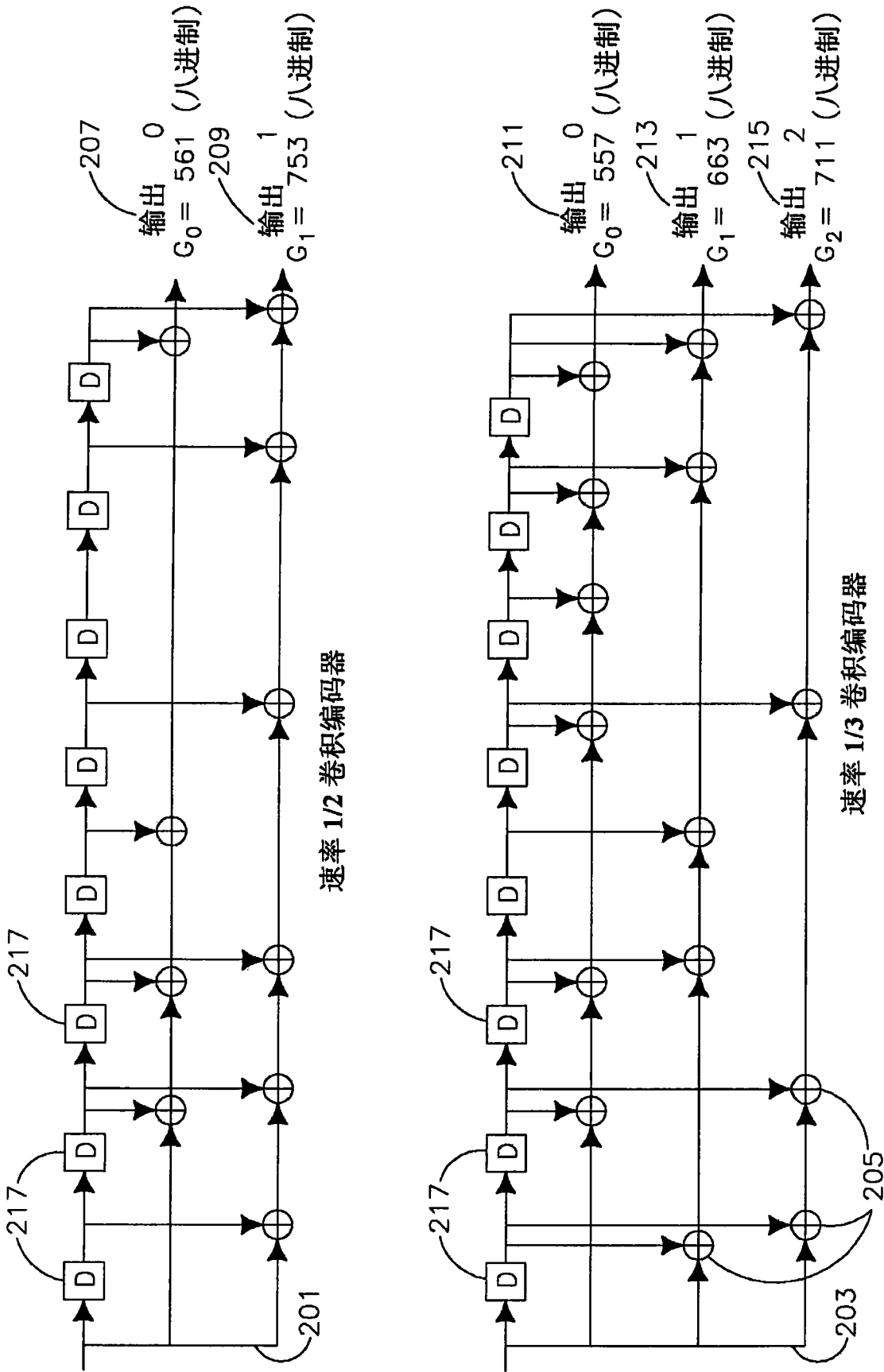


图 2

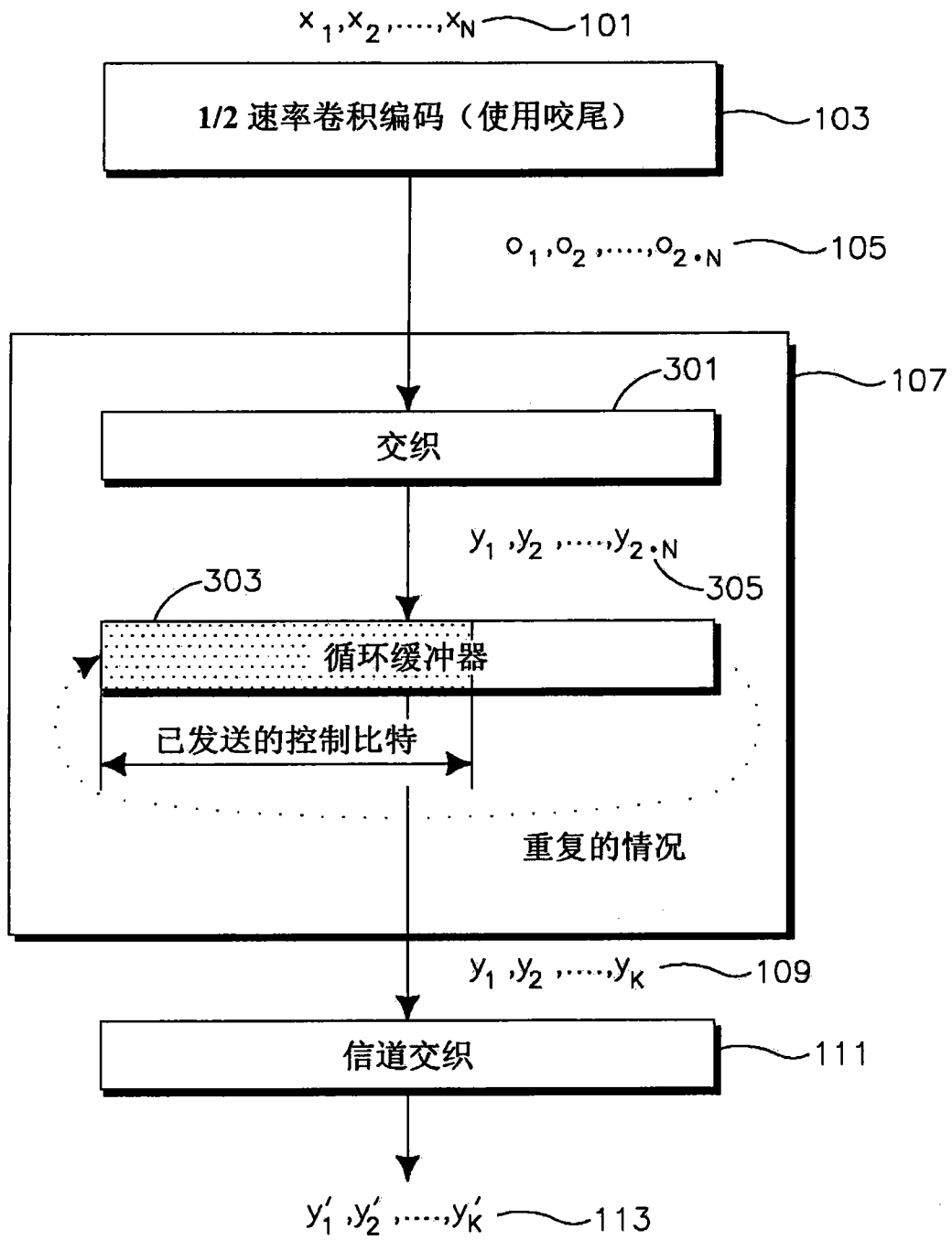


图 3

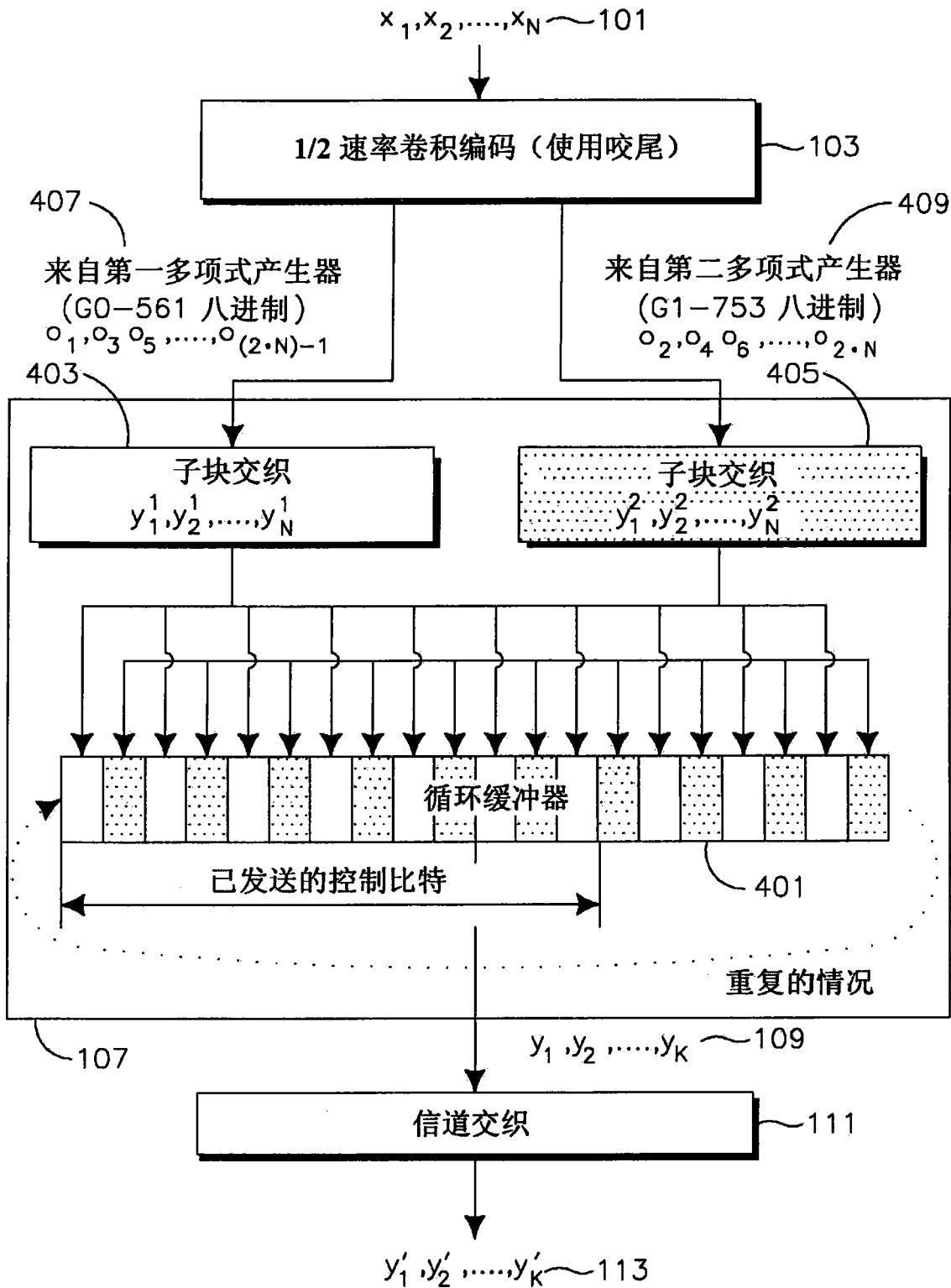


图 4

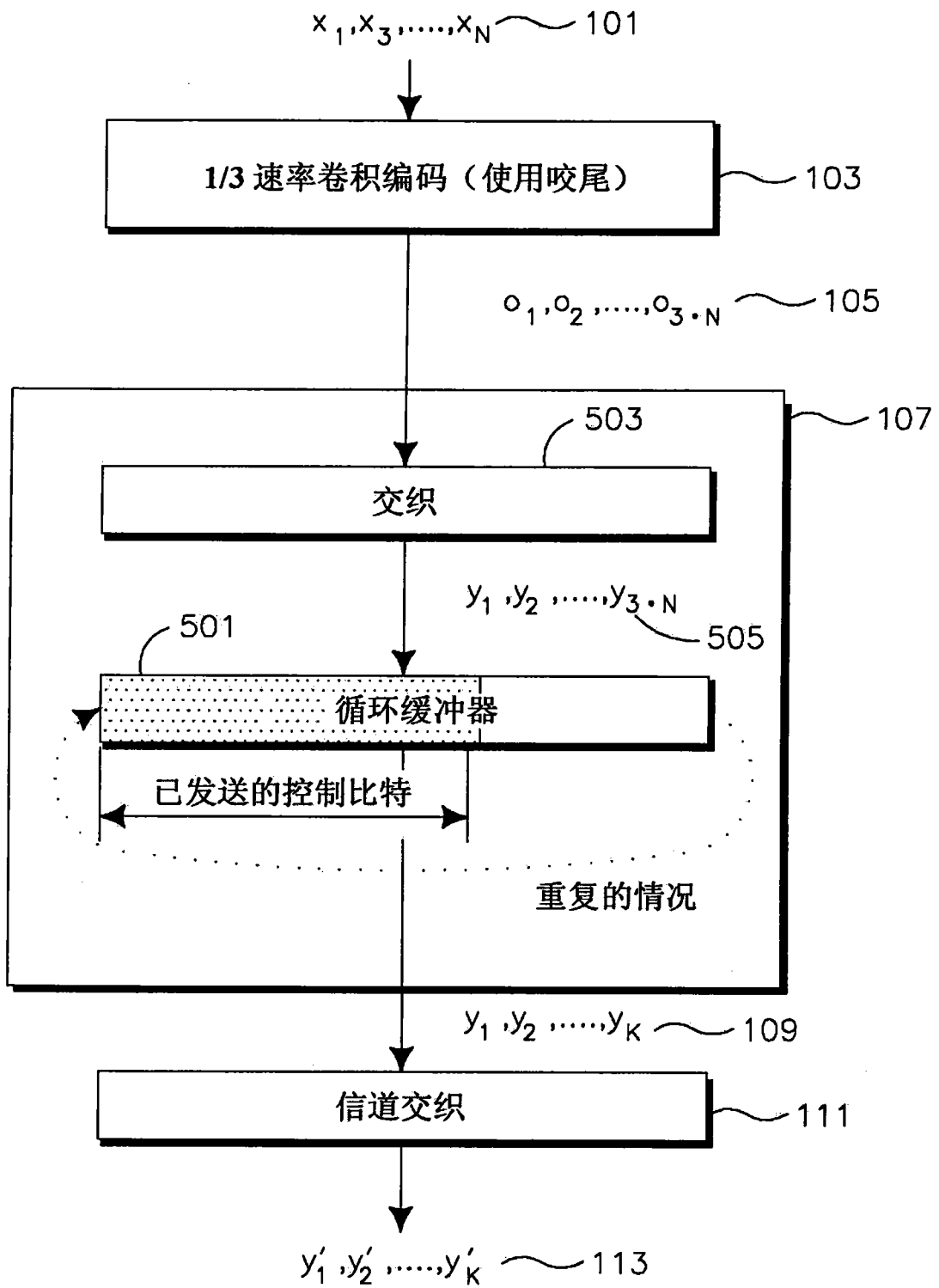


图 5

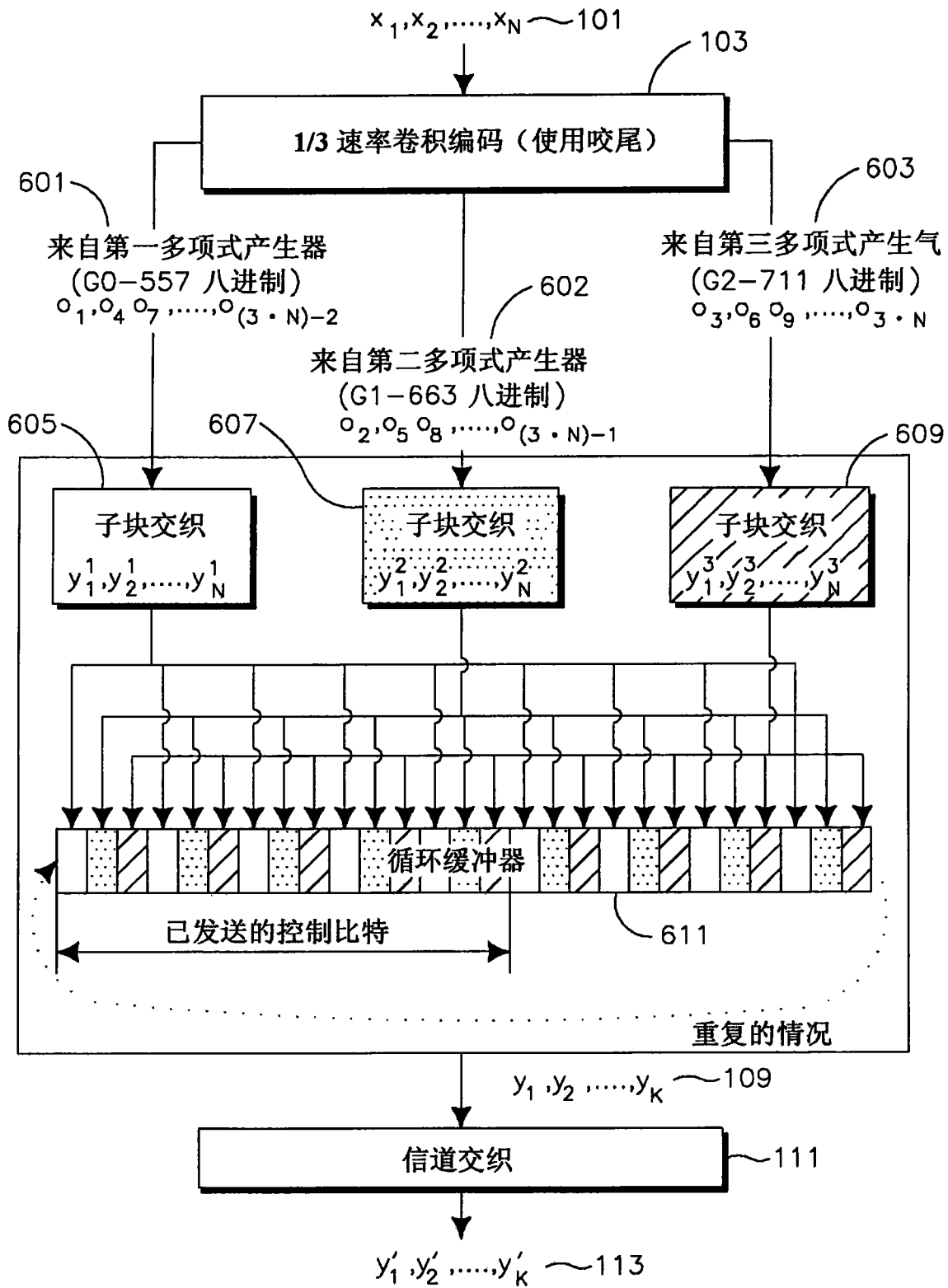


图 6

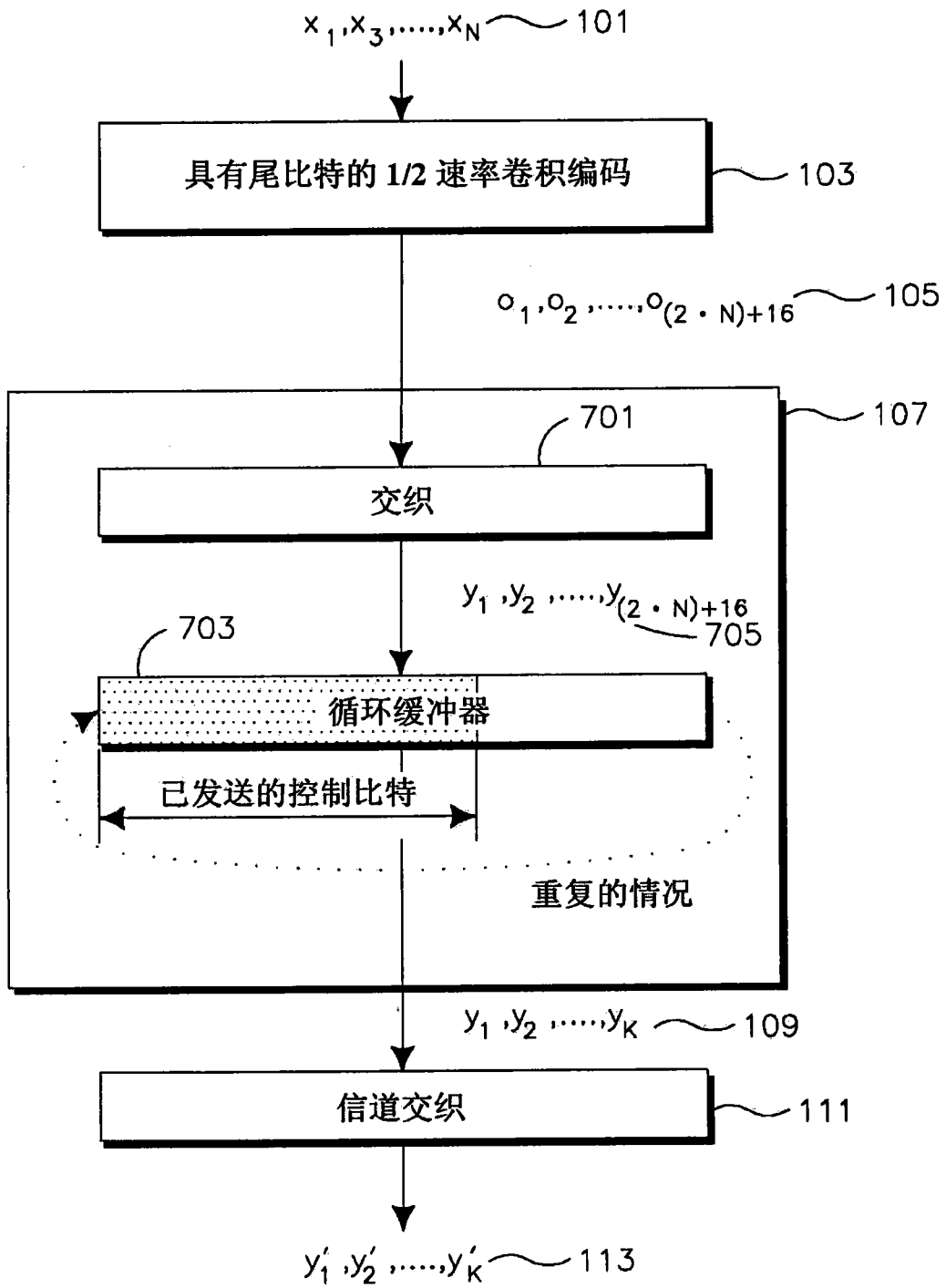


图 7

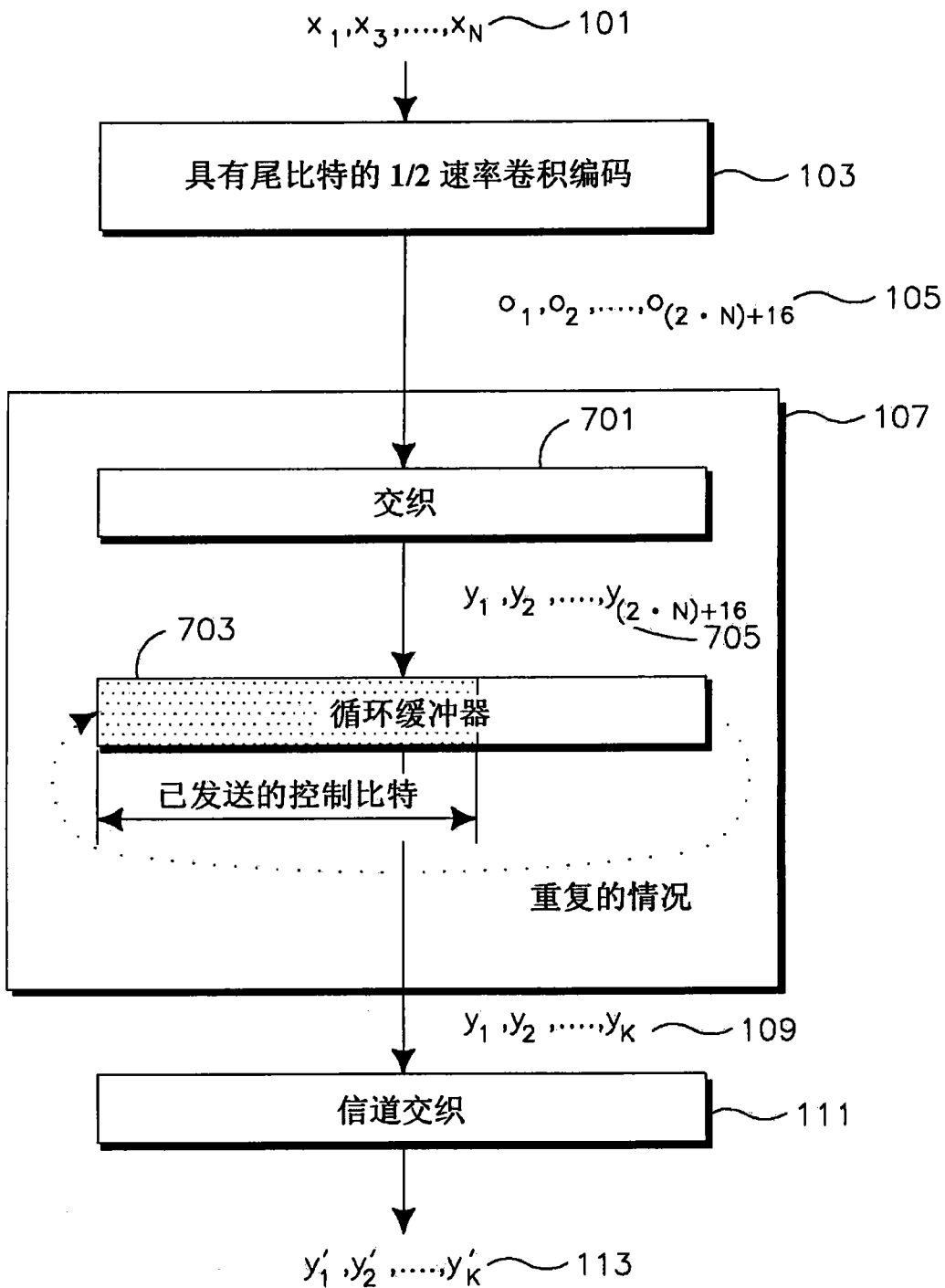


图 8

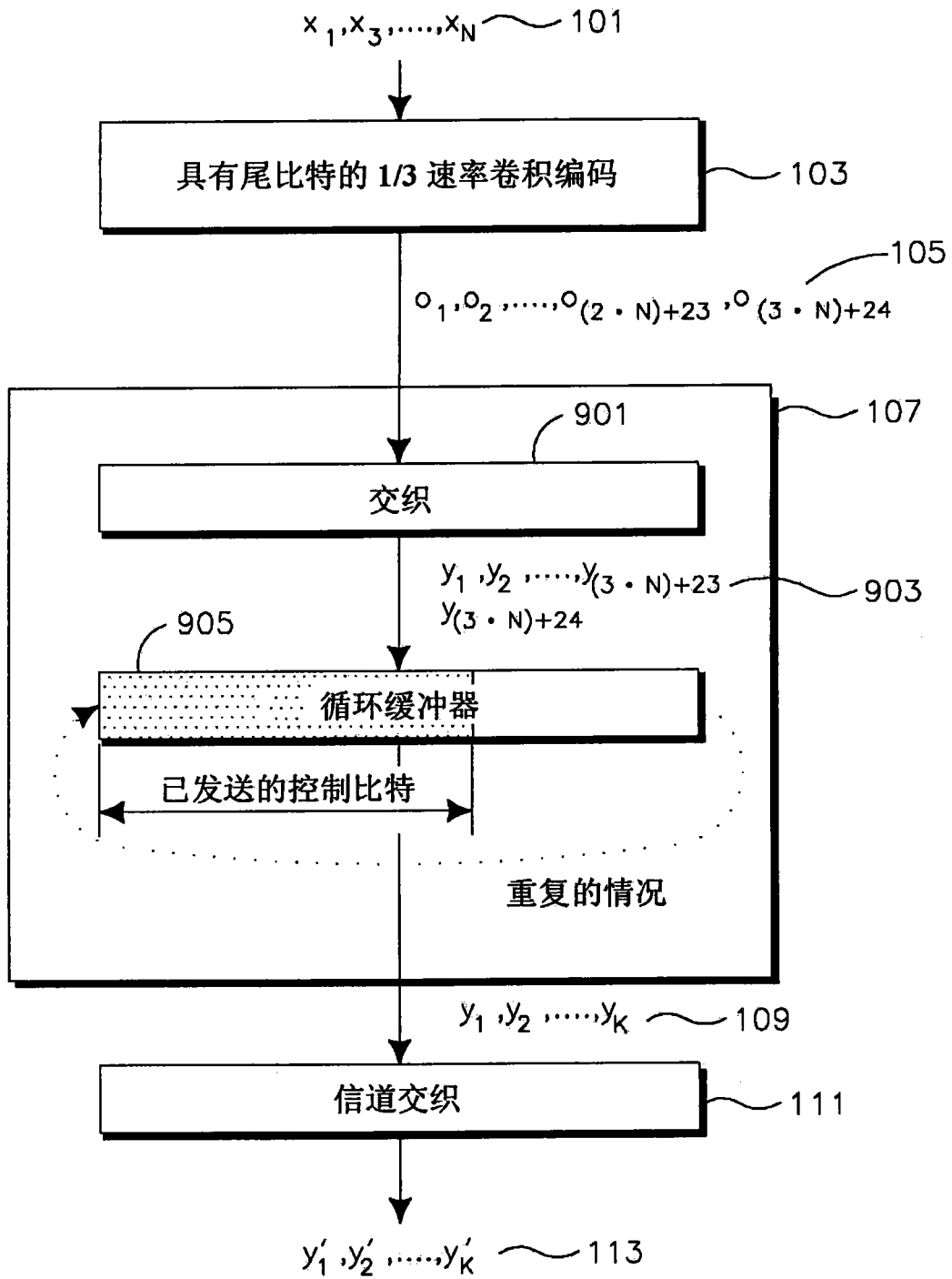


图 9

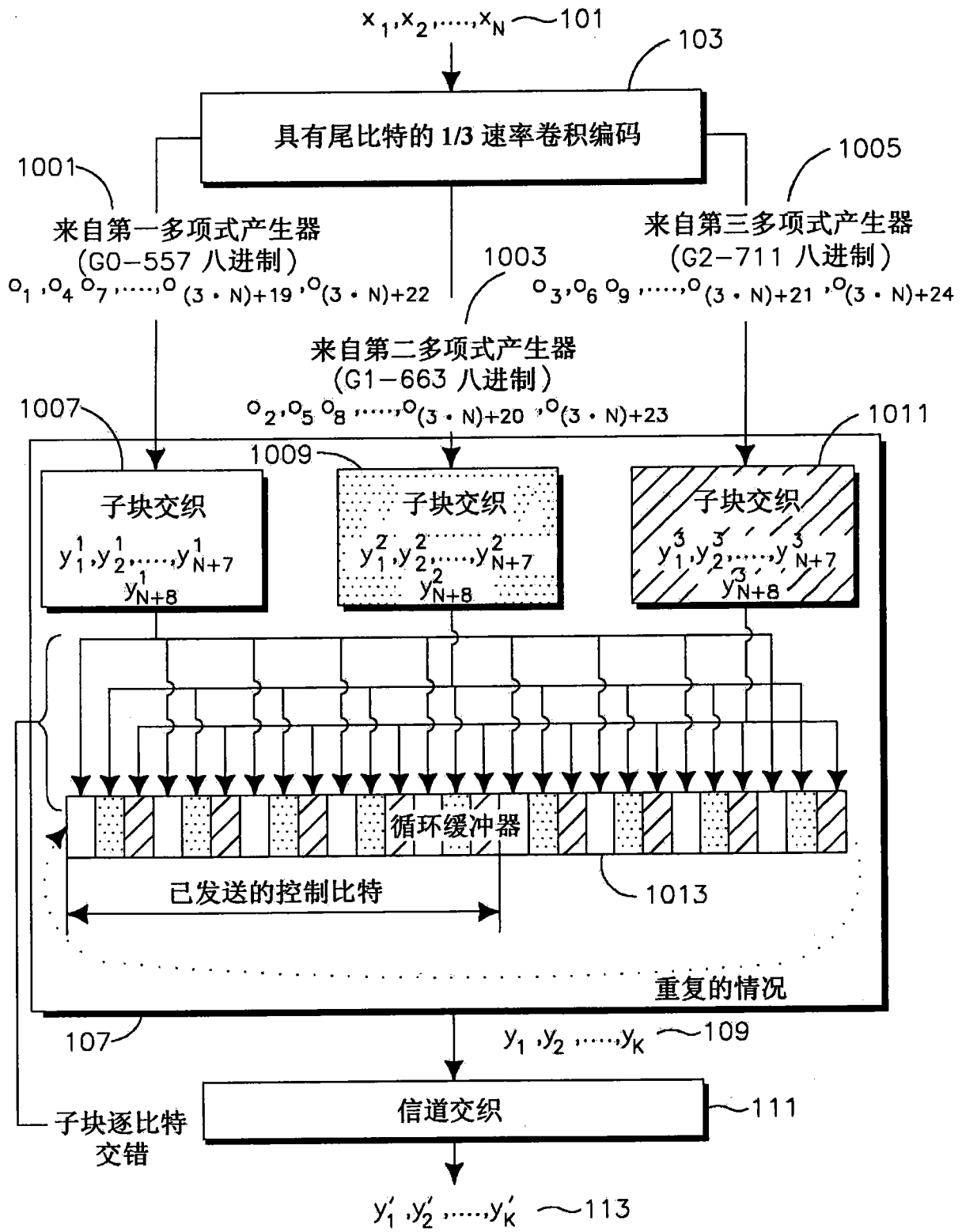


图 10

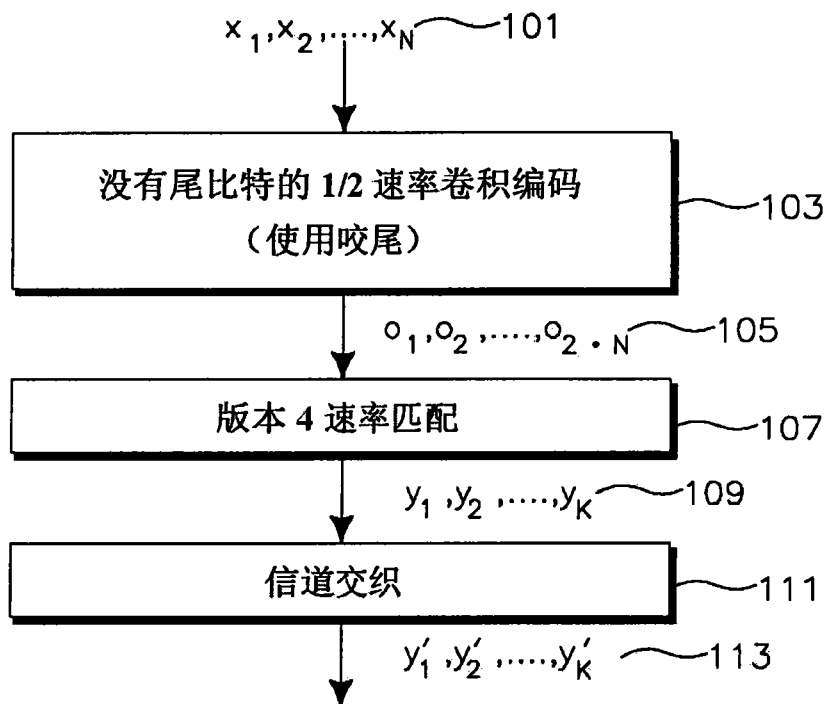


图 11

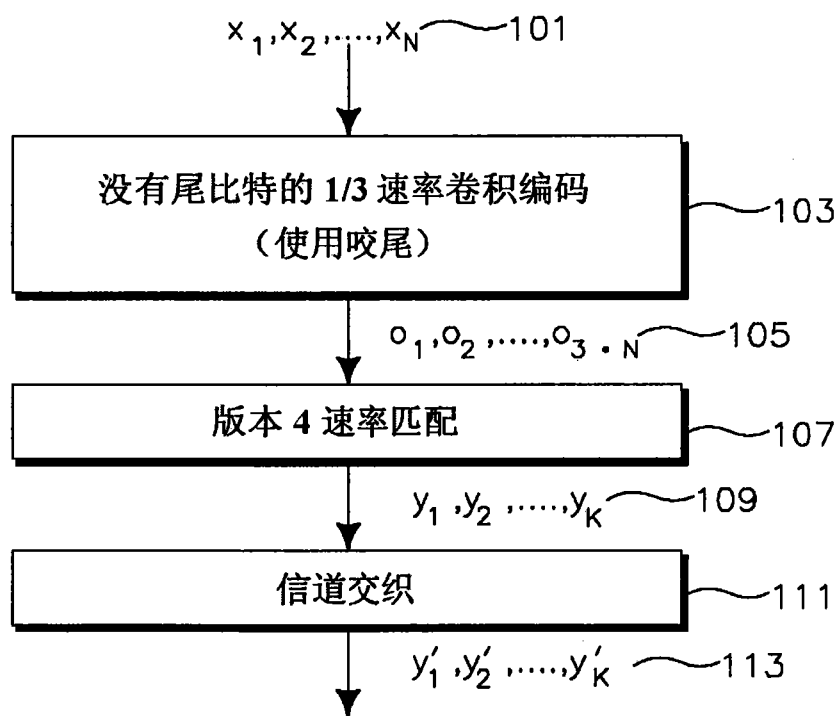


图 12

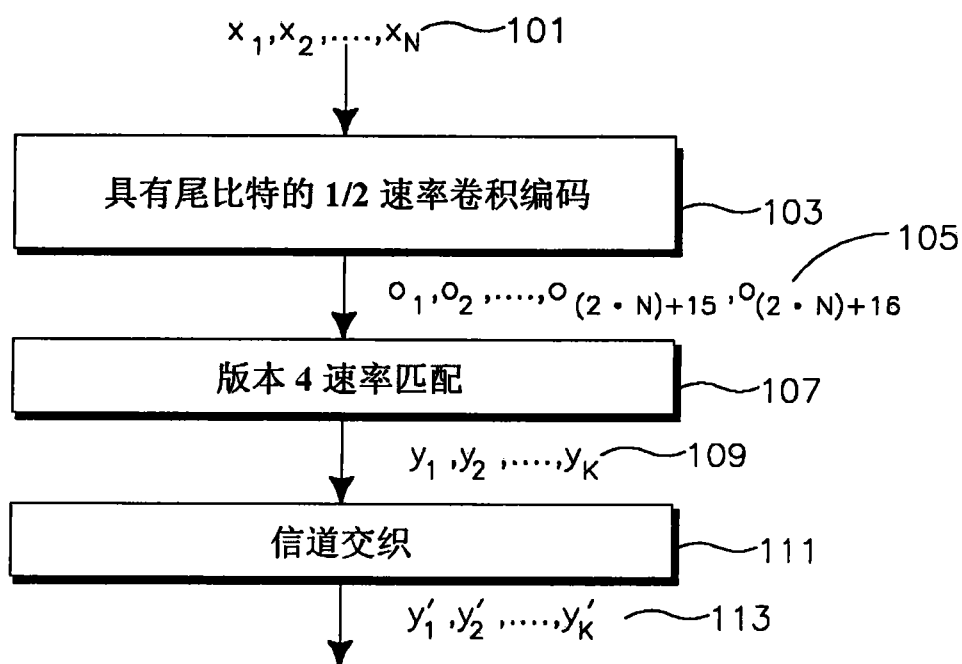


图 13

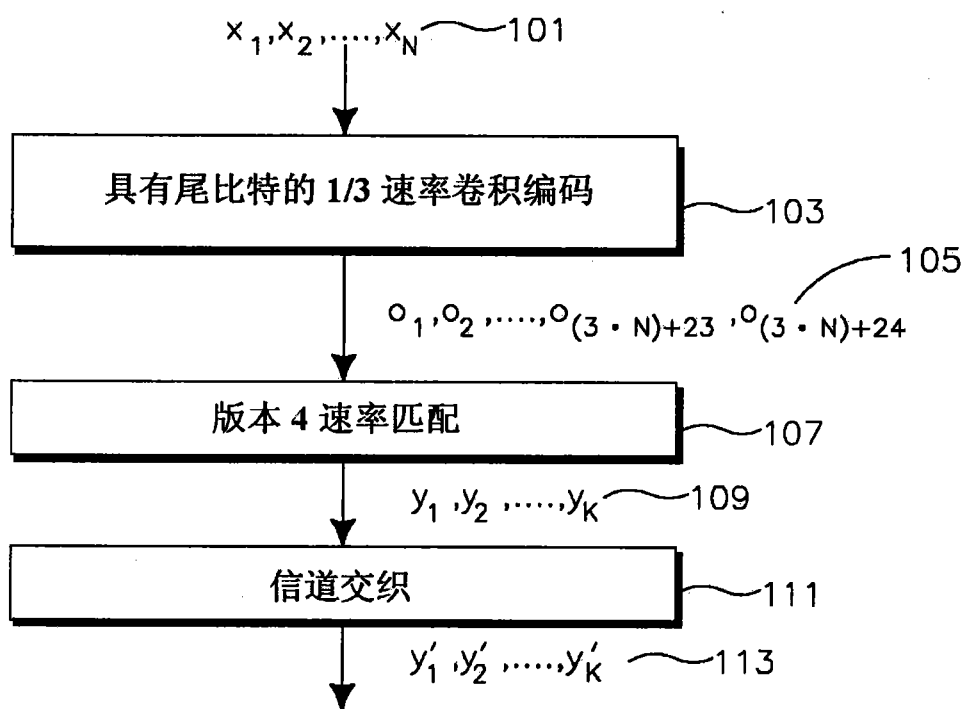


图 14