

公告本

申請日期	P1. 6. 24
案 號	P1113 P06
類 別	H04B 1/26, 1/10, 1/30

A4
C4

561704

(以上各欄由本局填註)

發明 專利 說明 書

一、發明 名稱	中 文	接收機
	英 文	RECEIVER
二、發明 人	姓 名	宮城弘 Hiroshi MIYAGI
	國 籍	日 本 JAPAN
	住、居所	日本國新潟縣上越市西城町2丁目5番13號 5-13, Nishishiromachi 2-chome, Jouetsu-shi, Niigata Japan
三、申請人	姓 名 (名稱)	日商・新潟精密股份有限公司 NIIGATA SEIMITSU CO., LTD.
	國 籍	日 本 JAPAN
	住、居所 (事務所)	日本國新潟縣上越市西城町2丁目5番13號 5-13, Nishishiromachi 2-chome, Jouetsu-shi, Niigata Japan
	代 表 人 姓 名	池田毅 Takeshi IKEDA

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
 2001.6.29 特願2001-198213

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 ()

[技術領域]

本發明係有關於一種接收機，其係用以對接收之調變波信號進行頻率轉換者。

[習知背景]

採用超外差收音機方法之一般接收機，係將透過天線接收之調變波信號進行高頻放大後，使用混合電路以進行頻率轉換，在轉換成具有預定頻率之中頻信號後再進一步進行解調處理者。

特別是在最近，具有高頻零件之類比電路係藉 CMOS 製程或 MOS 製程而於半導體基板上形成為一體之技術持續地研究中，且一部分之裝置趨於實用化。由於藉使用 CMOS 製程或 MOS 製程而形成各種電路於單一晶片上者，可使裝置全體小型化或成本降低等，因此今後將擴大形成於單一晶片上之裝置的範圍。

然而，卻具有如下之問題，即，若將採用超外差收音機方式之習知接收機之各個零件使用 CMOS 製程或 MOS 製程而形成於單一晶片上，則稱作 $1/f$ 雜音之低頻雜音將會變多。一般而言，與雙極電晶體相比，MOS 型 FET 之特徵為其 $1/f$ 雜音比較大，而將構成接收機之各個零件使用 CMOS 製程或 MOS 製程形成於單一晶片上時，其中所含之放大元件之 FET 成為 $1/f$ 雜音之產生來源。且，使用混合電路而將高頻之調變波信號轉換成低頻之中頻信號時，由於在中頻信號之 $1/f$ 雜音成分之佔有比例變高，因此因 SN 比之惡化而招致接收品質之劣化。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

[發明之揭示]

本發明是有鑑於此而創作者，其目的在於提供一種接收機，其係可減少在使用 CMOS 製程或 MOS 製程而於半導體基板上形成為一體時所產生之低頻雜音者。

為了解決前述課題，本發明之接收機係具有高頻放大電路、局部振盪器、混合電路、中頻放大電路及中頻濾波器者。高頻放大電路係用以將透過天線接收之調變波信號放大者。局部振盪器係用以產生預定之局部振盪信號者。混合電路係用以將經高頻放大電路放大之調變波信號與由局部振盪器輸出之局部振盪信號混合後再加以輸出者。中頻放大電路係用以放大由混合電路輸出之中頻信號者。中頻濾波器係用以選擇性輸出中頻信號者。而且，至少混合電路、中頻放大電路、中頻濾波器及局部振盪器係藉 CMOS 製程或 MOS 製程而於半導體基板上形成為一體，同時使用 p 通道型 FET 而形成其等所含之放大元件。就放大元件而言，由於使用遷移率小之 p 通道型 FET，可減少 $1/f$ 雜音自身，因而即使至少混合電路、中頻放大電路、中頻濾波器及局部振盪器係藉 CMOS 製程或 MOS 製程而於半導體基板上形成為一體時，也可減少在其等產生之低頻雜音。

又，前述中頻濾波器宜擷取調變波信號與局部振盪信號間之差成分以為中頻信號者。使用差成分時，由於頻率切換後之中頻信號之頻率較調變波信號之頻率還低，因而位於藉 CMOS 製程或 MOS 製程形成之放大元件中之 $1/f$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

雜音的影響趨於顯著。因而，在該情況下，藉經由 p 通道 FET 形成為雜音產生來源之放大元件，可使雜音減少之效果變大。

又，前述局部振盪信號之頻率與調變波信號之載波頻率間之差宜小於調變波信號之佔有頻帶寬者。尤其在對於如此之調變波信號與局部振盪信號之各頻率已進行設定時，由於與直流成分相近之領域使用為信號頻帶，因此 $1/f$ 雜音的影響變得更大。因而，在該情況下，藉經由 p 通道 FET 而形成為雜音產生來源之放大元件，而使雜音減少之效果變得更大。

又，前述混合電路、中頻放大器及中頻濾波器係成串聯，且著眼於多級聯接成其等所含之放大元件之 FET 時，宜將配置於前段之 FET 之閘極長度 L 及閘極寬度 W 設定成大於配置於後段之 FET 之閘極長度 L 及閘極寬度 W 之值者。一般已知在 FET 產生之 $1/f$ 雜音，與閘極長度 L 和閘極寬度 W 間各自之倒數比例會愈來愈大。因而，藉設定較大的閘極長度 L 及閘極寬度 W，可減少在該 FET 產生之 $1/f$ 雜音。尤其是在多級聯接為放大元件之 FET 時，由於在前段部分所含之 FET 所產生之 $1/f$ 雜音在後段放大，因而為了減少全體之低頻雜音，宜減少在前段部分所含之 FET 產生之 $1/f$ 雜音。又，由於在後段部分所含之 FET 產生之 $1/f$ 雜音在後段之 FET 所放大的程度較少，因此有助於全體低頻雜音之減少的比例也少。因而，藉將該後段部分所含之 FET 之閘極長度 L 與閘極寬度 W 小於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

前段之 FET 之其等之值者，可使經 FET 之佔有面積變小，而因晶片之小型化而謀求成本降低。

又，前述混合電路、中頻放大器及中頻濾波器係成串聯，且著眼於多級聯接成其等所含之放大元件之任意位置之 FET 時，為使在該 FET 所產生雜訊成分小於輸入信號所含之雜訊成分，宜設定各自之 FET 之閘極長度與閘極寬度者。藉使在任一 FET 之閘極長度 L 與閘極寬度 W 小於該 FET 之輸入信號之雜訊成分，可減少全體之低頻雜音。

又，宜前述半導體基板上形成 N 型井，且於該 N 型井上形成有至少包含混合電路、中頻放大電路、中頻濾波器及局部振盪器之構成零件者為佳。藉在 N 型井上形成其等之構成零件，可防止雜訊電流透過在 N 型井與其之下面之半導體基板間形成之 pn 接面而流動，可防止 N 型井上之電路產生之雜音通過半導體基板而往其他零件潛洩。

又，宜於前述半導體基板上構成零件之周圍形成一護環者。藉此，可更有效地防止在 N 型井上形成之電路產生之雜音通過半導體基板往其他零件潛洩。

又，前述護環係宜形成於由半導體基板表面至較 N 型井還深之位置者。藉形成 N 型井於較深位置，可除去越過該護環而潛洩之低頻領域之 $1/f$ 雜音。

[發明之實施形態]

以下，就適用本發明之一實施型態之接收機詳細說明。

第 1 圖係顯示本實施型態之 FM 接收機之構造圖。第 1 圖所示之 FM 接收機係具有：形成為單一晶片零件 10 之高

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 3 ）

頻放大電路 11、混合電路 12、局部振盪器 13、中頻濾波器 14、16、中頻放大電路 15、極限電路 17、FM 檢波器 18、立體解調電路 19 而構成者。

藉高頻放大電路 11 放大通過天線 20 接收之 FM 調變波信號後，再將之與由局部振盪器 13 輸出之局部振盪信號混合後，而進行由高頻信號往中頻信號之轉換。例如，令由高頻放大電路 11 輸出之調變波信號之載波頻率為 f_1 ，由局部振盪器 13 輸出之局部振盪信號之頻率為 f_2 ，則由混合電路 12 輸出具有 $f_1 - f_2$ 頻率之中頻信號。

中頻濾波器 14、16 係設於中頻放大電路 15 之前段及後段，且只由輸入之中頻信號中擷取預定之頻帶成分者。中頻放大電路 15 係用以放大通過中頻濾波器 14、16 之一部分中頻信號者。

極限電路 17 係以高增益放大輸入之中頻信號者。FM 檢波電路 18 係用以對由極限電路 17 之振幅一定之信號進行 FM 檢波處理者。立體解調電路 19 係用以對由 FM 檢波電路 18 輸出之 FM 檢波後之複合信號進行立體解調處理，而產生 L 信號及 R 信號者。

前述本實施型態之單一晶片零件 10 係使用 CMOS 製程或 MOS 製程而於半導體基板上形成為一體者。在該半導體基板上，除了僅有構成第 1 圖所示之單一晶片零件 10 之各電路形成外，尚形成有各種類比電路或數位電路。由於易於藉由 CMOS 製程或 MOS 製程形成各種 CMOS 零件，因此例如為了設定接收頻率，可改變局部振盪器 13

五、發明說明 (d)

之振盪頻率之頻率合成器或顯示裝置與該控制電路等宜形成於同一半導體基板上。

然而，一般而言，與雙極電晶體相比，藉 CMOS 製程或 MOS 製程形成之 FET 之特徵係為低頻雜音之 $1/f$ 雜音較大。因而，利用 CMOS 製程或 MOS 製程而將第 1 圖所示之單一晶片零件 10 形成於單一晶片上時，就其中所含之放大元件之 FET 便成為 $1/f$ 雜音之產生來源。且，使用混合電路 12 將高頻之調變波信號轉換成低頻之中頻信號時，位於該中頻信號之 $1/f$ 雜音所佔比例會變高，而因 SN 比之惡化而招致接收品質之劣化。

因此，構成本實施型態之接收機之單一晶片零件 10 係使用為至少混合電路 12、中頻濾波器 14、16、中頻放大電路 15 及局部振盪器 13 所含之放大元件之 p 通道型 FET 者。

第 2 圖係顯示使用 CMOS 製程或 MOS 製程製造之 FET 之雜音特性圖。橫軸、縱軸係各別表示頻率、雜音位準者。又。以實線所示之特性、點線所示之特性係各別表示 p 通道型 FET 之雜音特性、n 通道型 FET 之雜音特性者。如第 2 圖所示，p 通道型 FET 與 n 通道型 FET 相比，前者出現於低頻領域之 $1/f$ 雜音較小。此是由於 p 通道型 FET 之遷移率較小之故。

因而，由於藉使用 p 通道型 FET 以為放大元件，可減少 $1/f$ 雜音自身，因而減少在單一晶片零件 10 之低頻雜音之產生，而可謀求在接收機全體之 SN 比之提高及信號品質之改善。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

又，考慮到由前述單一晶片零件 10 所含之混合電路 12 至後段之中頻濾波器 16(或至極限電路 17)時，著眼於其等各電路所含之放大率超出 1 之放大元件時，可想到將數級之放大元件等效地進行多級聯接。

第 3 圖係顯示多級聯接之放大元件之概略圖。如第 3 圖所示，n 段之放大元件 30-1、30-2、...30-n 係多級聯接。如前述，各放大元件 30-1 等係藉 p 通道型 FET 而構成者。

然而，一般而言，MOS 型 FET 產生之雜音電壓 V_n 係可表示如下。

$$V_n = \sqrt{((8kT(1 + \eta) / (3g_m) + KF / (2f C_{ox}WLK')) \Delta f)}$$

在此式，k 係玻耳茲曼常數，T 係絕對溫度， g_m 係互導， C_{ox} 係隔有閘極氧化膜之閘極與通道間之電容，W 係閘極寬度，L 係閘極長度，f 係頻率， Δf 係頻率 f 之頻帶寬。KF 係雜音參數，相當於 $10^{-20} \sim 10^{-25}$ 之值。又， η 、K' 係預定之參數。

在該式中，可知右邊第 2 項係表示 $1/f$ 雜音者，與 f 之倒數成比例，即頻率 f 愈低，則 $1/f$ 雜音愈大。

又，由該式可知 $1/f$ 雜音係也與 FET 之閘極寬度 W 之倒數或閘極長度 L 之倒數成比例。第 4 圖係閘極寬度 W 與閘極長度 L 之顯示圖，且係顯示於半導體基板之表面附近 FET 全體之平面圖。

因而，可知將閘極寬度 W 或閘極長度 L 設定成較大值，

五、發明說明 (8)

亦可減少 $1/f$ 雜音。但是，針對全部之 FET，由於若使閘極寬度 W 與閘極長度 L 變大，各 FET 顯示之面積會變大而招致晶片面積的增加，因此宜只針對 $1/f$ 雜音減少之效果較大的 FET，將閘極寬度 W 與閘極長度 L 設定成預定值者。

尤其是在將藉 FET 構成之放大元件 30-1 等多級聯接時，由於在前段部分所含之放大元件產生之 $1/f$ 雜音係在後段之放大元件中放大，因而為了減少全體之低頻雜音，宜減少在前段部分所含之放大元件產生之 $1/f$ 雜音。另一方面，由於在後段部分所含之放大元件產生之 $1/f$ 雜音，在更後段之放大元件放大的程度較少，因此有助於全體低頻雜音之減少的比例也少。因而，藉將構成該後段部分所含之放大元件之 FET 之閘極長度 L 與閘極寬度 W 小於前段之 FET 之其等之值者，可使經 FET 之佔有面積變小，而因晶片之小型化，可謀求成本降低。

或，著眼於構成第 3 圖所示之任意位置之放大元件之 FET 時，亦可設定構成各自之放大元件之 FET 之閘極長度 L 與閘極寬度 W ，俾使經該 FET 產生之雜音成分小於該 FET 之輸入信號所含之雜音成分。藉使在構成任一放大元件之 FET 產生之雜音成分小於該 FET 之輸入信號之雜音成分，可減少全體之低頻雜音。

再者，本發明並不限定於前述實施型態者，在本發明要旨之範圍內可行種種之變形實施。例如，在前述實施型態中，已針對 FM 接收機作說明，但是，即使係在 AM 接

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

收機或數據終端裝置等之各種接收機或發送機或通訊機，也可適用本發明。又，為了進行正交解調，針對具有 2 個混合電路與 1 個局部振盪器與 1 個相移器之接收機也可適用本發明。

又，在前述實施型態中，就局部振盪信號之頻率與調變波信號之載波頻率間之關係沒有特別提及，但是，其等之頻率差小於調變波信號之佔有頻帶寬時，由於與位於由混合電路 12 輸出之中頻信號之直流成分相近之領域使用為信號頻帶，因此 $1/f$ 雜音之影響會變得更大。因而，藉在已進行如此設定之接收機中適用本發明，可使雜音減少之效果更大。

又，在前述實施型態中，具有至少混合電路 12、中頻放大電路 15、中頻濾波器 14、16 及局部振盪器 13 之構成零件於半導體基板上形成為一體時，藉其等之構成零件形成於 N 型井上，可防止通過半導體基板而由其等之構成零件往其他電路之雜音潛洩。

第 5 圖係顯示在 N 型井上形成構成零件時之概略構造之平面圖。又，第 6 圖係第 5 圖所示者之截面圖。在第 5 圖所示之構造中，包含至少混合電路 12、中頻放大電路 15、中頻濾波器 14、16 及局部振盪器 13 之構成零件 40 所含之多級聯接之放大元件係使用 p 通道型 FET 而構成時，該構成零件 40 係形成於 N 型井 52 上者。

由於在 N 型井 52 與 P 型半導體基板間有一 PN 接面形成，N 型井 52 之電位高於半導體基板 50 時，由 N 型井 52

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

流向半導體基板 50 之電流係於該 PN 接面切斷者。因此，可防止在形成於 N 型井 52 上之構成零件 40 產生之雜音通過半導體基板 50 而往其他電路潛洩。

又，如第 6 圖所示，在半導體基板 50 之表面附近，包圍 N 型井 52 之周圍領域形成有一護環 54。該護環 54 係於 N 型領域形成 P 型半導體基板 50 之一部分者。由於藉護環 54 與半導體基板 50 形成 PNP 層，因而可有效防止在位於 N 型井 52 上形成之構成零件 40 產生之雜音通過半導體基板 50 之表面附近而潛洩於其他電路。

特別是，該護環 54 係宜形成在到達較半導體基板 50 更深層之領域，例如到達至較 N 型井 52 還深之處者。藉此，在位於 N 型井 52 上形成之構成零件 40 產生之雜音通過護環 54 之下側(半導體基板 50 之內部)而往其他電路潛洩時，可防止更低頻成分之潛洩。

[產業上可利用性]

如上所述，根據本發明，就放大元件而言，由於使用遷移率小之 p 通道型 FET，可減少 $1/f$ 雜音自身，因而即使至少混合電路、中頻放大電路、中頻濾波器及局部振盪器係藉 CMOS 製程或 MOS 製程而一體形成於半導體基板上時，也可減少在其等產生之低頻雜音。

[圖式之簡單說明]

第 1 圖係一實施型態之 FM 接收機之構造圖。

第 2 圖係顯示使用 CMOS 製程或 MOS 製程製造之 FET 雜音之特性圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (1)

第 3 圖係顯示多級聯接之放大元件之概略圖。

第 4 圖係 FET 之閘極寬度 W 與閘極長度 L 之顯示圖。

第 5 圖係形成構成零件於 N 型井上時顯示概略構造之平面圖。

第 6 圖係在第 5 圖所示之構造之截面圖。

[元件標號對照]

10... 單一晶片零件

11... 高頻放大電路

12... 混合電路

13... 局部振盪器

14, 16... 中頻濾波器

15... 中頻放大電路

17... 極限電路

18... FM 檢波電路

19... 立體解調電路

20... 天線

30-1, 30-2, 30-n... 放大元件

40... 構成零件

50... 半導體基板

52... N 型井

54... 護環

W ... 閘極寬度

L ... 閘極長度

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱: 接收機)

本發明之目的在於提供一種接收機，其係可減少使用 CMOS 製程或 MOS 製程而於半導體基板上形成為一體時所產生之低頻雜音者。構成 FM 接收機之高頻放大電路(11)、混合電路(12)、局部振盪器(13)、中頻濾波器(14、16)、中頻放大器(15)、極限電路(17)、FM 檢波電路(18)及立體解調電路(19)係形成為單一晶片零件(10)者。該單一晶片零件(10)係使用 CMOS 製程或 MOS 製程而形成於半導體基板上者，且包含於混合電路(12)、中頻濾波器(14、16)、中頻放大電路(15)及局部振盪器(13)之放大元件係使用 p 通道型之 FET 而形成者。

英文發明摘要(發明之名稱: RECEIVER)

It is object to provide a receiver capable of reducing a low-frequency noise generated when the receiver is integrally formed on a semiconductor substrate using a MOS process. A high frequency amplification circuit 11, a mixing circuit 12, a local oscillator 13, an intermediate-frequency filters 14 and 16, an intermediate-frequency amplifier 15, a limiter circuit 17, an FM detection circuit 18 and a stereo demodulation circuit 19 that compose an FM receiver are constituted as one-chip part 10. The one-chip part 10 is formed on a semiconductor substrate with using a MOS process. Amplification element included in the mixing circuit 12, an intermediate-frequency filters 14 and 16, an intermediate-frequency amplifier 15 and a local oscillator 13 is formed with using a p-channel FET.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種接收機，係具有：

一高頻放大電路，係用以將透過天線接收之調變波信號放大者；

一局部振盪器，係用以產生預定之局部振盪信號者；

一混合電路，係用以將經前述高頻放大電路放大之調變波信號與由前述局部振盪器輸出之局部振盪信號混合後再加以輸出者；

一中頻放大電路，係用以放大由前述混合電路輸出之中頻信號者；及

一中頻濾波器，係用以選擇性輸出前述中頻信號者；

其中至少前述混合電路、前述中頻放大電路、前述中頻濾波器及前述局部振盪器係藉 CMOS 製程或 MOS 製程而於半導體基板上形成為一體，同時使用 p 通道型 FET 而形成其等中所含之放大元件者。

2. 如申請專利範圍第 1 項之接收機，其中該中頻濾波器係擷取前述調變波信號與前述局部振盪信號間之差成分以為前述中頻信號者。

3. 如申請專利範圍第 1 項之接收機，其中前述局部振盪信號之頻率與前述調變波信號之載波頻率間之差係小於前述調變波信號之佔有頻帶寬者。

4. 如申請專利範圍第 1 項之接收機，其中前述混合電路、前述中頻放大器及前述中頻濾波器係串聯，且著眼於多級聯接成其等所含之前述放大元件之前述 FET 時，係將配置於前段之前述 FET 之閘極長度 L 及閘極寬度

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

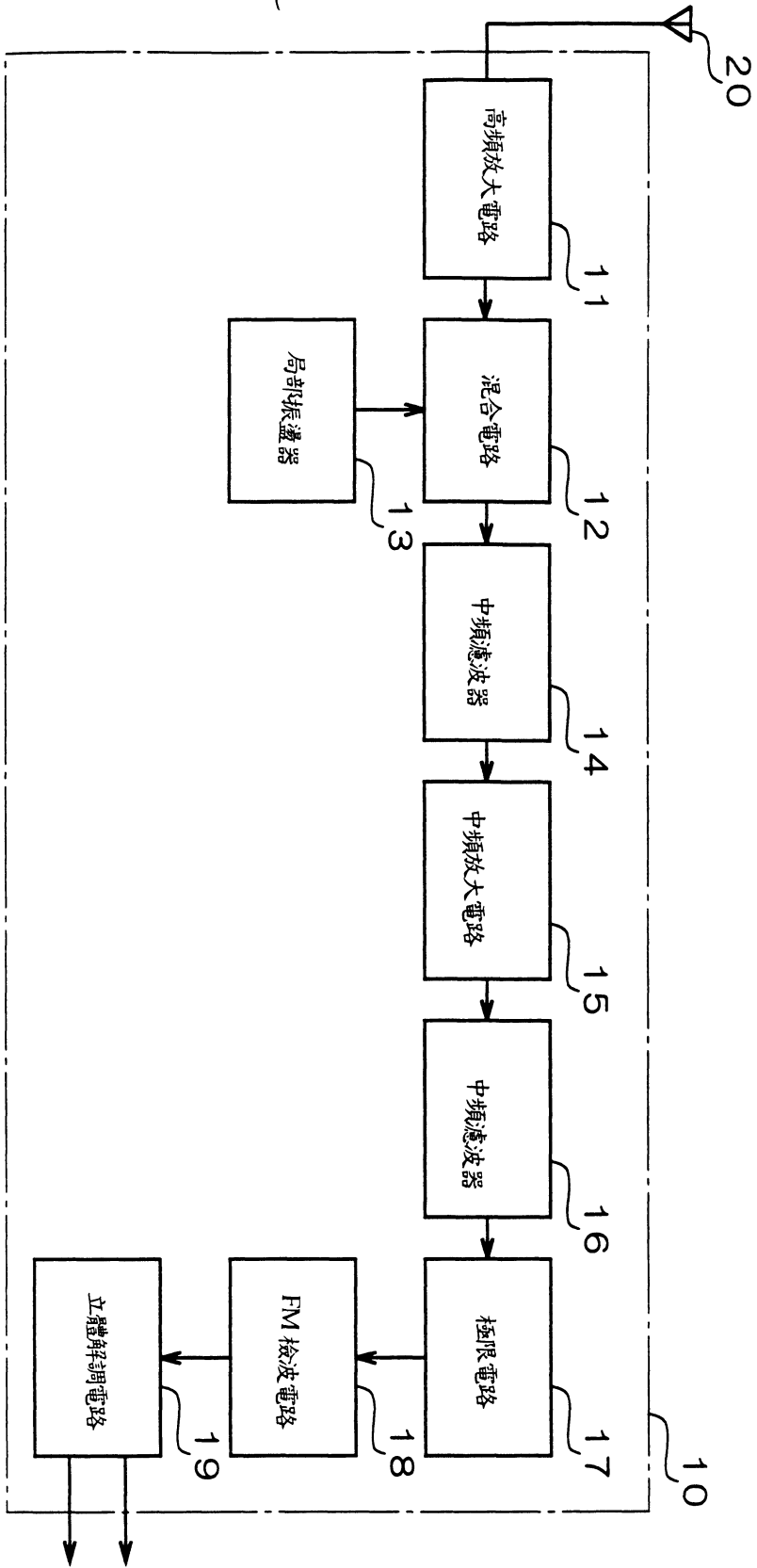
- W 設定成大於配置於後段之前述 FET 之閘極寬度 L 及閘極寬度 W 之值者。
5. 如申請專利範圍第 1 項之接收機，其中前述混合電路、前述中頻放大器及前述中頻濾波器係串聯，且著眼於多級聯接為其等所含之前述放大元件之任意位置之前述 FET 時，係設定各自之前述 FET 閘極長度 L 與閘極寬度 W，以使經由該 FET 而產生之雜訊成分小於輸入信號所含之雜訊成分者。
 6. 如申請專利範圍第 1 項之接收機，其中該半導體基板上形成 N 型井，且於該 N 型井上形成有至少包含前述混合電路、前述中頻放大電路、前述中頻濾波器及前述局部振盪器之構成零件者。
 7. 如申請專利範圍第 6 項之 FET 接收機，其中前述半導體基板上於前述構成零件之周圍形成有一護環者。
 8. 如申請專利範圍第 7 項之接收機，其中該護環係形成於由前述半導體基板表面至較前述 N 型井還深之位置者。

(請先閱讀背面之注意事項再填寫本頁)

訂

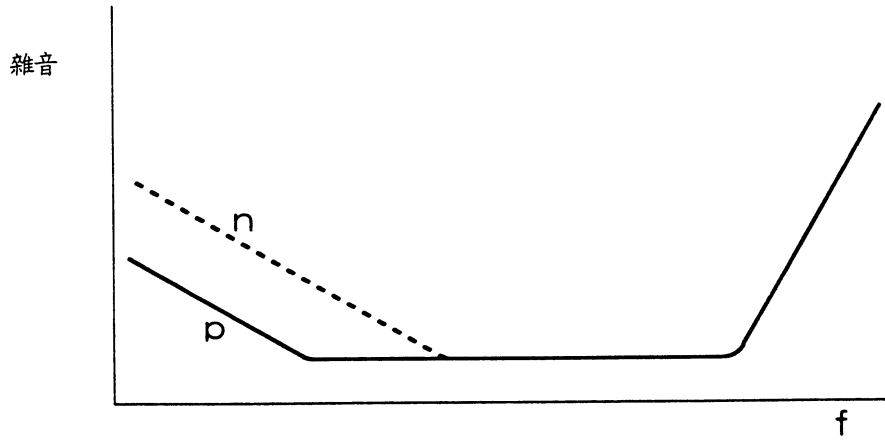
泉

p1113806

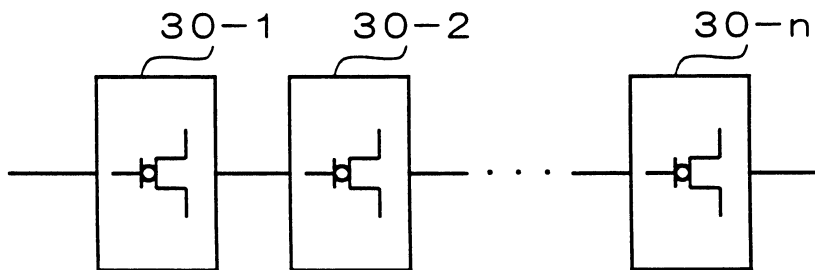


第 1 圖

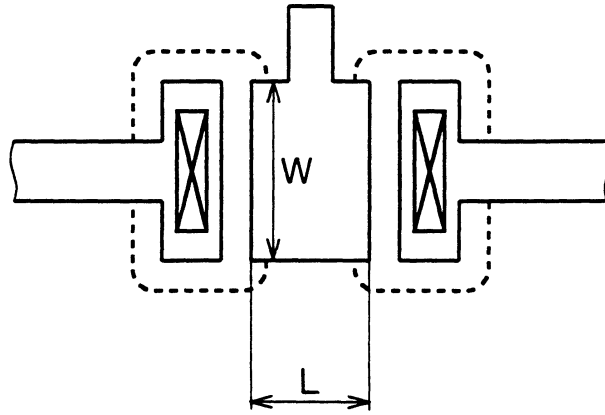
第 2 圖



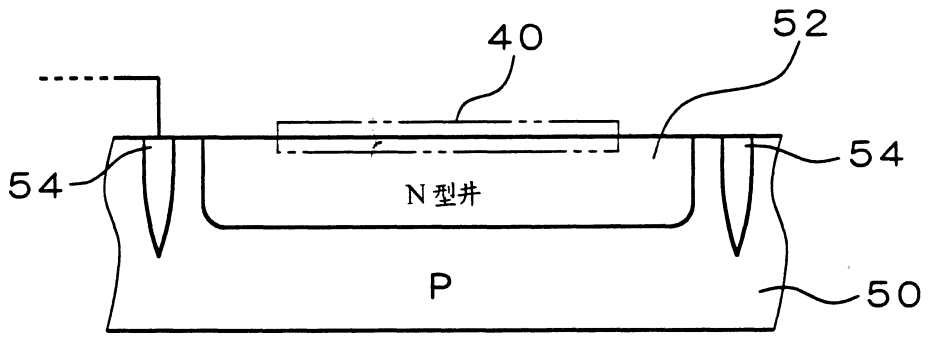
第 3 圖



第 4 圖



第 5 圖



第 6 圖

