

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/762 (2006.01)

H01L 27/088 (2006.01)



[12] 发明专利说明书

专利号 ZL 01816323.8

[45] 授权公告日 2006年8月2日

[11] 授权公告号 CN 1267983C

[22] 申请日 2001.9.7 [21] 申请号 01816323.8

[30] 优先权

[32] 2000.9.18 [33] US [31] 09/664,510

[86] 国际申请 PCT/US2001/028093 2001.9.7

[87] 国际公布 WO2002/025725 英 2002.3.28

[85] 进入国家阶段日期 2003.3.26

[71] 专利权人 自由度半导体公司

地址 美国得克萨斯

[72] 发明人 兰纳·P·西英 李池南

审查员 王莹

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王永刚

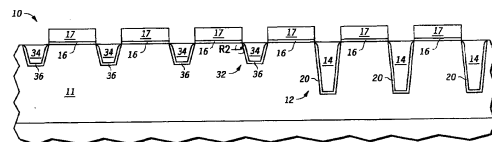
权利要求书 3 页 说明书 11 页 附图 3 页

[54] 发明名称

半导体器件及其形成工艺

[57] 摘要

半导体器件及其形成工艺。半导体器件(10)包括处在位于半导体器件衬底(11)中的沟道(14)内的场绝缘区(12)。该器件包括第一组件区和第二组件区。第一组件区靠近第一沟道,而第二组件区靠近第二沟道。该半导体器件包括下列特点之一:(a)第一沟道(14)中的第一衬里(20),和第二沟道(34)中的第二衬里(36),其中第一衬里(20)显著厚于第二衬里(36);以及(b)第一组件区具有靠近第一沟道、具有第一曲率半径的第一边沿,而第二组件区具有靠近第二沟道(34)、具有第二曲率半径(R2)的第二边沿,其中第一曲率半径显著大于第二曲率半径(R2)。



1. 半导体器件，包含：

场绝缘区，位于处在半导体器件衬底中的沟道中，其中沟道包括第一沟道和第二沟道；以及

第一组件区和第二组件区，其中

第一组件区处于第一沟道附近，而第二组件区处于第二沟道附近；

其中该半导体器件包括选自下列（A）或（B）的特征：

（A）该半导体器件还包括第一沟道中的第一衬里，和第二沟道中的第二衬里，其中第一衬里厚于第二衬里；

（B）第一组件区具有靠近第一沟道具有第一曲率半径的第一边缘，第二组件区具有靠近第二沟道具有第二曲率半径的第二边缘，其中第一曲率半径大于第二曲率半径。

2. 根据权利要求1的半导体器件，其中：

第一衬里厚于第二衬里；以及

第一曲率半径大于第二曲率半径。

3. 根据权利要求1的半导体器件，其中该半导体器件被设计成在第一供电电位和第二供电电位下工作，其中：

第一和第二供电电位都具有非零绝对值；以及

第一和第二供电电位相互不同。

4. 根据权利要求1的半导体器件，其中：

第一沟道具有第一深度；

第二沟道具有第二深度；以及

第一和第二深度相互不同。

5. 根据权利要求1的半导体器件，其中：

第一和第二沟道都具有侧壁和底部；以及

第一角度定义为第一沟道中的侧壁和底部所形成的角度；

第二角度定义为第二沟道中的侧壁和底部所形成的角度；以及

第一角度与第二角度不同；以及
第一角度大于 70 度。

6. 形成半导体器件的工艺，包含：

形成沟道，以确定第一组件区和第二组件区，其中：

沟道包括第一沟道和第二沟道；以及

第一组件区位于第一沟道附近；以及

第二组件区位于第二沟道附近；

在第一沟道中形成第一衬里；以及

在第二沟道中形成第二衬里，

其中该半导体器件包括选自下列 (A) 或 (B) 的特征：

(A) 第一衬里厚于第二衬里；

(B) 第一组件区具有靠近第一沟道具有第一曲率半径的第一边缘，第二组件区具有靠近第二沟道具有第二曲率半径的第二边缘，其中第一曲率半径大于第二曲率半径。

7. 根据权利要求 6 的工艺，其中：

第一衬里厚于第二衬里；以及

第一曲率半径大于第二曲率半径。

8. 根据权利要求 6 的工艺，其中该半导体器件被设计成在第一供电电位和第二供电电位下工作，其中：

第一和第二供电电位都具有非零绝对值；以及

第一和第二供电电位相互不同。

9. 根据权利要求 6 的工艺，其中：

第一沟道具有第一深度；

第二沟道具有第二深度；以及

第一和第二深度相互不同。

10. 根据权利要求 6 的工艺，其中：

第一和第二沟道都具有侧壁和底部；以及

第一角度定义为第一沟道中的侧壁和底部所形成的角度；

第二角度定义为第二沟道中的侧壁和底部所形成的角度；以及

第一角度与第二角度不同；以及
第一角度大于 70 度。

半导体器件及其形成工艺

技术领域

本发明一般涉及半导体器件和工艺领域。特别地，它涉及包含场绝缘区的半导体器件及其形成工艺。更特别地，它涉及在同一芯片上包含两个或更多个具有不同特性的场绝缘区的半导体器件及其形成工艺。

背景技术

集成电路制造通常要求各个有源和无源电路元件互相之间电绝缘。绝缘使电路连接可以与已构图表面镀金属一起形成，被绝缘的电路元件与镀金属相接触。已提出了许多不同的技术来获得有效的场绝缘，例如结绝缘、电介质绝缘，以及它们的组合。尽管每种技术都尤其自身的优点，然而缺点也依然存在。

随着在单个芯片上安置更多的功能元件，制作能满足每个功能元件的要求的绝缘区变得困难。在每个功能元件要求绝缘约束时更是这样。特别地，对于片上系统解决方案，在单个芯片上会同时出现逻辑和存储器件。在此情形中，对每个器件类型制作令人满意的绝缘区可能尤其困难。特定地，尽管逻辑和存储器件都要求一个大的器件密度，这两种器件的绝缘要求也可能很不相同。

例如，存储器件经常要求具有圆滑拐角的沟道，而逻辑器件经常要求窄的绝缘，拐角是否圆滑并不重要。存储器件通常要求圆滑的拐角来避免进行写入和删除步骤时沟道拐角处电场的增强。要避免电场增强的原因是，它们可能导致一些问题，包括——但不局限于——存储单元耐久性和可靠性的降低。与存储器件的要求相反，逻辑器件通常不要求沟道拐角圆滑，或者说不像存储器件中要求的那么高。这样，正如在这一实施例中所能看到的，单个芯片上的场绝缘要求可能会有

很大差异。反过来，这个差异造成了制造上的困难，尤其是因为传统的绝缘技术对所有不同绝缘区的处理即使不是一致的，也是类似的。这样，使用传统的技术，要在单个芯片上制作不同场绝缘区是很困难的，或者说是不可可能的。

一种已有的制作圆滑沟道拐角的技术包含在高温下生长厚沟道衬里氧化物。厚沟道氧化物衬里利用改变弯曲度来制作沟道拐角；然而，更厚的衬里常会长到沟道间距中。沟道中的生长可能会降低沟道墙之间的间隙距离，增加了需要由沟道填充氧化物工艺所填充的沟道的长宽比。由于长宽比的增加，填充沟道变得更困难，沟道不完整的可能性也随之增加。

只要有源区之间的间隔与现今通常所用的存储器件中的间距一样大，那么沟道衬里厚度通常就不会对沟道填充工艺造成影响。然而，在不久的将来的器件中所可能见到的，随着逻辑电路中电路密度的增加，要填充具有厚沟道衬里的窄沟道将变得日益困难。特别地，填充如此窄的沟道的努力可能会导致空白（沟槽中未被绝缘物完全填满的空间）的增多，因多种原因，这很成问题。例如，空白能导致后续工艺步骤中的短路。而且，空白能在抛光步骤中聚集抛光残渣，会导致完全不同的问题。空白还能聚集过量的水汽，会导致其它问题。最后，在后续的工艺步骤中，空白可聚集一种或多种导电材料，这也会引起短路。

尽管通常认为这些问题与沟道填充有关——填充窄沟道的困难和无法在单个芯片上处理不同的绝缘区——现有技术仍然利用单沟道集成方法。单沟道集成方法，尽管这样的方法在解决技术中的这些问题方面显示了一定的效用，上面所提到的特殊问题还普遍存在。因此，在单个芯片上制成具有不同特性（例如深度、拐角圆滑等等）的不同绝缘区沟道的能力将是很有利的。这一能力将提供，例如单个芯片上逻辑和存储器件绝缘区的有效分离。有了这一能力，将可使用标准氧化物工艺或任何 CVD 氧化物填充工艺来进行充分填充，而不会形成空白。

上面所列举的问题并不完全，而只是会削弱涉及绝缘区的已知器件和技术的效果之许多问题中的一些。可能还存在其它值得注意的问题；然而，上述那些足以说明现有技术中的方法并不能完全令人满意。特别地，已有技术并没有充分解决不同类型的器件对不同类型的绝缘的要求。因为已有技术同时处理各绝缘区，即使并非不可能，也很难于在单个芯片上形成具有不同特性的绝缘区。这样就出现了这种情况，就是经常会不适当地形成一个或多个绝缘区；例如，要填充一个或多个沟道区而不形成空白，会很困难或者不可能。反过来，空白又会对器件性能产生不利影响。

发明内容

本发明的提出试图解决现有技术中存在的种种问题。

根据本发明，提供一种半导体器件，包含：场绝缘区，位于处在半导体器件衬底中的沟道中，其中沟道包括第一沟道和第二沟道；以及第一组件区和第二组件区，其中第一组件区处于第一沟道附近，而第二组件区处于第二沟道附近；其中该半导体器件包括选自下列(A)或(B)的特征：(A)该半导体器件还包括第一沟道中的第一衬里，和第二沟道中的第二衬里，其中第一衬里厚于第二衬里；(B)第一组件区具有靠近第一沟道具有第一曲率半径的第一边缘，第二组件区具有靠近第二沟道具有第二曲率半径的第二边缘，其中第一曲率半径大于第二曲率半径。

根据本发明的上述半导体器件的实施例，其中：第一衬里厚于第二衬里；以及第一曲率半径大于第二曲率半径。

根据本发明的上述半导体器件的实施例，其中该半导体器件被设计成在第一供电电位和第二供电电位下工作，其中：第一和第二供电电位都具有非零绝对值；以及第一和第二供电电位相互不同。

根据本发明的上述半导体器件的实施例，其中：第一沟道具有第一深度；第二沟道具有第二深度；以及第一和第二深度相互不同。

根据本发明的上述半导体器件的实施例，其中：第一和第二沟道

都具有侧壁和底部；以及第一角度定义为第一沟道中的侧壁和底部所形成的角度；第二角度定义为第二沟道中的侧壁和底部所形成的角度；以及第一角度与第二角度不同；以及第一角度大于70度。

本发明还提供一种形成半导体器件的工艺，包含：形成沟道，以确定第一组件区和第二组件区，其中：沟道包括第一沟道和第二沟道；以及第一组件区位于第一沟道附近；以及第二组件区位于第二沟道附近；在第一沟道中形成第一衬里；以及在第二沟道中形成第二衬里，其中该半导体器件包括选自下列(A)或(B)的特征：(A)第一衬里厚于第二衬里；(B)第一组件区具有靠近第一沟道具有第一曲率半径的第一边缘，第二组件区具有靠近第二沟道具有第二曲率半径的第二边缘，其中第一曲率半径大于第二曲率半径。

根据本发明的上述工艺的实施例，其中：第一衬里厚于第二衬里；以及第一曲率半径大于第二曲率半径。

根据本发明的上述工艺的实施例，其中该半导体器件被设计成在第一供电电位和第二供电电位下工作，其中：第一和第二供电电位都具有非零绝对值；以及第一和第二供电电位相互不同。

根据本发明的上述工艺的实施例，其中：第一沟道具有第一深度；第二沟道具有第二深度；以及第一和第二深度相互不同。

根据本发明的上述工艺的实施例，其中：第一和第二沟道都具有侧壁和底部；以及第一角度定义为第一沟道中的侧壁和底部所形成的角度；第二角度定义为第二沟道中的侧壁和底部所形成的角度；以及第一角度与第二角度不同；以及第一角度大于70度。

附图说明

下面以附图作为实施例阐明本发明，当然，本发明并不局限于这些附图，在附图中，类似的标记表示类似的元件，在附图中：

图1示出一个半导体器件，包括处于半导体器件衬底中的沟道中的第一绝缘区；

图2示出图1的半导体器件，还包括沟道中的衬里；

图3示出图2的半导体器件，还包括一些沟道中的第二绝缘区，这些沟道具有不同于图1所示第一组绝缘区的沟道的特性。还示出了用于将第一和第二绝缘区互相之间有效地分离的光刻胶层。

图4示出图3的半导体器件，还包括沟道中的衬里；

图5示出图4的半导体器件，沟道中已填充了绝缘物；以及

图6示出图5的半导体器件，还包括相应于第一和第二绝缘区的第一和第二组件区。

熟练的技术人员能理解图中的元件都是简单清楚地示出的，无需按比例画出。例如，图中一些元件的尺寸相对于其它元件来说被夸大了，这是为了帮助增进对本发明的实施方案的理解。

具体实施方式

在一个方面，本发明是包括场绝缘区、第一组件区和第二组件区的半导体器件。场绝缘区处在位于半导体器件衬底中的沟道中。第一组件区靠近第一沟道，而第二组件区靠近第二沟道。该半导体器件包括下列特点之一：(a)第一沟道中的第一衬里，第二沟道中的第二衬里，其中第一衬里显著厚于第二衬里；以及(b)第一组件区具有靠近第一沟道的第一边沿，该边沿具有第一曲率半径，而第二组件区具有靠近第二沟道的第二边沿，该边沿具有第二曲率半径，其中第一曲率半径显著大于第二曲率半径。

在另一方面，本发明涉及形成半导体器件的工艺。形成沟道以确定第一组件区和第二组件区。沟道包括第一沟道和第二沟道。第一组件区靠近第一沟道，第二组件区靠近第二沟道。在第一沟道中形成第一衬里，在第二沟道中形成第二衬里。该半导体器件包括下列特点之一：(a)第一衬里显著厚于第二衬里；以及(b)第一组件区具有靠近第一沟道的第一边沿，该边沿具有第一曲率半径，而第二组件区具有靠近第二沟道的第二边沿，该边沿具有第二曲率半径，其中第一曲率半径显著大于第二曲率半径。

首先来看图1，其中示出了根据本发明某一实施方案的半导体器

件 10。所示出的有：衬底 11、第一沟道 14、一般地表示为 12 的第一绝缘区（相应于第一沟道 14）、衬垫氧化物 16，以及衬垫氮化物 17。在某一实施方案中，衬底 11 可包括单晶半导体晶片、绝缘晶片上的半导体，或任何其它用于形成半导体器件的衬底。在某一实施方案中，衬垫氧化物 16 可具有大约 100 - 160 埃的厚度，但是应当理解，这个厚度可以变化很大。在另一实施方案中，衬垫氧化物 16 可具有大约 145 埃的厚度。衬垫氧化物 16 可以用本技术中已知的方法热生长，也可以用其它任何合适的方式进行生长。在某一实施方案中，衬垫氮化物 17 可具有大约 800 - 2000 埃的厚度，但是应当理解，这一范围也是可以变化很大的。衬垫氮化物 17 可以是单层或复合层。特别地，衬垫氮化物可包括富硅氮化物、氮化硅、氮氧化硅，或它们的组合。在某一实施方案中，衬垫氮化物 17 可包括一层大约为 200 埃的富硅氮化物下层膜，该下层膜被厚度大约为 1200 埃的 Si_3N_4 层覆盖。

第一沟道 14 可利用本技术中已知的不同方法的变化来形成。例如，沟道 14 可如下形成：使用抗蚀层掩模板，然后通过腐蚀穿衬垫氮化物 17、衬垫氧化物 16 以及部分衬底 11 来形成沟道。第一沟道 14 的深度可变化很大，这取决于要制作的器件的类型。然而，在某一实施方案中，沟道 14 的深度可以在大约 2000 至大约 7000 埃之间。与第一沟道 14 相关的是 θ (theta) 角。如图所示， θ 角定义为沟道 14 的侧壁和沟道 14 的底部所形成的角度。尽管 θ 角的值根据要制作的器件而有很大不同，但在某一实施方案中， θ 可等于或大于大约 70 度。在另一实施方案中， θ 可在大约 30 至大约 70 度之间。要改变 θ 角，正如本技术中已知的，可能要改变一个或几个工艺参数。例如，可能要调整反应离子刻蚀的参数来获得所需的 θ 角或沟道 14 的形状。

下面看图 2，图中示出了还包括第一沟道衬里 20 的半导体器件 10。第一沟道衬里 20 可通过技术中已知的几种方法中的任意一种来形成。例如，可通过首先“潜挖”或腐蚀衬底氧化物层 16 的一部分来形成第一沟道衬里 20。正如本技术中已知的，这可通过将半导体器件 10 置于合适的腐蚀液中来完成。在某一实施方案中，这种溶液可包括

HF 的稀释混合液。特定地，半导体器件 10 可浸入包括 100:1 HF 的溶液中。特定地，在这样一个实施方案中，半导体器件 10 可在 HF 溶液中处理一段时间，这段时间可将衬垫氧化物 16 腐蚀到相当于在测试晶片上腐蚀掉 200 埃氧化物的程度。

第一沟道衬里 20 的厚度可以有很大改变。然而，在某一实施方案中，第一沟道衬里 20 可在大约 200 至大约 900 埃之间。更特别地，在某一实施方案中，第一沟道衬里 20 可以是大约 400 埃。第一沟道衬里 20 可在上述潜挖腐蚀之后，通过将半导体器件 10 在大约 960 - 1100 摄氏度温度下进行热氧化而形成。在某一实施方案中，温度可以是大约 1100 摄氏度。正如本技术中已知的，第一沟道衬里 20 的厚度可通过参照测试晶片来确定。

参看图 2，可见半导体器件 10 的绝缘区包括曲率半径为 R 的边沿。曲率半径 R 与第一沟道衬里 20 的圆滑拐角相关。第一沟道衬里 20 的拐角可通过本技术中已知的方法来做得圆滑。圆滑的程度可通过各种技术来进行调整。例如，温度的改变、衬垫氧化物 16 被潜挖程度的改变，以及第一沟道衬里 20 厚度的改变都可进行调整以修改曲率半径 R。

下面看图 3，图中示出了还包括抗蚀层 31、一般地表示为 32 的第二绝缘区以及第二沟道 32 的半导体器件 10。抗蚀层 31 可首先像技术中已知的那样进行构图。特别地，可覆盖并曝光抗蚀层 31 来形成所需的第二绝缘区图形。在构图之后，可使用反应离子刻蚀或其它任何本技术中已知的刻蚀方法，根据抗蚀层 31 中曝光的图形来去掉部分衬垫氮化物层 17、衬垫氧化物层 16 以及衬底 11，以形成第二沟道 34。

第二沟道 34 的深度可变化很大，这取决于要制作的器件类型。然而，在某一实施方案中，沟道 34 可具有大约 2000 至大约 7000 埃的深度。与第二沟道 34 相关的是 ϕ (phi) 角。如图所示， ϕ 角定义为沟道 34 的侧壁和沟道 34 的底部所形成的角度。尽管 ϕ 角的值根据要制作的器件而有很大不同，但在某一实施方案中， θ 可等于或大于大约 70 度。在另一实施方案中， ϕ 可在大约 30 至大约 70 度之间。要改

变 ϕ 角，正如本技术中已知的，可能要改变一个或几个工艺参数。例如，可能要调整反应离子刻蚀的参数来获得所需的 ϕ 角或沟道 34 的形状。在第二沟道 34 形成之后，通过本技术中已知的几种方法任何一种来去掉抗蚀掩模层 31。

参看图 3，可看出本公开的一些优点。如图所示，半导体器件 10 包括两种不同的绝缘区，一般地以 12 和 32 表示。在每个区域之中是一组沟道，沟道 14 和 34。由于第一绝缘区在第二绝缘区之前形成，并且对于第二绝缘区来说，第一绝缘区的形成是独立的，这两绝缘区可认为是分离的。换句话说，第一绝缘区 12 和与其相关的沟道 14 的形成无需影响第二绝缘区和与其相关的沟道 34 的形成。在所示实施方案中，能够做到分离，部分是因为工艺步骤的顺序和抗蚀掩模层 31 的使用。特别地，在形成第二区时，抗蚀层 31 有效地掩罩了第一绝缘区。这样，如果需要，这两区域可设计成具有完全不同的特性。

特别地，由于绝缘区的分离，可形成深度、宽度或形状与第二沟道 34 不同的第一沟道 14。更特别地，沟道 34 可相应于逻辑器件的绝缘，而沟道 14 可相应于存储器件的绝缘，后者常常需要更深或更潜的具有圆滑拐角的沟道。由于分离， θ 角和 ϕ 角可大不相同。在某一实施方案中， θ 可以是大约 70 度，而 ϕ 角可以是大约 30 度。

现在来看图 4，图中示出了还包括第二沟道衬里 36 的半导体器件 10。第二沟道衬里 36 可通过本技术中已知的几种方法中的任意一种来形成。例如，可通过首先“潜挖”或腐蚀衬底氧化物层 16 的一部分来形成第二沟道衬里 36。正如本技术中已知的，这可通过将半导体器件 10 置于合适的腐蚀液中来完成。在某一实施方案中，这种溶液可包括 HF 的稀释混合液。特定地，半导体器件 10 可浸入包括 100:1 HF 的溶液中。特定地，在这样一个实施方案中，半导体器件 10 可在 HF 溶液中处理一段时间，这段时间可将衬垫氧化物 16 腐蚀到相当于在测试晶片上腐蚀掉 200 埃氧化物的程度。

第二沟道衬里 36 的厚度可以有很大改变。然而，在某一实施方案中，第二沟道衬里 36 可在大约 200 至大约 900 埃之间。更特别地，

在某一实施方案中，第二沟道衬里 36 可以是大约 100 埃。在另一实施方案中，第二沟道衬里 36 可以是大约 0 至 400 埃。第二沟道衬里 36 可在用上述湿法腐蚀潜挖衬垫氧化物之后，通过将半导体器件 10 在大约 960 - 1100 摄氏度温度下进行热氧化而形成。在某一实施方案中，温度可以是大约 1000 摄氏度。正如本技术中已知的，第二沟道衬里 36 的厚度可通过参照测试晶片来确定。

熟练的技术人员能够理解，在第二沟道衬底 36 的形成中，第一沟道衬里 20 的厚度会受到轻微的影响。特别地，在用于形成沟道衬里 36 的热氧化步骤过程中，沟道衬里 20 会被进一步——尽管很轻微——氧化，因而衬里 20 会加厚。尽管这是第一和第二绝缘区之间轻微关联（衬里 20 的厚度并不完全独立于衬里 36 的厚度）的例子，但是熟练的技术人员能够理解，这一关联实际很小，不会影响形成两个或多个具有不同沟道特性的绝缘区的能力所带来的巨大优点。

例如，参看图 2 和 4，可以看出，两绝缘区的独立或者说分离可使它们形成两个不同的曲率半径。特别地，图 4 中的半径 R2 可以不同于图 2 中的曲率半径 R1。半径的不同可任意地或大或小，调整决定沟道衬垫拐角圆滑地工艺参数，但是在某一实施方案中这一差异可以是 70%。特定地，在某一实施方案中，R1 可比 R2 大大约 70%。不但它们相关的角度可以不同，它们的厚度也可以改变。特别地，通过在衬里 36 形成过程中调整工艺条件，可以使衬里 36 厚于衬里 20。在某一实施方案中，衬里 20 和 36 之间的厚度差异可以是大约 5%。在其它实施方案中，这一差异可以任意地或小或大。

在同一衬底上形成具有显著不同衬里厚度的不同沟道的能力是非常有利的。正如前面所提到的，面对绝缘场的一个问题就是衬里可以使完全填充沟道变得困难——即使并非不可能。特别地，如果衬里太厚，它会使沟道的宽度减小到填充而不形成空白变得不太可能的程度。然而，在单个衬底上制作不同类型的器件（例如，对于“片上系统”（SOC）应用）时，这一问题就会发生；如果对某类器件需要更厚的沟道衬里，则其它类器件的衬里将必须同样厚，因为绝缘工艺是

相关的一一对一组绝缘区所进行的也要对另一组绝缘区进行。相反，本公开可使绝缘的形成分离，从而，例如，存储和逻辑器件可并排形成，尽管它们对沟道绝缘有不同的要求。

现在看图 5，图中示出具有第一和第二沟道 14 和 34 的半导体器件 10，第一和第二沟道 14 和 34 中填有绝缘材料以形成第一填满沟道 44 和第二填满沟道 46。在某一实施方案中，可使用氧化物材料来填充这些沟道。在另一实施方案中，任何其它类型的绝缘材料都可使用，像本领域中已知的那样。在图 5 中，可看出已经去掉了衬垫氮化物层 17 和衬垫氧化物层 16。这些去除步骤可由本技术中已知的几种方法中任意一种来进行。在填充第一和第二沟道之后，可进行一个或多个密实步骤，像本领域中已知的那样。

正如本领域中已知的，将图 5 中示出的半导体器件 10 进行一个或多个抛光步骤来获得平坦表面。由于不同沟道独立的可控性，此处所示的填充步骤更可能导致没有空白的完全填充的绝缘沟道。特别地，可形成不同绝缘区中的不同沟道，从而可获得完全的、无空白的填充。

下面看图 6，图中示出包括一般地示为 50 的第一组件区和一般地示为 52 的第二组件区的半导体器件 10。这些组件区仅仅指与此处所描述的绝缘区相关的组件。特别地，第一组件区 50 相应于那些作为绝缘区 12 的部分且被第一绝缘沟道 14（或填满沟道 44）绝缘的所有组件。第二组件区 52 相应于那些作为第二绝缘区 32 的部分且被第二绝缘沟道 34（或填满沟道 46）绝缘的所有组件。

在所示实施方案中，第一组件区 50 相应于集成电路器件的存储阵列部分，而第二组件区 52 相应于该集成电路器件的 CMOS 逻辑部分。图 6 中所示的有：电介质层 54、钝化层 66，以及导电层 64，导电层 64 可以是任何导体，例如金属。如图所示，导电层 64 可与 CMOS 逻辑部分的源和/或漏区相连。源和漏区分别示为 60 和 62。还示出了栅 58 和栅氧化物 56。逻辑部分 52 和存储阵列 50 可具有不同的具有非零绝对值的供电电位。可利用这些不同的供电电压来提高两种不同电路的工作特性。熟练的技术人员能认识到，图 6 中所示的元件可通

过本技术中熟知的方法来形成，因此，这里将不再重复。

在前述说明中，参照特定实施方案描述了本发明。然而，熟练的技术人员能理解，只要不超出下面权利要求中所提出的本发明的范围，可进行各种调整和改变。因此，说明书和附图只应看作示例而不是限制，所有这样的调整应被包括在本发明的范围中。

上面已对于特定实施方案描述了益处、其它优点以及问题的解决方案。然而，这些益处、优点、问题的解决方案，以及可导致任何益处、优点以及解决方案发生或更明确的要素并不能认作任何或所有权利要求的決定性的、必须的或基本的特点或要素。正如此处所用，术语“包含”、“由...构成”或其任何其它变体是要覆盖非排它包含，这样，包含一系列元件的工艺、方法、物品或设备并不仅包括那些元件，而可包括没有明确列出的或这样的工艺、方法、物品或设备所固有的其它元件。

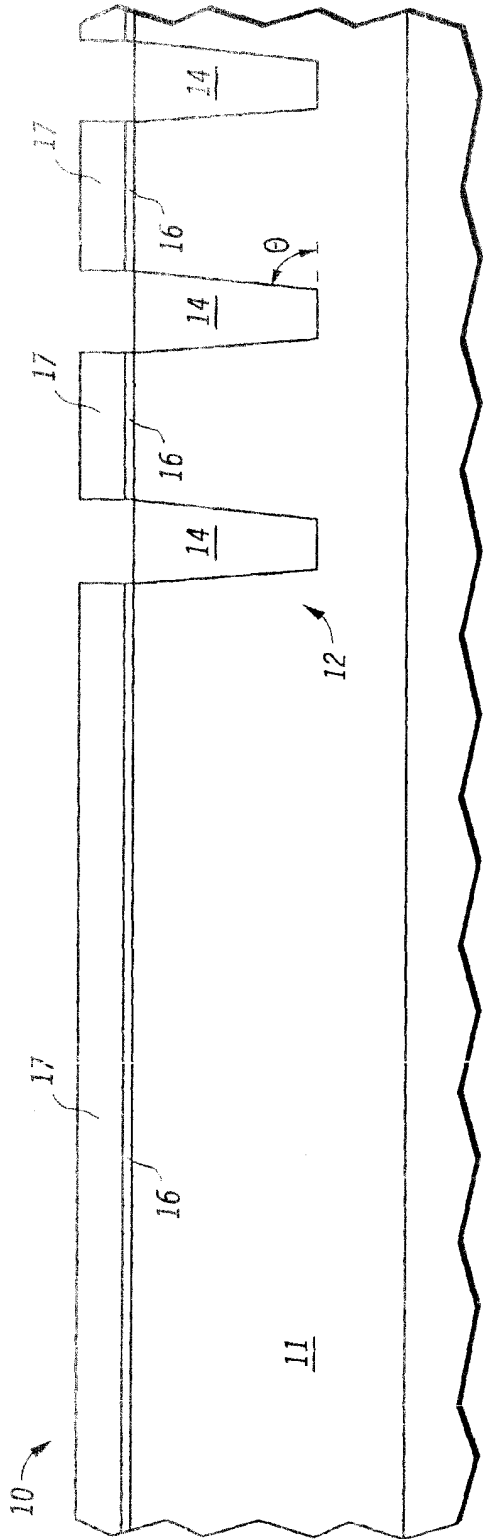


图1

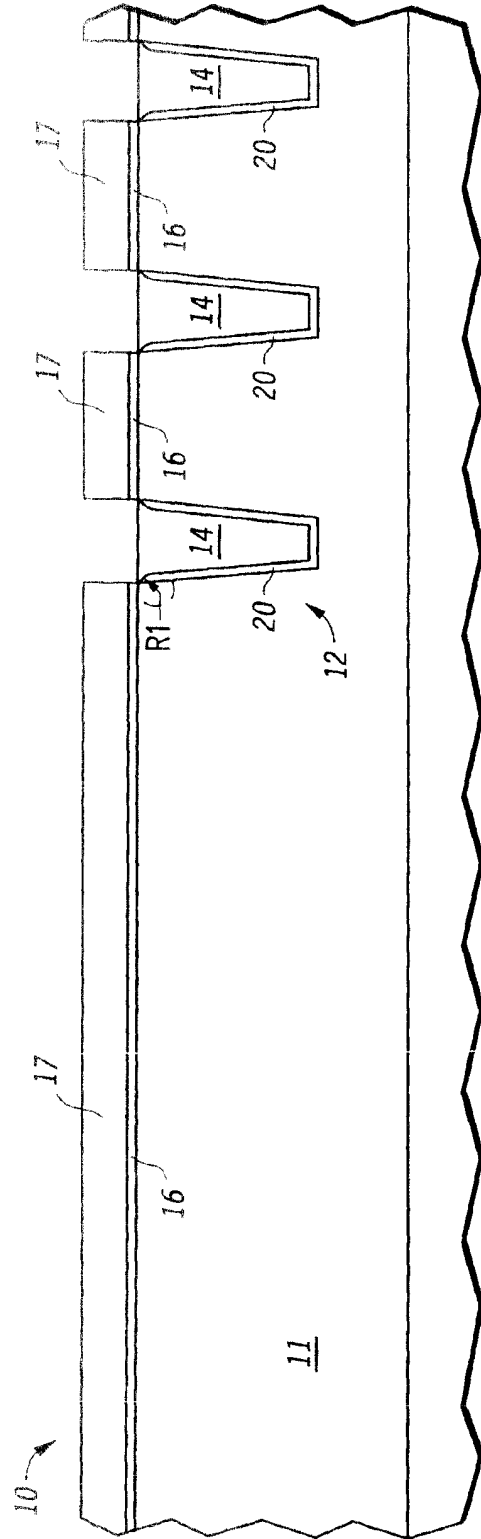


图2

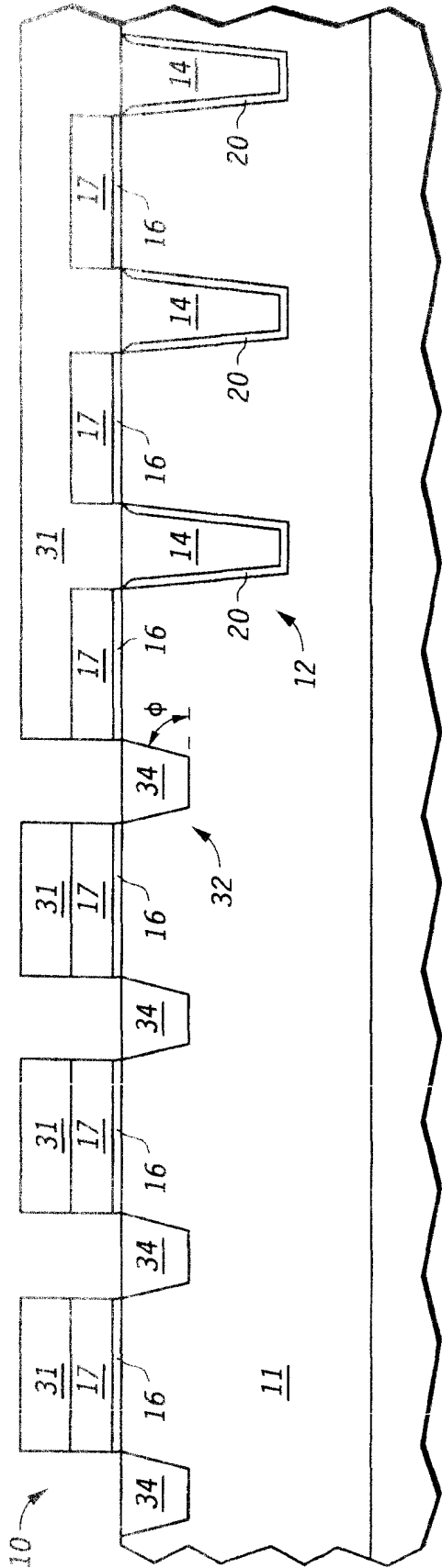


图3

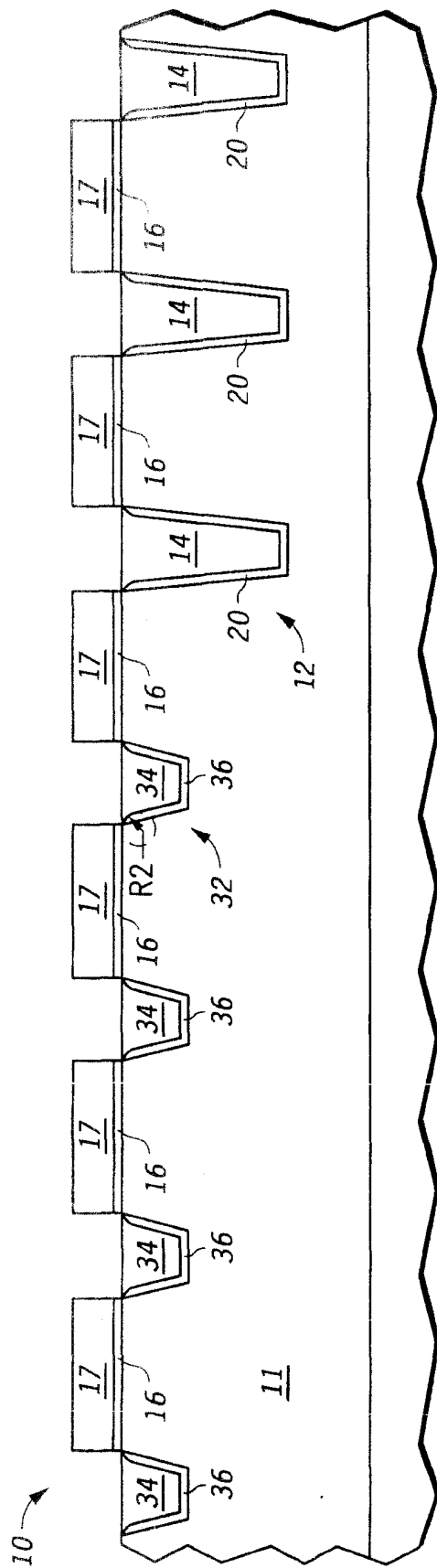


图4

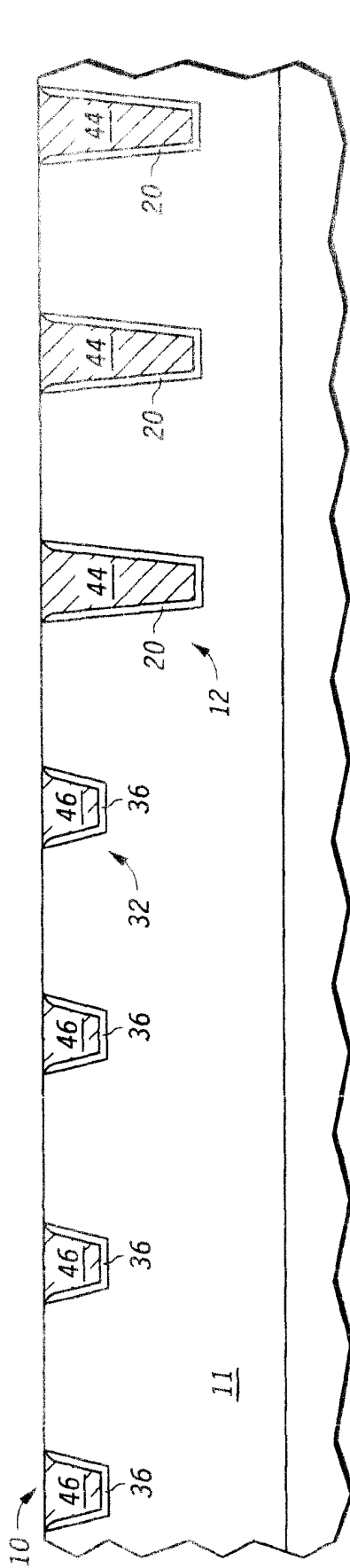


图5

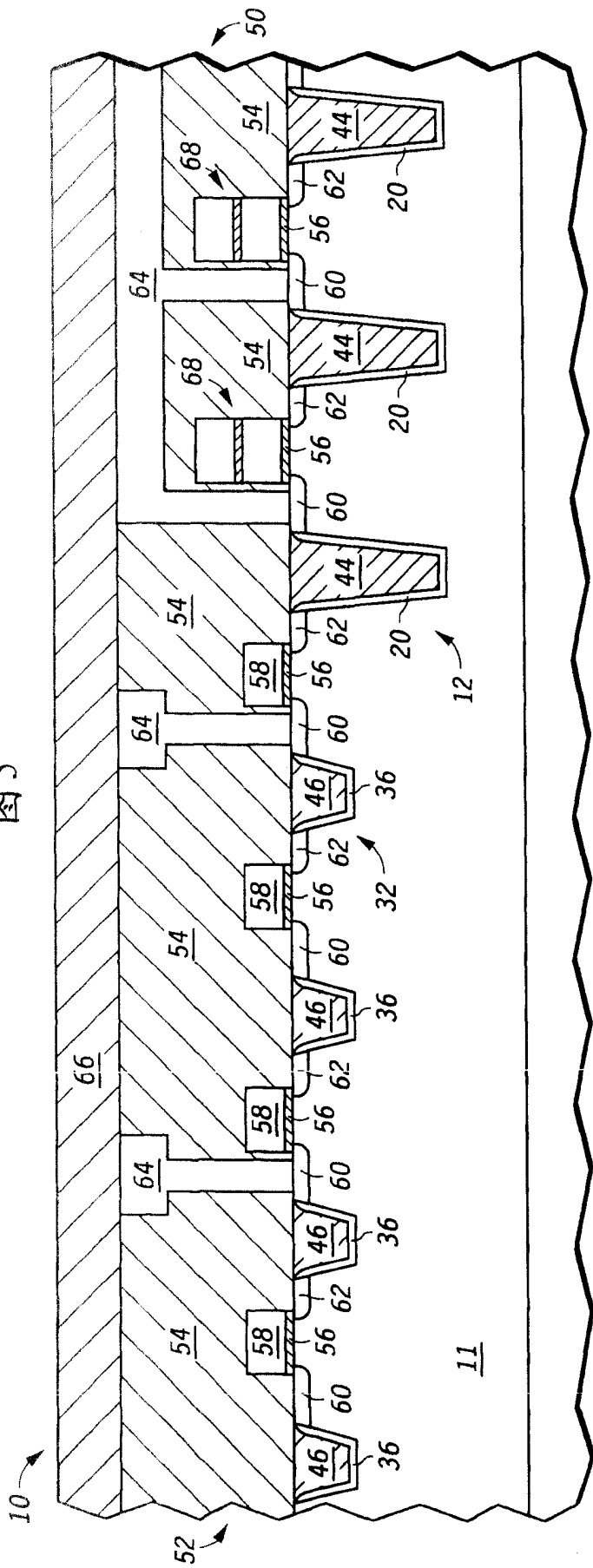


图6